

INTPIX4 User's Manual

Yasuo Arai

KEK, National High Energy Accelerator Research Organization

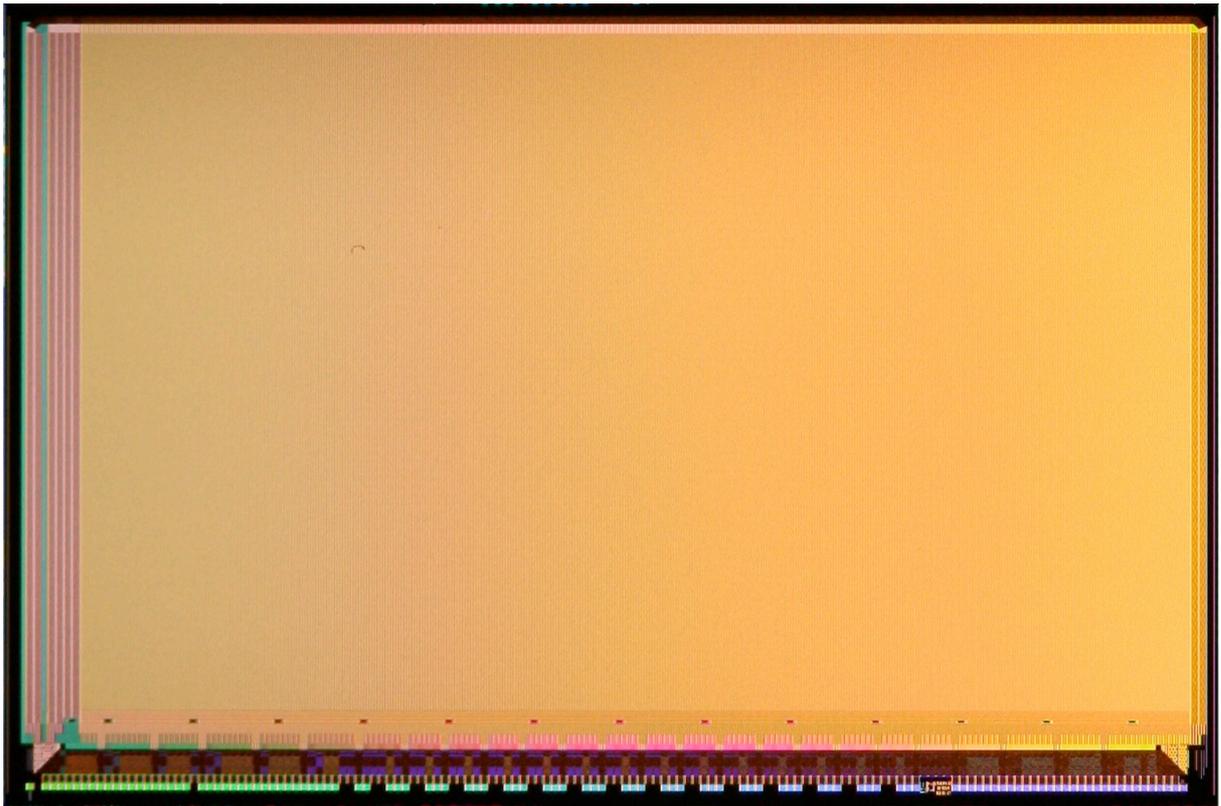
1-1 Oho, Tsukuba, Ibaraki 305-0801, Japan

yasuo.arai@kek.jp, <http://rd.kek.jp/project/soi/>

Tel : +81-29-879-6211, Fax : +81-29-864-3284

Chip designed in MX1350 : Aug. 2009

Rev. 0.33 June 5, 2013



Contents

1. Introduction	3
1.1. Architecture	3
1.2. Potential Rings.....	5
1.3. Pixel	7
2. Signal & Timing	9
2.1. Digital Signals	9
2.2. Analog Signals	10
2.3. Voltage Signals	11
2.4. Data I/O Timing	11

Errata

2010.9.1 STORE 信号の極性間違い。STORE -> STORE_x に変更。

2010.9.1 RST 信号の極性間違い。RST -> RST_x に変更。

2010.9.1 RST_CDS 信号の極性間違い。RST_CDS -> RST_CDS_x に変更。

1. Introduction

INTPIX4 は、(株) OKI セミコンダクタの CMOS FD-SOI 0.2 μ m プロセスにより製造されたチップで、17 μ m 角のピクセルを 512 x 832 (=425,984) 持ち、各ピクセルに CDS (Correlated Double Sampling) 回路付き積分型放射線センサーを持つ SOI ピクセル検出器である。レイアウト外形は 10.2 x 15.4 mm 角、ダイシング後のチップ外形はおよそ 10.3 x 15.5 mm 角である。厚さは 260 μ m (+10 μ m -20 μ m) に Thinning 後底面に 200nm の Al スパッタリングを行っている。ペアチップの他、セラミックパッケージに実装したのもも準備中である。

1.1. Architecture

チップの全体ブロックを図 1、図 2 に、レイアウトを図 3 に示す。ピクセルは 64 x 512 ピクセルブロックが 13 個並んだ構成となっている。

縦方向のアドレス (RA[8:0]) 及び横方向のアドレス (CA[9:0]) により、ひとつの端子 (AOUT_all) より全ピクセルのアナログ出力を得る事が出来る。また、横方向のアドレス (CA[5:0]) だけを使って、13 個の端子 (AOUT0~AOUT12) より並列に読み出す事も出来る。(注: 縦方向の Raw Address は今までの INTPIX と違って下が 0 行、一番上が 511 行です。)

このチップを複数個使うと、図 4 のように並べて使用する事も可能である。

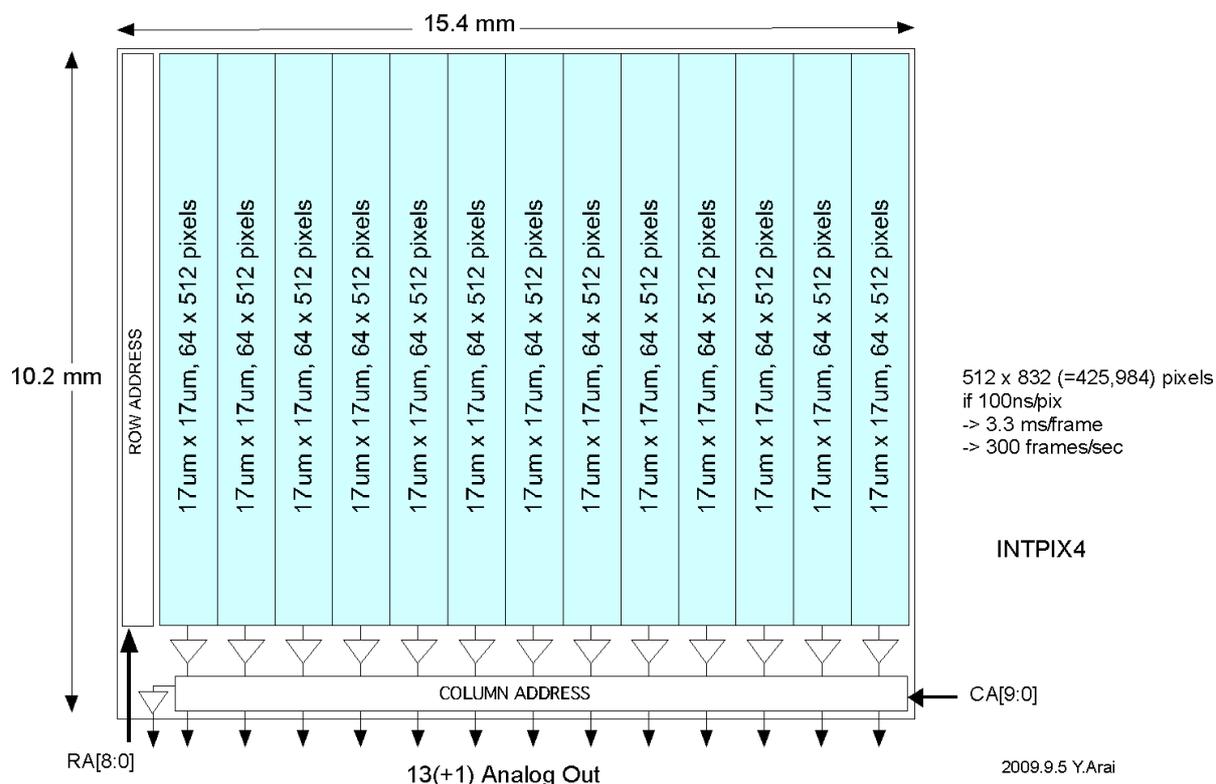


図 1. INTPIX4 チップ ブロック図。

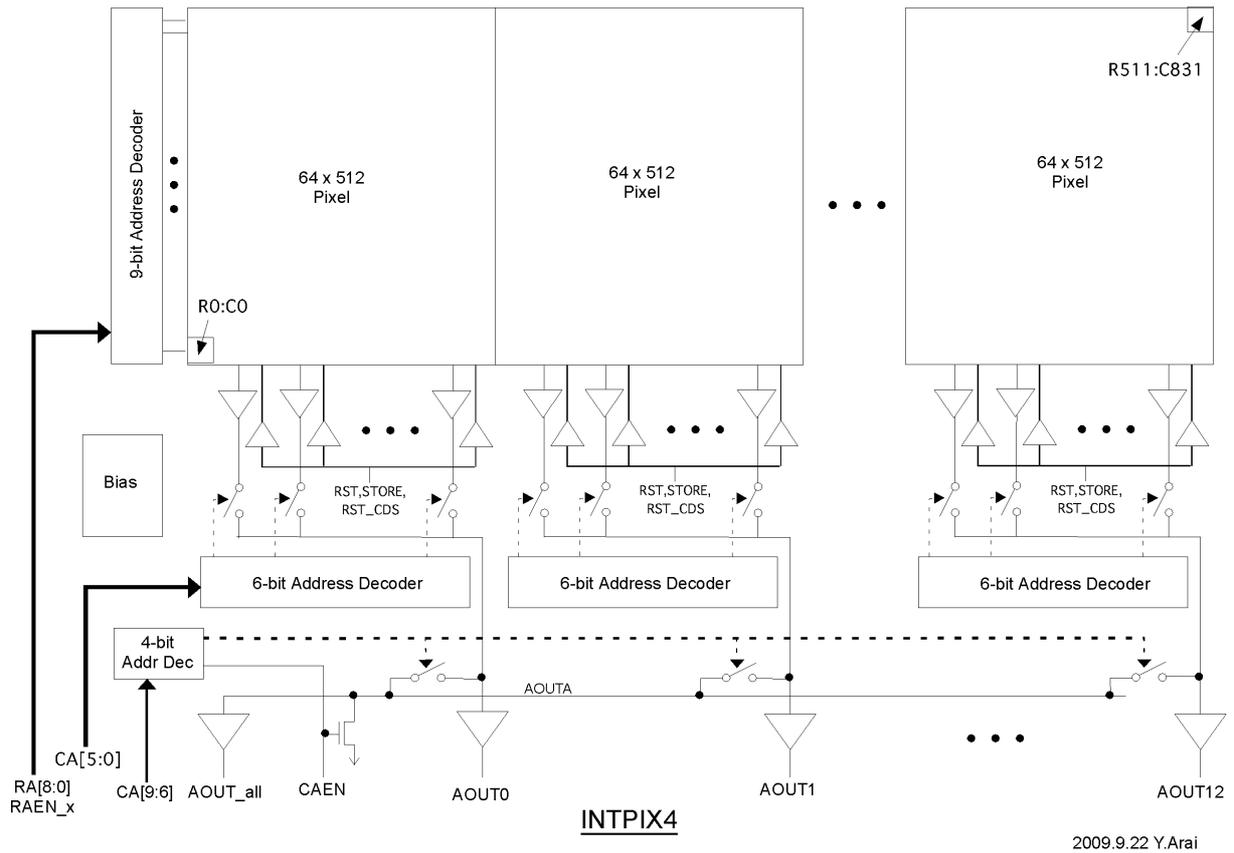


図 2. IO Path 詳細図。

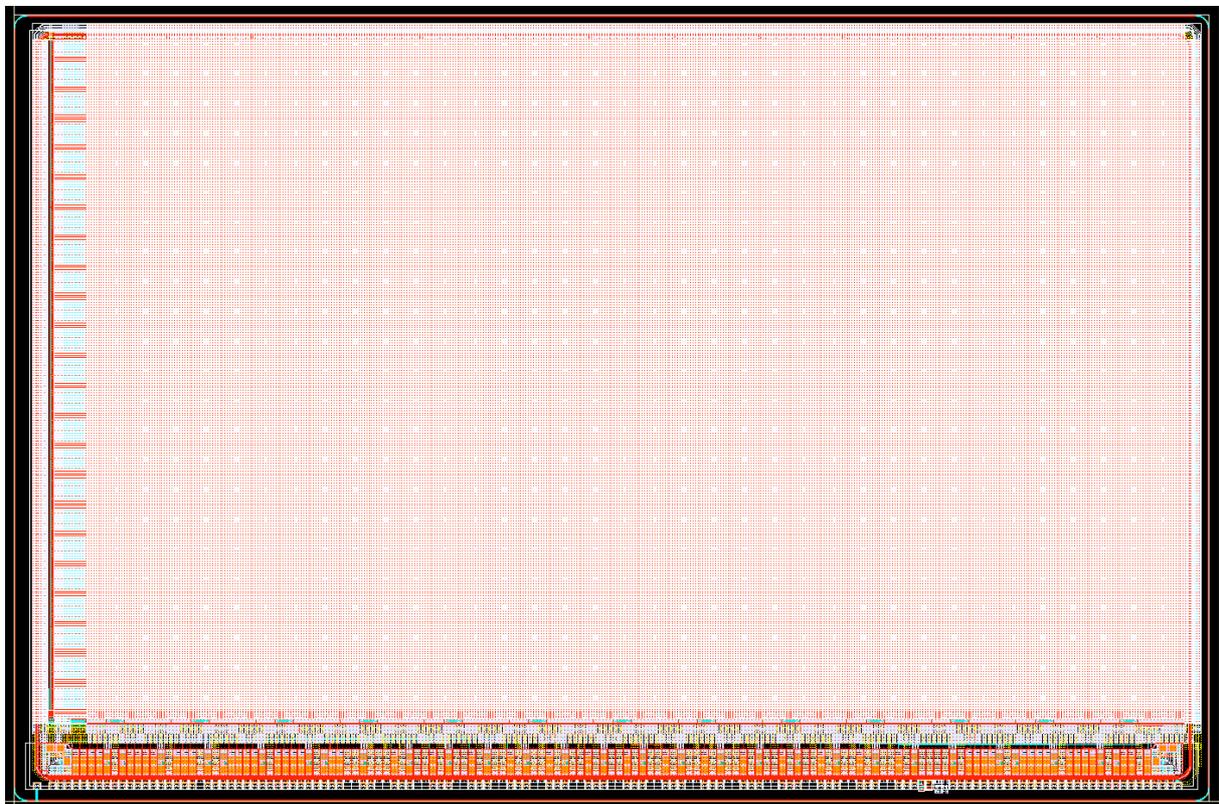


図 3 INTPIX4 レイアウト。

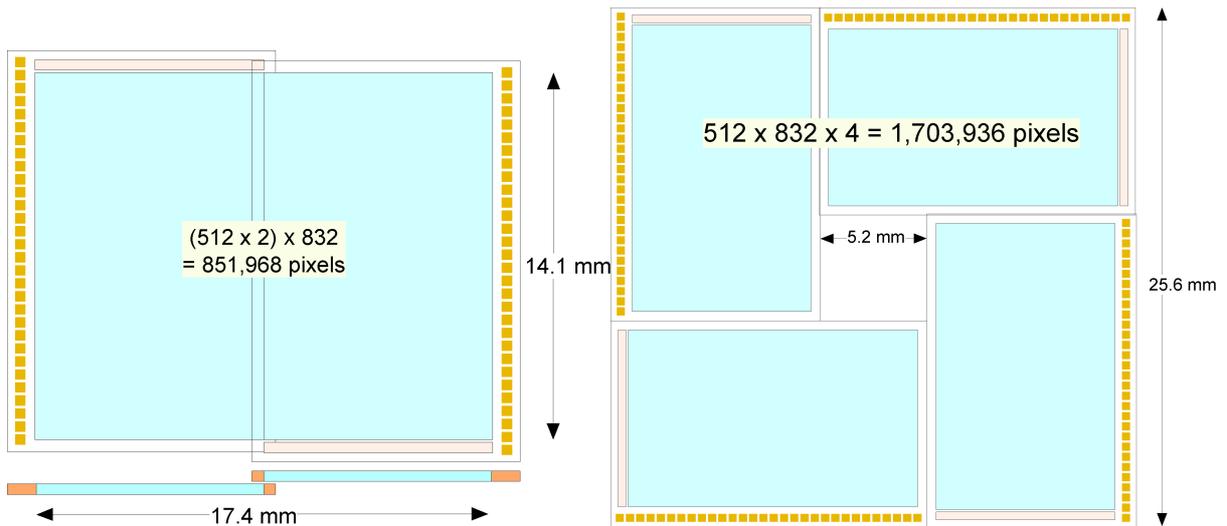


図 4. INTPIX4 を 2 枚及び 4 枚並べた例。

1.2. Potential Rings

チップ外側には HV Ring 及び Bias Ring が配置されている。これらのリングの概略の配置を図 5、図 6 に示す。センサー部への電圧は底面 (=VBACK) またはチップエッジの HV Ring (=VDET) より印可することが出来る。

また、Pixel Array の外側は PSUB リングに囲まれ、これは PIXRING 端子に繋がれている (図 7)。

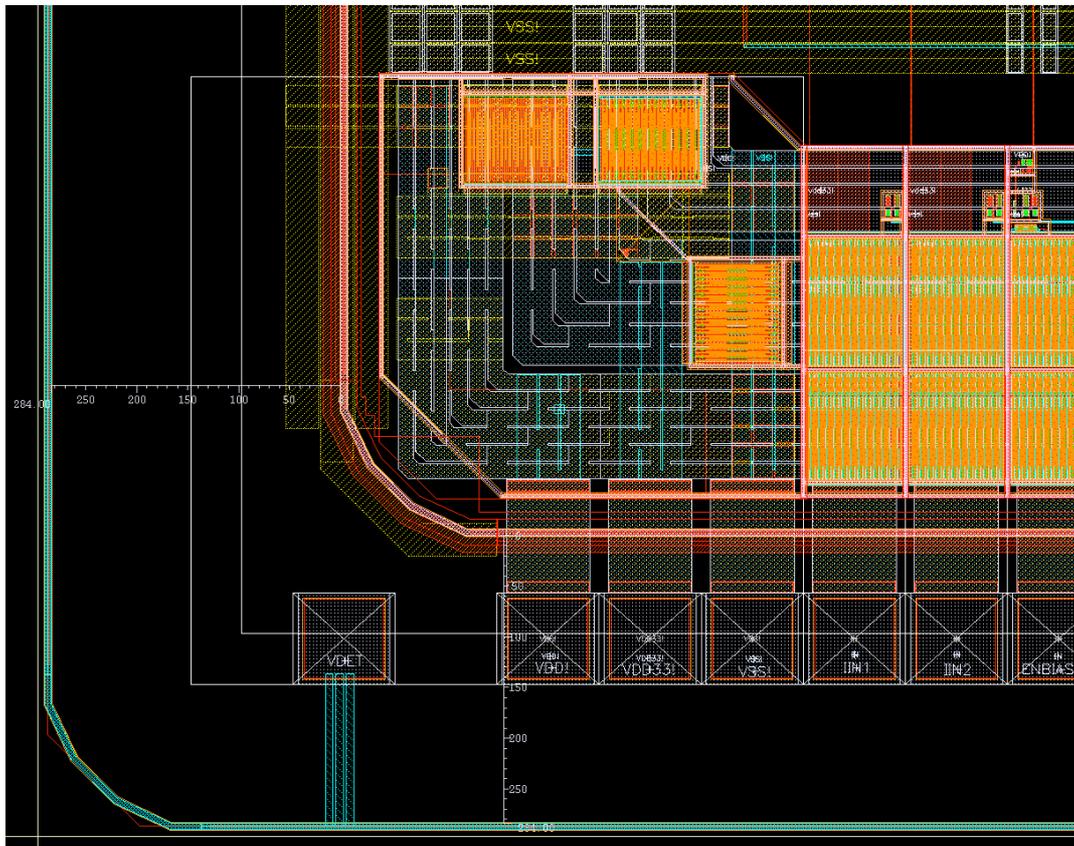


図 5. チップ左下コーナー部レイアウト。外側水色が HV Ring (=VDET), その内側のピンク(PSUB)と赤 (Metal 1)が BIAS Ring。

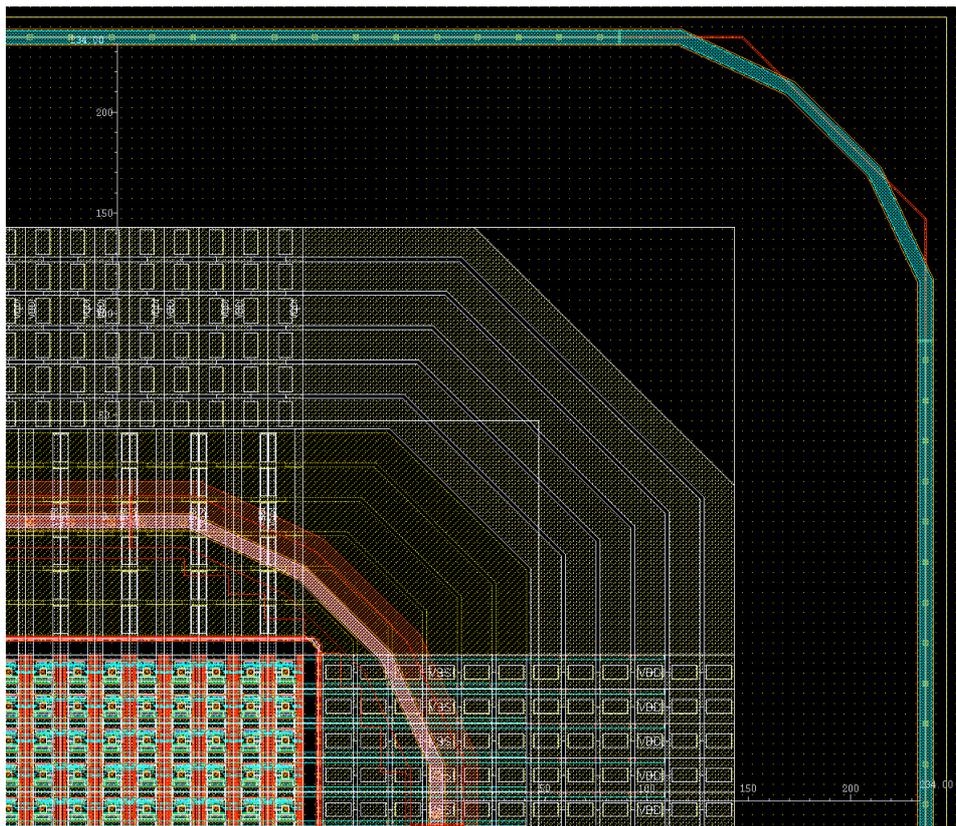


図 6. チップ右上コーナ部レイアウト。

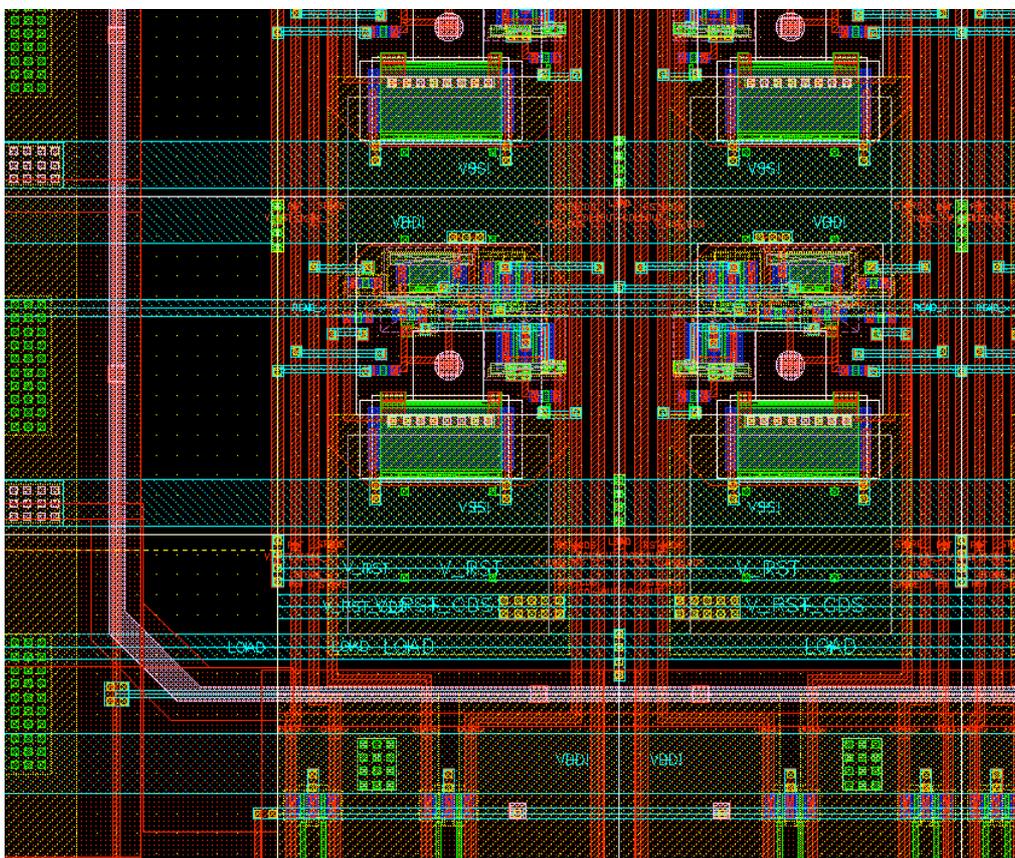


図 7. PIXRING(ピンクの PSUB リング)。周辺の赤い点で覆われている部分は BPW.

1.3. Pixel

ピクセル部(ipix4)の回路を図 8、図 9 に、レイアウトを図 11 に示す。Pixel の大きさは 17um x 17um でレーザー光を照射できるように、中央部に左右 9.2 um x 上下 8.65 um の Non Dummy Metal 領域を設けてある。このため蓄積用コンデンサーはずらして下のピクセルに半分かかる部分に置いてある。PSUB 電極は外形 1.4 um の十二角形の物を使い、その周りに幅 12 um の変形 8 角形の BPW を置いている。

内部電圧のダイアグラムを図 10 に示す。

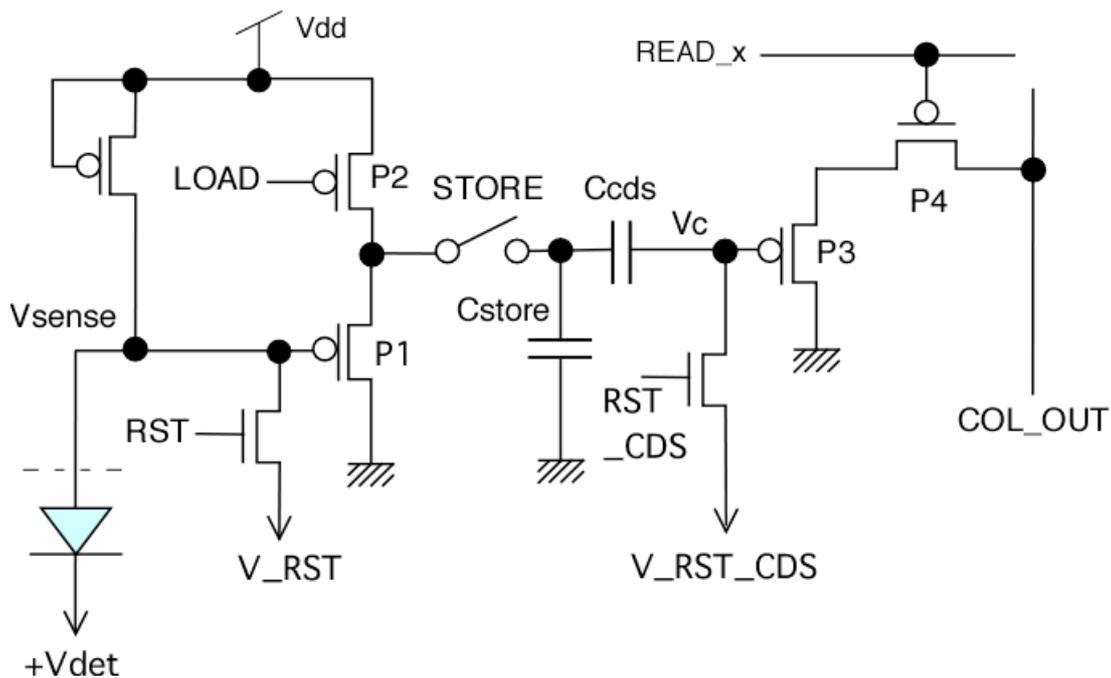


図 8. INTPIX4 CDS 付き Pixel 回路ブロック。

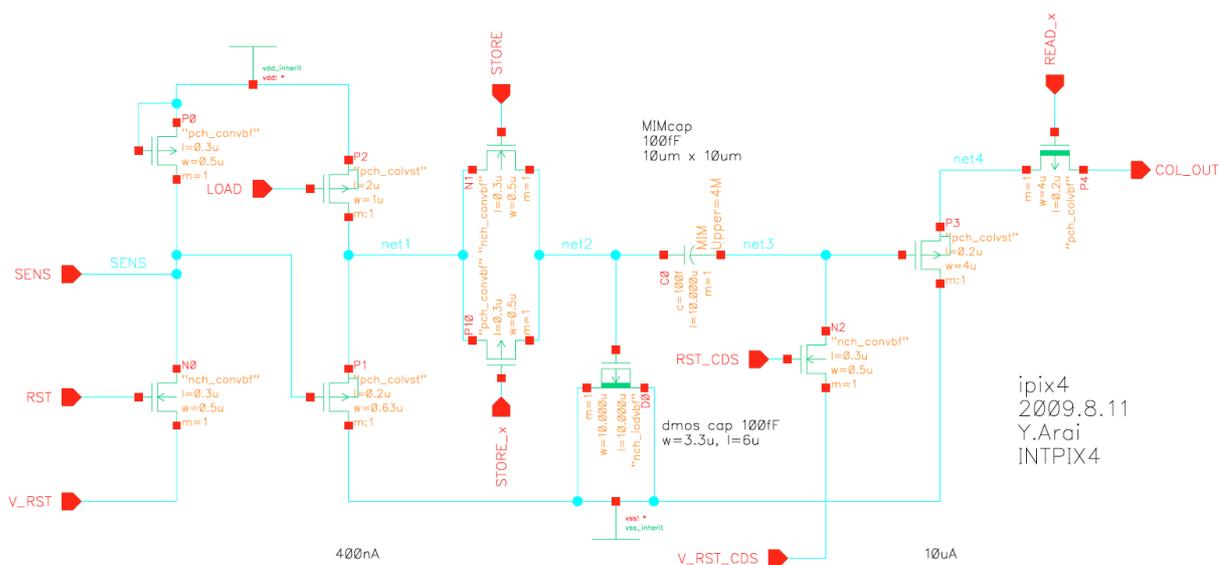


図 9. 実際の Pixel 回路図。

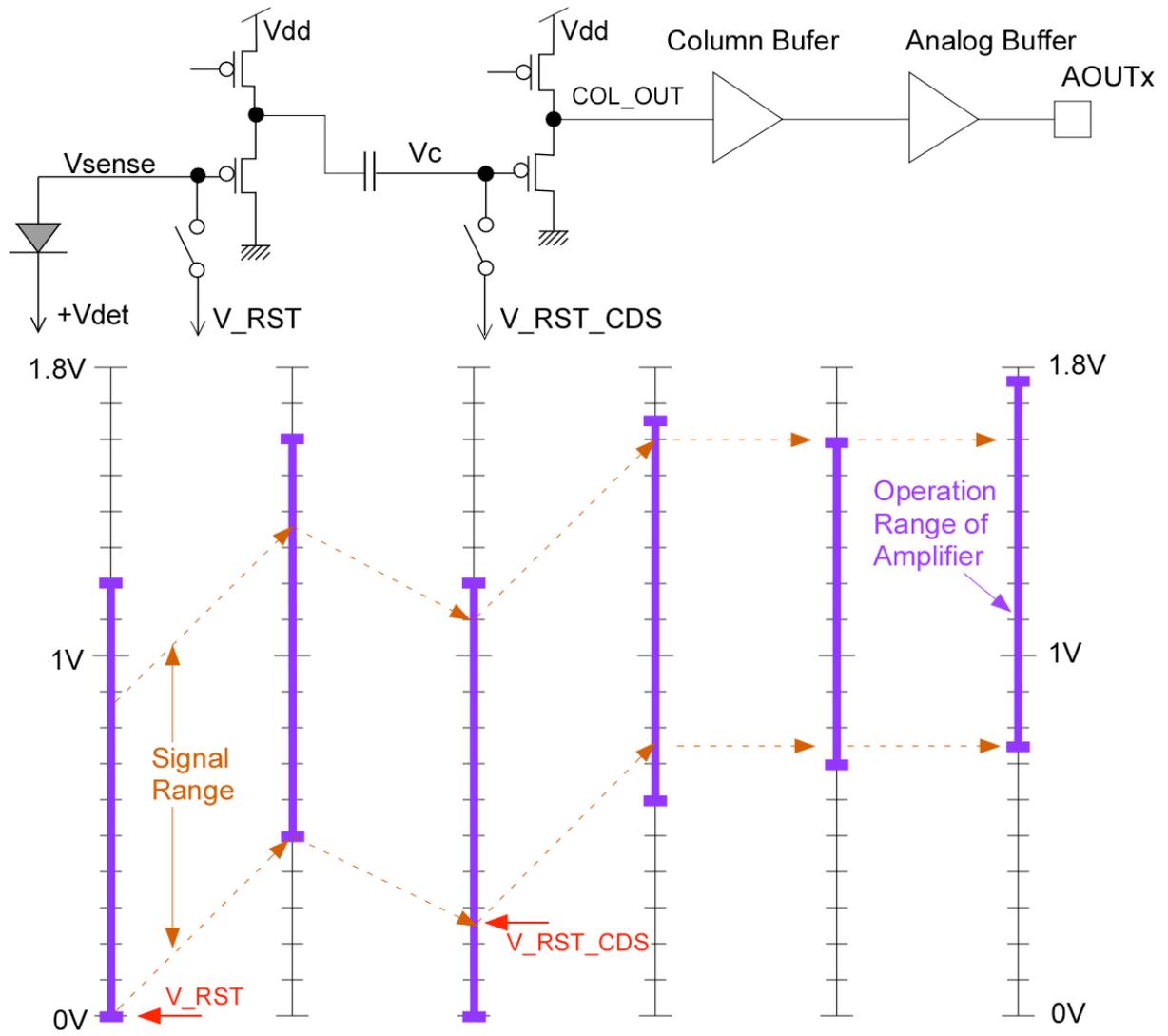


図 10. 内部電圧ダイアグラム(2010.12.27 修正)。

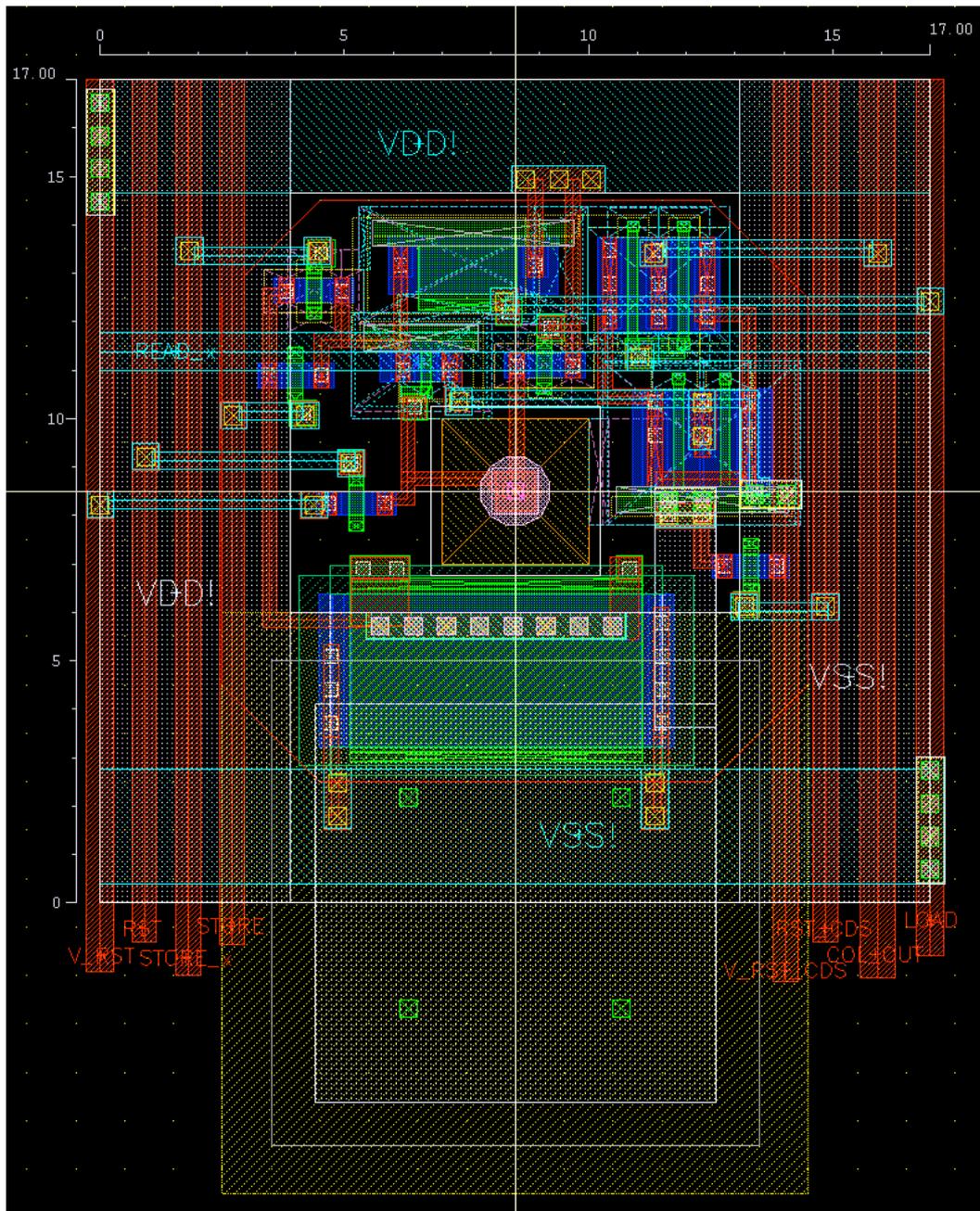


図 11. ipix4 レイアウト。17um x 17um。下側の黄色い部分がコンデンサー、赤い八角形の部分が BPW。

2. Signal & Timing

各種信号の説明とタイミングを以下に示す。

2.1. Digital Signals

すべてのデジタル信号は 3.3V CMOS レベル（しきい値~1.65V）である。

- RA[8:0]
Row Address（行アドレス）信号。ピクセルアレイの下側が 0 行目である。
- CA[9:0]
Column Address（列アドレス）信号。AOUTA から読み出す際は CA[9:0] 10 ビットすべてを使うが、

AOUT0 ~ AOUT12 を使って読み出す際は、CA[5:0]の下位 6 ビットのみを使用する。ピクセルアレイの左側が 0 列目である。

- RAEN_x
Row Address Enable 信号 (負論理)。常に Lo でも良いが、余分な Row Address 信号を出さないようにする為には、Row Address が確定させてから RAEN_x を Lo にすると良い。
- CAEN
Column Address Enable 信号入力 (正論理)。常に Hi でも良いが、余分な Column Address 信号 (余分なデータ信号) を出さないようにする為には、Column Address を確定させてから CAEN を Hi にすると良い。
- CAENO
CAEN 信号をリターンさせた出力信号。デバック用。
- RST_x
Pixel の RST 入力信号。Vsense ノード電圧を V_RST の電位に固定する。負極性。
- RST_CDS_x
Pixel の CDS 回路の RST 信号。CSTORE キャパシタの一端を V_RST_CDS の電位に固定する。負極性。
- STORE_x
Pixel の STORE 信号入力端子。負極性。
- ENBIAS1_x
Pixel の load バイアス電圧の制御信号。ENBIAS1_x =Lo の時 load 信号は IIN1 で制御されたバイアス電圧値になる。ENBIAS1_x =Hi の時は load=0V となり、動作を停止し消費電流を抑えることが出来る。
- ENBIAS2_x
AOUT0 ~ AOUT12 の Analog バッファのバイアス電圧(rbuf_sw)の制御信号。ENBIAS2_x=Lo の時 rbuf_sw 信号は IIN2 で制御された電圧値になる。ENBIAS2_x=Hi の時は rbuf_sw=0V となり、AOUT0 ~ AOUT12 の出力は OFF になり消費電流を抑えることが出来る。この制御信号に関わらず、AOUTA バッファは常に動作する。
- RA0OUT_x
RA[8:0]=0 の時のデコーダ選択信号出力。デバック用。
-

2.2. Analog Signals

下記に示した電圧、電流値はセンサー電圧 0V の時のシミュレーションから求めた値で、センサー電圧が 0V 以外の時は最適値がこの値から変化する可能性があるので注意。

- IIN1
Pixel 回路 load 電圧制御用参照電流。~60KOhm の抵抗を接続し 20uA 程度流す。
- IIN2
Column buffer(rbuf), Output buffer (rbuf_sw) 電圧制御用参照電流。~60kOhm の抵抗を接続し 20uA 程度

流す。アナログ出力の速度が遅い場合は、この電流値を増加（抵抗を減少）させる。

- VH
load 電圧モニター端子。通常~1.2 V。
- VL
rbuf 電圧モニター端子。通常~0.6 V。
- V_RST
Pixel Vsense ノードのリセット電圧。通常~0V。
- V_RST_CDS
Pixel Vc ノードの CDS 用リセット電圧。通常~0.15V。
- AOUTA
全ピクセル用アナログ出力信号。0.75-1.6V 程度。
- AOUT0 ~ AOUT12
64 column ずつのアナログ出力信号。0.75-1.6V 程度。

2.3. Voltage Signals

- VDD33
3.3V I/O 用電源。
- VDD18
1.8V 内部回路用電源。
- VSS
グラウンド端子。
- VDET
チップ周辺部の HV Ring からのセンサーバイアス電圧供給端子。
- VBACK
チップ裏面からのセンサーバイアス電圧供給端子。
- VBIAS
BIAS Ring 端子。通常は 0V に接続。
- BPWCIR
周辺回路用 BPW 端子。通常は 0V に接続。
- PIXRING
PIXEL Array 周辺部を囲んでいる PSUB リングの端子。通常は 0V に接続。

2.4. Data I/O Timing

表 1、表 2 にアクセス信号の関係を示す。CDS 付き AOUTx の出力タイミングを図 12 に示す。この読み出しでピクセル内トランジスタ P1 及び kTC ノイズに相当する電圧は、ピクセル出力から差し引か

れるが、P3 及び Column buffer による offset はまだ差し引かれない。この影響も差し引く為には、あらかじめ図 13 に示すようなタイミングで各ピクセルの offset 電圧を読み出しおき、図 12 で得られたデータから差し引く必要がある。

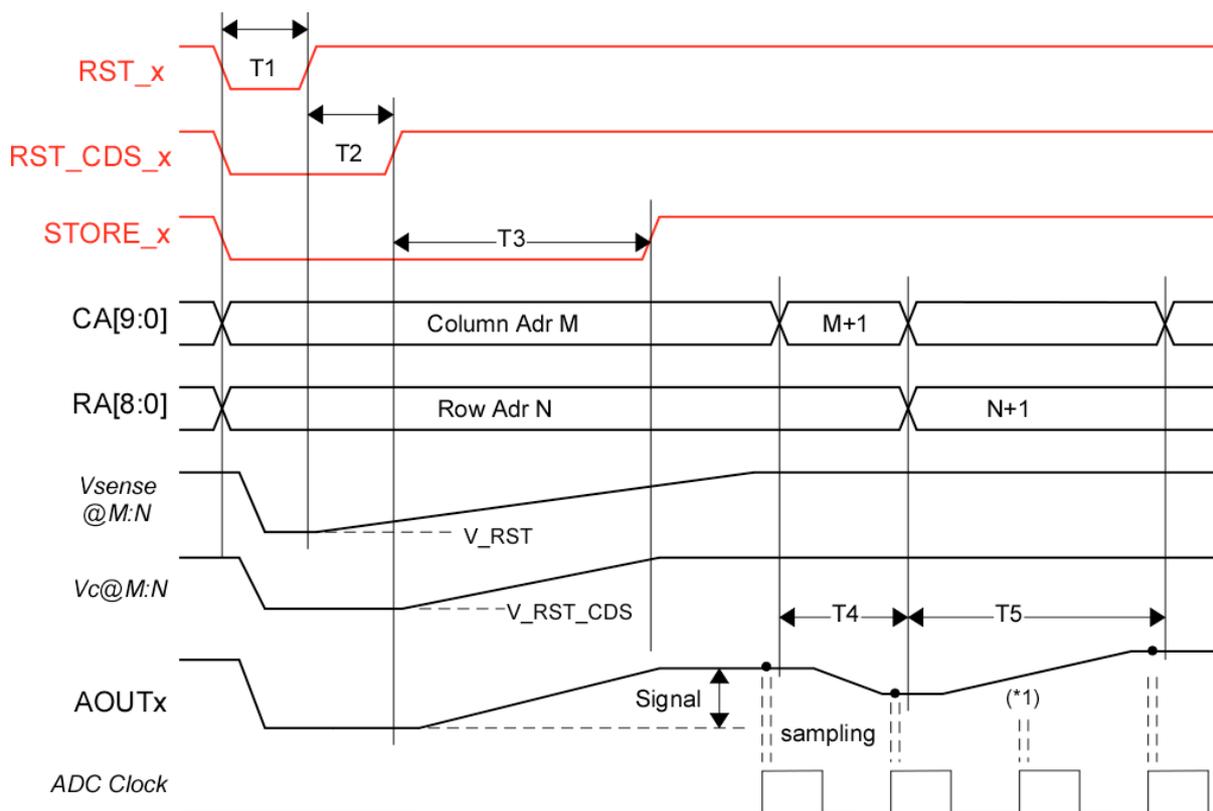
表 1. Single Output Mode Data I/O operation
(推奨 ENBIAS2_x=Hi にすると AOUT0~12 が Disable になる)

RA[8:0],CA[9:0]	RAEN_x	CAEN	AOUTA	Comment
x	x	Lo	Hi	No Output
x	Hi	Hi	Hi	No Output
Adr N	Lo	Hi	Vpix	Pixel N Vc out

表 2. Parallel Output Mode Data I/O operation (ENBIAS2_x は Lo にすること)

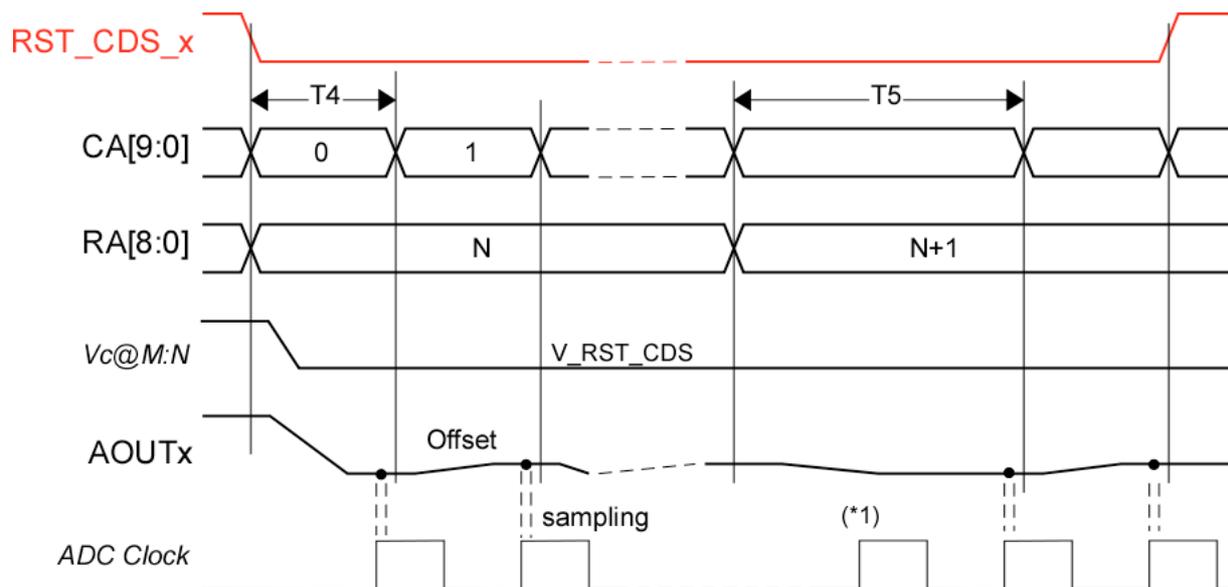
RA[8:0],CA[5:0]	RAEN_x	CAEN	AOUT0~12	Comment
x	x	x	Hi	No Output
x	Hi	x	Hi	No Output
Adr N	Lo	x	Vpix	Pixel N Vc out

[AOUTx sampling timing]



(*1)Skip the data in this cycle when the clock period is shorter than T5.

図 12. AOUTx sampling timing. (RAEN_x=Lo, CAEN=Hi)



(*1)Skip the data in this cycle when the clock period is shorter than T5.

図 13. 各ピクセルの Offset 電圧読み出しタイミング例(STORE_x=Hi)。

表 3. 読み出しタイミング値。Very Preliminary!

Symbol	Characteristics	Min	Max	Unit	Comment
T1	RST_x width	10		ns	
T2	RST_CDS_x overhang	10		ns	
T3	STORE_x overhang	10		ns	
T4	Column Address change to AOUTx valid	100		ns	
T5	Row Address change to AOUTx valid	200		nx	T5 > T4