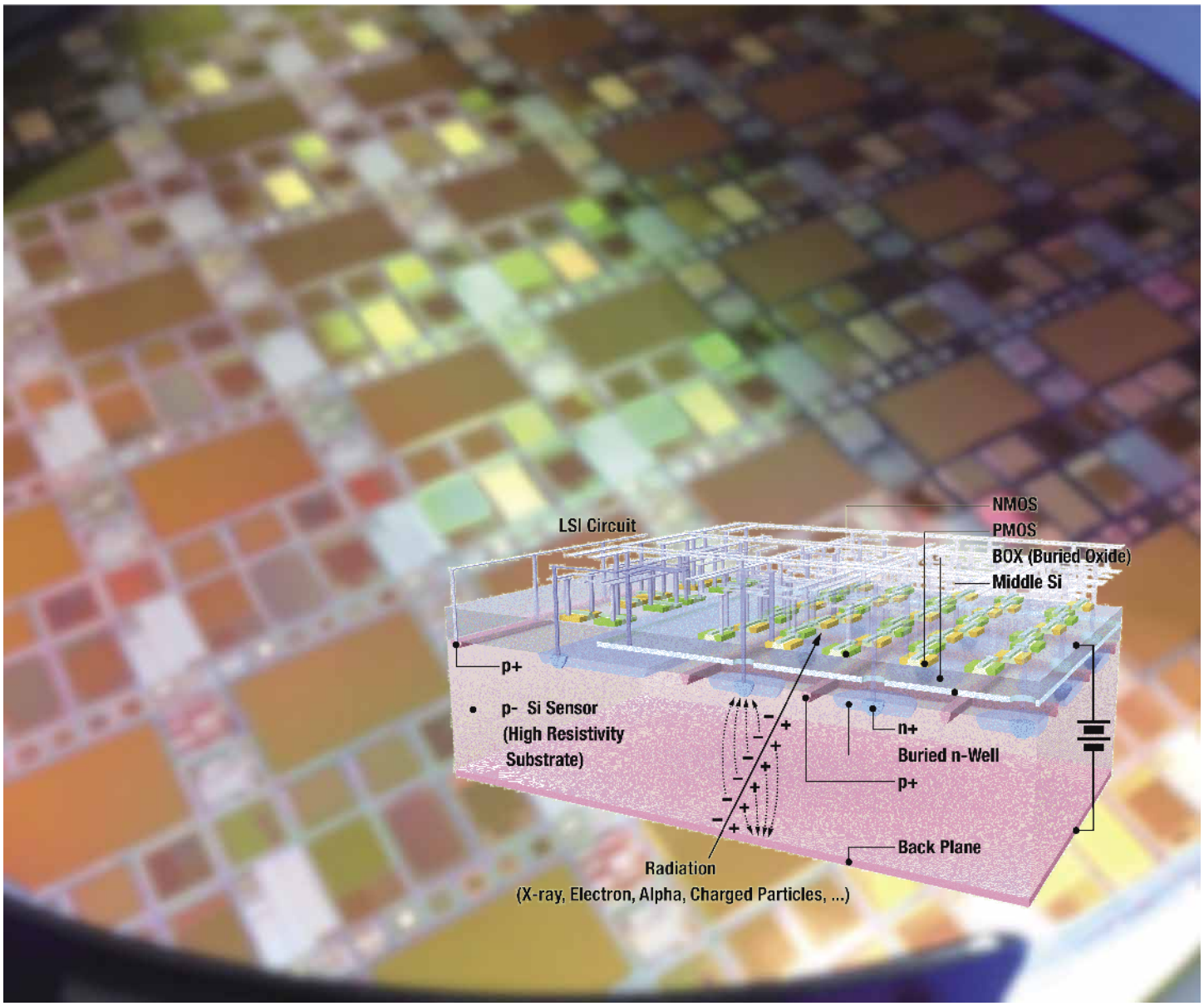
SOIPIX
Silicon-On-Insulator Pixel Detector Project

文部科学省科研費
新学術領域研究（平成25年度~平成29年度）

「3次元半導体検出器で切り拓く 新たな量子イメージングの展開」

第8回研究会発表資料集

2017 年 6 月 29 、30 日＠宮崎大学



高エネルギー加速器研究機構　素粒子原子核研究所

１．はじめに

2013 年 7 月より本新学術領域研究「３次元半導体検出器で切り拓く新たな量子イメージングの展開」が始まり、早くも今年度が最終年度となりました。これまでに、6 回の国内研究会と 1 回の国際会議を開催し、今回宮崎大学で開催したのが通算 8 回目の研究会となります。国内向け研究会としては最後を迎え、あとは 12 月の沖縄での SOIPIX2017 国際会議を残すのみとなりました。

当初の研究会では、研究プランの説明がほとんどで、中身の濃い結果発表とは言い難いものがありましたが、宮崎では各研究班から素晴らしい成果報告が相次ぎ、とても 2 日間の日程に収まるものではありませんでした。

これまでも発表スライドは Web 上に残してきましたが、今回はより多くの方々に見てもらうと同時に、将来の発展に向けた足跡を記すべきという機運が高まり、冊子として残す事にしました。また、過去の研究会の記録も載せる事にしました。

本領域研究は、SOI 検出器をキーワードとして、様々な分野の研究者が集まり、新たな検出器の開発にチャレンジする研究領域を生み出す事を目的にスタートしました。このような集団が果たしてまとまるものかと、些か不安な船出でしたが、各研究者が懸命に頑張ってくれたお陰で、予想をはるかに上回る成果を出してくれました。

この事は、実用化への提案を多くいただき、予想もしていなかった実験から使用の申し出を受けたことからもわかります。

本来の科学的成果が出てくるのは少し先になりますが、今回の領域研究では将来の大きな成果につながる検出器開発という種を撒き苗を育てたと自負しています。終了まで半年余り、この苗をさらに大きくして、次の研究に繋げていきたいと思います。

2017 年 8 月 15 日
領域代表　高エネルギー加速器研究機構
新井　康夫

目　次

１．はじめに　新井康夫 …… 1

２．新学術研究会軌跡 …… 4

各研究会開催場所・日時

2017 年 6 月 宮崎研究会写真

SOIPIX2015 及び過去の国内研究会写真

３．研究班 …… 9

計画研究班

公募研究班

４．第８回新学術研究会　口頭発表

4-1. 領域活動報告　新井康夫（KEK) …… 13

4-2. ピクセルリーク電流の検討　倉知郁生（KEK） …… 17

4-3. SOPHIAS の現状と今後　初井宇記（SPring-8) …… 21

4-4. X 線 SOIPIX 検出器の開発：完成に向けた現状と今後
鶴剛（京都大学） …… 24

4-5. イベント駆動型 SOIPIX「XRPIX シリーズ」開発史
武田彩希（宮崎大学） …… 27

4-6. 招待講演
SOI-X 線センサー用プロセス開発　葛西大樹（ラピスセミコンダクタ宮城) …… 30

4-7. エリザベス女王工学賞受賞記念講演
イメージセンサにおける白傷・暗電流　寺西信一（兵庫県立大／静岡大） …… 34

4-8. FNAL ビーム実験 FPIX　原和彦（筑波大学） …… 39

4-9. 招待講演
X 線天文学で使用する CCD カメラの開発研究
常深博（大阪大学） …… 42

4-10. ILC 実験用 SOI ピクセル検出器 : SOFIST の開発と今後について
小野峻（KEK） …… 45

4-11. 招待講演
ダイナミック動作型積分器を用いたスケーラブル ADC の開発
宮原正也（KEK） …… 48

4-12. 招待講演
CMOS ダウンスケーリングとフロントエンドエレクトロニクス設計
岸下徹一（KEK） …… 54

4-13. 高感度ピクセル量子ディテクタ BPSPIX の試作と評価
川人祥二（静岡大学） …… 59

4-14. 新規 3 次元積層プロセスに向けた SOI 設計環境の構築とリリース
池辺将之（北海道大学） …… 61

4-15. 招待講演
臨床応用に向けた生体画像計測の進展とイメージセンサへの要求
香川景一郎（静岡大学） ……（発表のみ）

4-16. プラズモンフィルタを用いたマルチバンドカラーフィルタリング
小野篤史（静岡大学） …… 65
4-17. 2 光子ガンマ線検出型高感度分子イメージング装置の開発
島添健次（東京大学） …… 67
4-18. 質量分析による高解像度分子イメージングに向けた半導体検出器 MALPIX の開発
間久直（大阪大学） …… 70
4-19. KEK/PF での SOPHIAS による X 線回折・小角散乱実験と計数型ピクセル評価の状況
橋本亮（KEK） …… 72
4-20. INTPIX の現状　三好敏喜（KEK） …… 74
4-21. INTPIX4 を用いた X 線応力測定　佐々木敏彦（金沢大学） …… 77
4-22. 遠赤外線画像センサー開発の現状　和田武彦（JAXA） …… 79
4-23. 極低温 SOI 可視光センサーと CMB 観測用光学系評価への応用
石野宏和（岡山大学） …… 85
4-24. SOI 技術を用いた中性子検出器の開発と弱い等価原理の検証実験
神谷好郎（東京大学） …… 88
4-25. SOI ピクセル検出器の電子線イメージングへの応用
石田高史（名古屋大学） …… 92

５．第８回新学術研究会　ポスター発表

5-1. SOI 技術を用いた線形増幅型検出器の開発　浜崎竜太郎（総研大 /KEK） …… 97
5-2. X 線 Photon counting イメージングに向けた SOI-SiPM の開発
小山晃広（東京大学） …… 99
5-3. XRPIX6D, 6H 性能比較　林秀輝（京都大学） …… 101
5-4. INTPIX4 を用いた X 線応力測定装置の小型・高速化
三井真吾（金沢大学） …… 103
5-5. 汎用 FPGA 基板 KC705 を用いた計数型 SOI 検出器用 DAQ システムの開発
西村龍太郎（総研大 /KEK） …… 105
5-6. MALPIX を用いたイメージング質量分析　青木順（大阪大学） …… 107
5-7. マイクロフォーカスX線源と振幅格子を用いたX線位相イメージング
－振幅格子の投影像の短周期化の検討－　細野凌（大阪大学） …… 109
5-8. XRPIX の表面・裏面照射によるX線 TID 効果の測定
西岡祐介（宮崎大学） …… 111
5-9. 多段化 X 線ピクセル検出器システムの開発　立花克裕（京都大学） …… 113
5-10. 裏面照射型 X 線 SOI ピクセル検出器の軟 X 線性能評価
原田颯大（京都大学） …… 115
5-11. BPSPIX(Back Gate Pinning SOI Pixel) の基本特性評価
中西駿太（静岡大学） …… 117
5-12. 電荷積分型 SOI ピクセル検出器 FPIX2 のクロストーク評価
山内大輝（筑波大学） …… 119
5-13. 高エネルギービーム試験による SOI ピクセル検出器 FPIX2 の評価
遠藤駿（筑波大学） …… 121
5-14. サブ秒角の X 線天体撮影をめざす MIXIM 計画
林田清（大阪大学） …… 123

２．新学術研究会軌跡

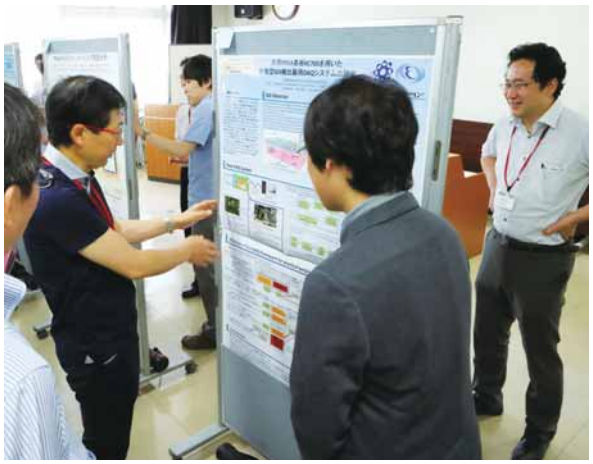
〈 各研究会開催場所・日時 〉

開催日	場所	タイトル (URL)
2013 年 12/13-14	京都大学	第 1 回新学術領域研究会 (https://kds.kek.jp/indico/event/14362/)
2014 年 5/9-10	大阪大学	第２回新学術領域研究会 (https://kds.kek.jp/indico/event/15357/)
2014 年 7/31-8/1	KEK	第 1 回 SOI Pixel 設計講習会 (https://kds.kek.jp/indico/event/16329/)
2014 年 11/26-27	金沢工業大学	第３回新学術領域研究会 (https://kds.kek.jp/indico/event/16854/)
2015 年 6/3-6	東北大学、 仙台市	国際会議“1st International Workshop on SOI Detector” (https://kds.kek.jp/indico/event/17786/) 一般講演会 「宇宙と素粒子の謎を解き明かす最先端の３次元半導体検出器」 (http://epx.phys.tohoku.ac.jp/soipix2015/)
2015 年 8/19-21	KEK	第２回 SOI Pixel 設計講習会 (https://kds.kek.jp/indico/event/19050/)
2015 年 12/1-2	静岡大学	第５回新学術領域研究会 (https://kds.kek.jp/indico/event/20137/)
2016 年 6/28-29	北海道大学	第６回新学術領域研究会 (https://kds.kek.jp/indico/event/21579/)
2016 年 7/14-15	北京、中国	China-Japan Mini Workshop on SOIPIX (http://indico.ihep.ac.cn/event/6189/timetable/#all)
2016 年 8/29-31	KEK	第３回 SOI Pixel 設計講習会 (https://kds.kek.jp/indico/event/22149/)
2016 年 11/21-22	SPring-8	第 7 回新学術領域研究会 (https://kds.kek.jp/indico/event/22867/)
2017 年 6/29-30	宮崎大学	第８回新学術領域研究会 (https://kds.kek.jp/indico/event/24312/)
2017 年 9/25-27	KEK	第４回 SOI Pixel 設計講習会
2017 年 12 月	沖縄科学技術大学院大学	2nd International Workshop on SOI Detector (HSTD11 会議と共催)

新学術領域 Web ページ：http://soipix.jp

〈 2017 年 6 月 宮崎研究会写真 〉

がんばるもう



BONDI CAFE

〈 SOIPIX2015 及び過去の研究会写真 〉

2015.12@静岡大学

2014.11@金沢工大

2014.5@大阪大学

2013.12@京都大学

3次元半導体検出器で切り拓く
新たな量子イメージングの領域
Radiation Imaging Detectors Using SOI Technology

3．研究班

〈 計画研究班 〉

班	研究課題	役割	名前	所属
X00 班	統括	代表	新井　康夫	KEK 素粒子原子核研究所
		分担	幅　　淳二	KEK 素粒子原子核研究所
		分担	三好　敏喜	KEK 素粒子原子核研究所
A01 班	SOI 3 次元ピクセルプロセスの研究	代表	新井　康夫	KEK 素粒子原子核研究所
		分担	倉知　郁生	KEK 素粒子原子核研究所
		分担	三好　敏喜	KEK 素粒子原子核研究所
		分担	井田　次郎	金沢工業大学工学部
		研究員	山田　美帆	KEK 素粒子原子核研究所
A02 班	SOI 技術を用いた極低ノイズ・高速イメージングデバイスの研究	代表	川人　祥二	静岡大学電子工学研究所
		分担	安富　啓太	静岡大学電子工学研究所
		分担	池辺　将之	北海道大学情報科学研究科
		分担	香川景一郎	静岡大学電子工学研究所
B01 班	宇宙最初期ブラックホールの探査研究を実現する衛星搭載 X 線精密イメージングの開拓	代表	鶴　　剛	京都大学理学研究科
		分担	森　　浩二	宮崎大学工学部
		分担	幸村　孝由	東京理科大学理工学部
		分担	田中　孝明	京都大学理学研究科
		分担	武田　彩希	宮崎大学工学部
B02 班	ダストに隠された宇宙の物質進化を暴く極低温 SOI 赤外線イメージングの開拓研究	代表	和田　武彦	JAXA 宇宙科学研究所
		分担	金田　英宏	名古屋大学理学研究科
C01 班	高輝度加速器実験のための素粒子イメージング	代表	坪山　　透	KEK 素粒子原子核研究所
		分担	原　　和彦	筑波大学数理物質科学研究科
		分担	幅　　淳二	KEK 素粒子原子核研究所
		分担	外川　　学	KEK 素粒子原子核研究所
		分担	石川　明正	東北大学理学研究科
		分担	池上　陽一	KEK 素粒子原子核研究所
		研究員	小野　峻	KEK 素粒子原子核研究所
C02 班	X 線自由電子レーザーによる超高速ナノ構造解析用検出器	代表	初井　宇記	理化学研究所 XFEL
		分担	桐原　陽一	理化学研究所 XFEL
		分担	工藤　統吾	高輝度光科学研究センター
		分担	阿部　利徳	高輝度光科学研究センター
		分担	寺西　信一	兵庫県立大学高度産業科学技術研究所
D01 班	放射光を用いた空間階層構造とダイナミクス研究のためのイメージング	代表	岸本　俊二	KEK 物質構造科学研究所
		分担	五十嵐教之	KEK 物質構造科学研究所
		分担	熊井　玲児	KEK 物質構造科学研究所
		研究員	橋本　　亮	KEK 物質構造科学研究所
D02 班	投影型イメージング質量分析による迅速で高解像度な生体内分子イメージング	代表	粟津　邦男	大阪大学工学研究科
		分担	間　　久直	大阪大学工学研究科
		分担	青木　　順	大阪大学理学研究科
		研究員	本堂　敏信	大阪大学工学研究科
		研究員	松岡　久典	大阪大学工学研究科

〈 公募研究班 〉

平成 26–27 年度

班	研究課題	役割	名前	所属
A01- I	PSS-SOI 高分解能検出器の開発および応用	代表	島添 健次	東京大学大学院工学系研究科
A01-II	ワイドレンジプラズモンフィルタを実装した SOI 量子イメージセンサの開発	代表	小野 篤史	静岡大学工学研究科
A02-I	軟 X 線用の背面反射回折環二次元イメージング機構の開発	代表	佐々木 敏彦	金沢大学人間科学系
A02- II	究極のエネルギー分解能を持つ大面積 X 線検出器の開発	代表	石野 宏和	岡山大学自然科学研究科
B01- I	XRPIX の位置分解能向上と G2 格子不要の X 線タルボ干渉計の開発	代表	林田 清	大阪大学理学研究科
B01- II	中性子星の磁場構造を解き明かす X 線偏光イメージャーの開発研究	代表	平賀 純子	東京大学大学院理学系研究科
C02	SOI 技術を用いたイメージセンサの重粒子線への応用	代表	松村 彰彦	群馬大学重粒子線医学推進機構

平成 28–29 年度

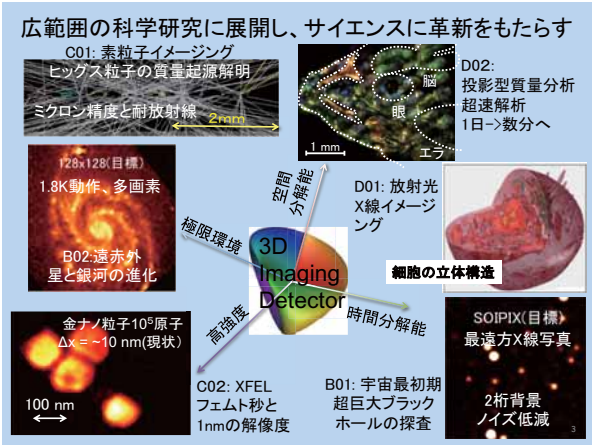
班	研究課題	役割	名前	所属
A01-I	２光子ガンマ線検出型高感度分子イメージング装置（TPCCT）の実証開発	代表	島添　健次	東京大学大学院工学系研究科
A01-II	ワイドレンジプラズモンフィルタ実装 SOIPIX センサによる可視近赤外イメージング	代表	小野　篤史	静岡大学工学研究科
A02-I	一体型 SOI 検出器によるデバイリング計測及び残留応力・材料評価の高速高精度化	代表	佐々木　敏彦	金沢大学人間科学系
A02-II	SOI 技術を用いた極低温可視光カメラと極低温光学系の開発	代表	石野　宏和	岡山大学自然科学研究科
A02-III	SOI ピクセル検出器による自己像直接検出型タルボ・ロー干渉計の高度化	代表	志村　考功	大阪大学工学研究科
B01-I	光子計数ピクセル検出器で実現するＧ２格子不要のＸ線タルボ干渉計	代表	林田　清	大阪大学理学研究科
B01-II	衛星搭載Ｘ線 SOI 検出器を用いた太陽アクシオン地上探索	代表	小貫　良行	東京大学素粒子物理国際研究センター

4.　第８回新学術研究会
口頭発表

Outline

I. はじめに
II. 最近の進展
III. まとめ

2

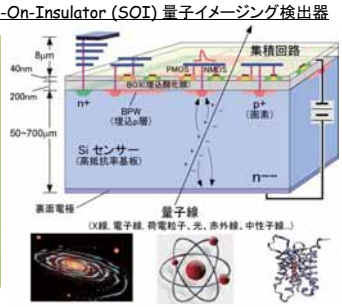


科研費新学術領域研究:「3次元半導体検出器で切り拓く新たな量子イメージングの展開」(平成25～29年度)

Silicon-On-Insulator (SOI) 量子イメージング検出器

研究領域目的:

- 半導体センサの優れた検出能力と、集積回路の高機能を併せ持つ、新たな3次元構造量子イメージング検出器の創出。
- 独創的な検出器開発を願う研究者と技術開発に興味を持つ研究者が一体となって、新しいサイエンスを切り拓く。



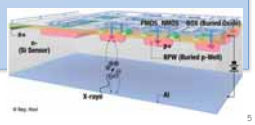
http://soipix.jp

様々な分野の研究者を融合！

4

SOI Pixel検出器の特徴

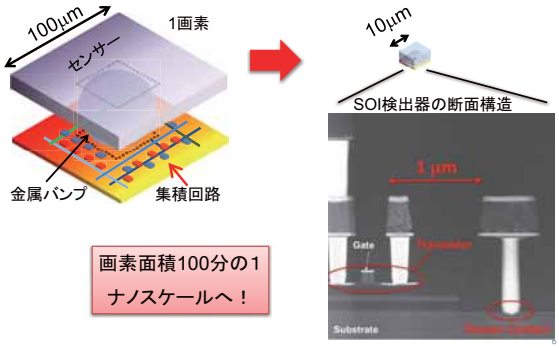
- 機械的接合がなく、半導体微細加工のみ。
  高信頼性、高分解能、低価格が望める。
- センサーが薄くても充分なS/N。
  逆に厚くする事で、高エネルギーX線に高い感度。
- 高度信号処理回路やメモリーを持つインテリジェント・ピクセルが可能に。
- 過酷な環境(極低温、放射線)への耐性。
- 基本技術は産業界の標準。
  技術発展の取り込みが容易。



5

スケールの革新

現在の検出器(Hybrid)　　SOI検出器(Monolithic)



画素面積100分の1
ナノスケールへ！

6

検出方法の革新

従来の放射線検出器　　SOIPIX 量子イメージング

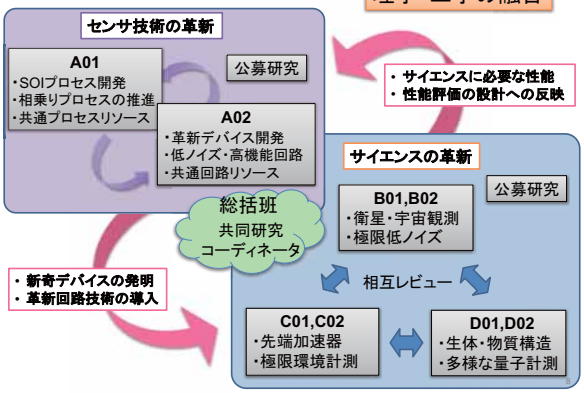
放射線の量を
アナログ的に積算。

各画素が単一量子を検出
計測処理を行う。

7

領域研究の進め方

理学・工学の融合



新学術領域研究(FY2013~2017)計画研究

研究班	研究代表	研究課題名
A01	新井康夫（KEK素核研）	SOI 3次元ピクセルプロセスの研究
A02	川人祥二（静岡大）	SOI技術を用いた極低ノイズ・高速イメージングデバイスの研究
B01	鶴剛（京大）	宇宙最初期ブラックホールの探査研究を実現する衛星搭載X線精密イメージングの開拓
B02	和田武彦（宇宙科学研）	ダストに隠された宇宙の物質進化を暴く 極低温SOI赤外線イメージングの開拓
C01	坪山透（KEK素核研）	高輝度加速器実験のための素粒子イメージング
C02	初井宇記（理研）	X線自由電子レーザーによる超高速ナノ構造解析用検出器
D01	岸本俊二（KEK物構研）	放射光を用いた空間階層構造とダイナミクス研究のためのイメージング
D02	粟津邦男（阪大）	投影型イメージング質量分析による迅速で高解像度な生体内分子イメージング

9

FY2014~2015 公募研究

タイトル	研究代表	所属
PSS－SOI高分解能検出器の開発および応用	島添　健次	東京大学
ワイドレンジプラズモンフィルタを実装したSOI量子イメージセンサの開発	小野　篤史	静岡大学
軟X線用の背面反射回折環二次元イメージング機構の開発	佐々木　敏彦	金沢大
究極のエネルギー分解能を持つ大面積X線検出器の開発	石野　宏和	岡山大学
XRPIXの位置分解能向上とG2格子不要のX線タルボ干渉計の開発	林田　清	大阪大学
中性子星の磁場構造を解き明かすX線偏光イメージャーの開発研究	平賀　純子	東京大学
SOI技術を用いたイメージセンサの重粒子線への応用	松村　彰彦	群馬大学

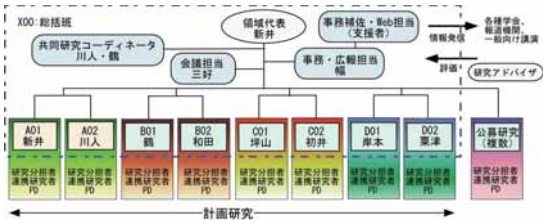
10

FY2016~2017 公募研究

研究班	タイトル	研究代表	所属
A01-I	2光子ガンマ線検出型高感度分子イメージング装置(TPCCT)の実証開発	島添　健次	東京大学
A01-II	ワイドレンジプラズモンフィルタ実装SOIPIXセンサによる可視近赤外イメージング	小野　篤史	静岡大学
A02-I	一体型SOI検出器によるデバイリング計測及び残留応力・材料評価の高速高精度化	佐々木　敏彦	金沢大
A02-II	SOI技術を用いた極低温可視光カメラと極低温光学系の開発	石野　宏和	岡山大学
NEW A02-III	**SOIピクセル検出器による自己像直接検出型タルボ・ロー干渉計の高度化**	**志村　考功**	**大阪大学**
B01-I	光子計数ピクセル検出器で実現するG2格子不要のX線タルボ干渉計	林田　清	大阪大学
NEW B01-II	**衛星搭載X線SOI検出器を用いた太陽アクシオン地上探索**	**小賀　良行**	**東京大学**

11

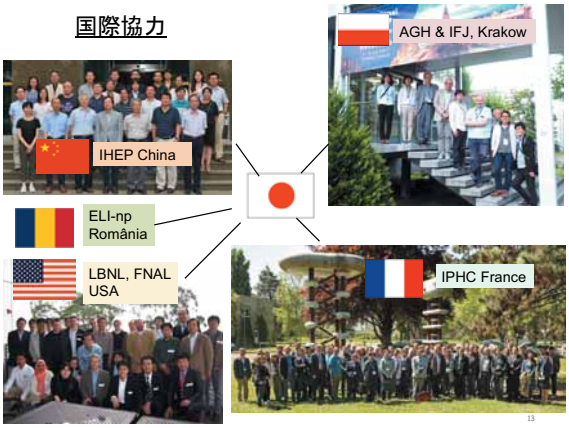
研究体制



- 2つの技術開発を目標とした研究班
- 6つの科学目標を持った研究班
- 複数の公募研究
- これらを連携させ、新たな研究領域の開拓と人材育成を行う。

12

国際協力



13

若手研究者の育成

SOI検出器設計講習会

14

主な SOI Projects

- INTPIX : 汎用積分型センサー　→ KEK、筑波大
- SOPHIAS : XFEL/放射光用大面積広ダイナミックレンジ
  → 理研
- XRPIX : 宇宙X線衛星用　→ 京都大、静岡大、宮崎大、他
- SOFIST : リニア・コライダー用崩壊点検出器
  → KEK, 筑波大, 大阪大, 東北大,,, (中国、ポーランド)
- CNPIX : 汎用計数型センサー → KEK, 中国
- STJPIX : 極低温、超電導トンネル接合検出器 → 筑波大学、岡山大、JAXA
- MALPIX : イメージング飛行時間質量分析器用
  → 大阪大、KEK
- …

15

世界最高精度の放射線測定センサーを開発

2017.6/23 Press Release

2017/06/23

大学共同利用機関法人高エネルギー加速器研究機構（KEK）、筑波大学、大阪大学、東北大学のSOIピクセル共同開発研究チームが、世界で初めて1μm以下という超高精度の位置測定が可能なSOI（Silicon-On-Insulator）ピクセルセンサーの開発に成功しました。従来のシリコン半導体センサーに比べ、位置測定精度が1桁改善しました。素粒子反応の正確な観測には欠かせない技術となります。このセンサーを使って、高い放射線検出効率を持った信号処理回路一体型の微細ピクセルセンサーを実現しました。

www.tsukubai.ac.jp/attention-research/p201706231400.html

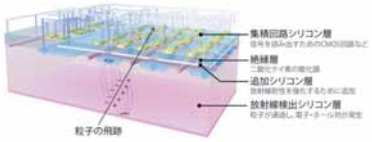
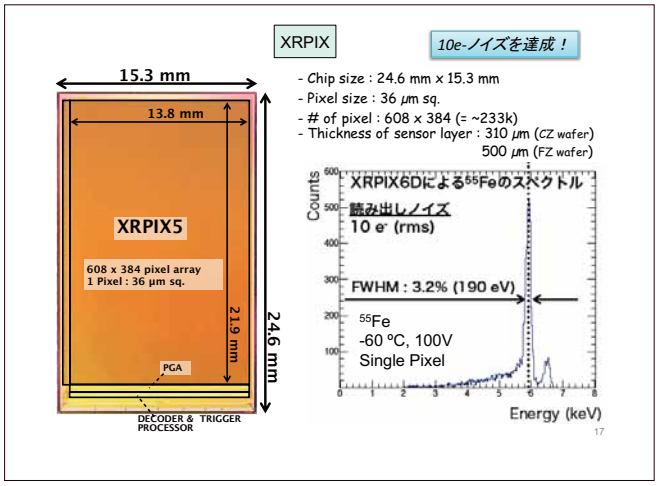
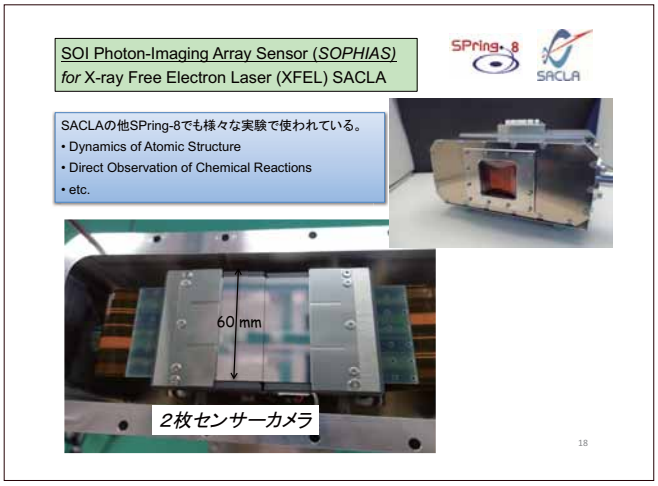
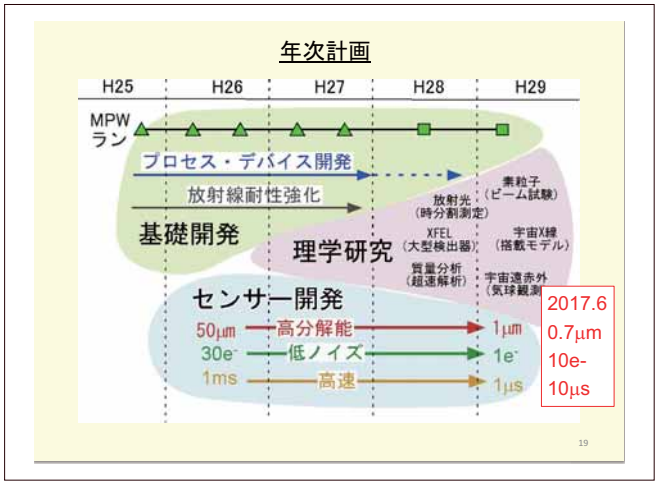
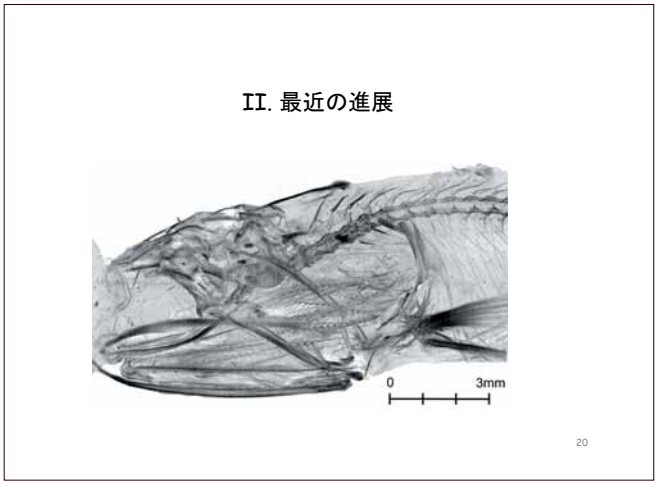


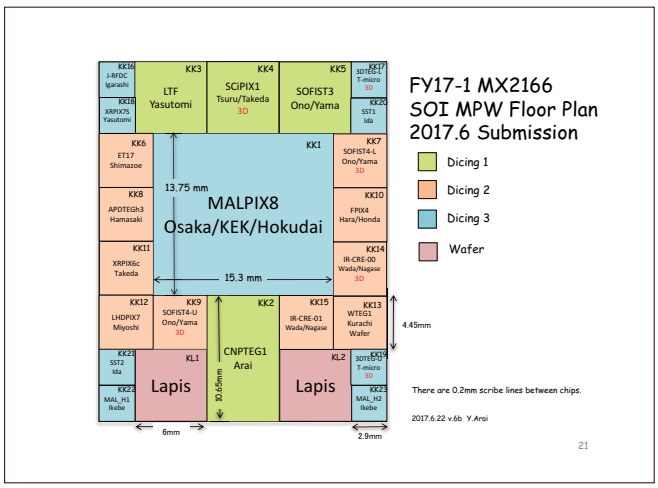
図　SOIピクセルセンサーの断面図。SOI構造下部のシリコン層は集積回路から絶縁されており素粒子センサーとして利用できる。センサーからの電気信号を基板上部の集積回路に直接伝えることで損失や雑音の少ないシステムを実現。集積回路は現代のエレクトロニクスを支える高度な技術で、センサーの信号処理にはうってつけの組み合わせ。こうしたセンサーと信号処理回路が一体となった構造は「モノリシック・ピクセル」と呼ばれる。今回開発したセンサーは放射耐性を強化するため、通常のSOI構造に加え、中間にさらにもう1層のシリコン層を加えている。

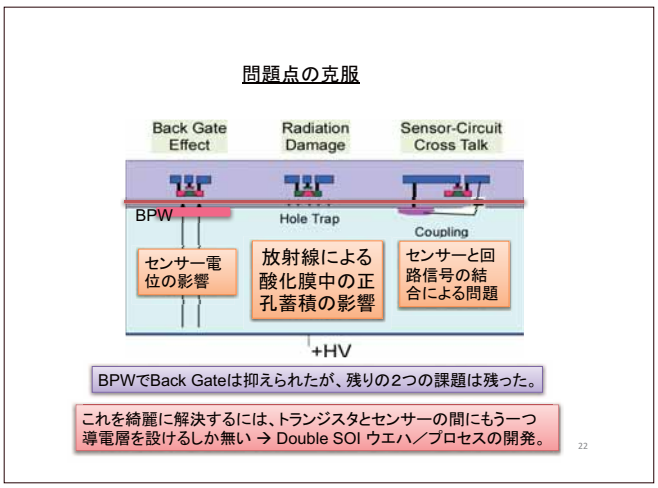


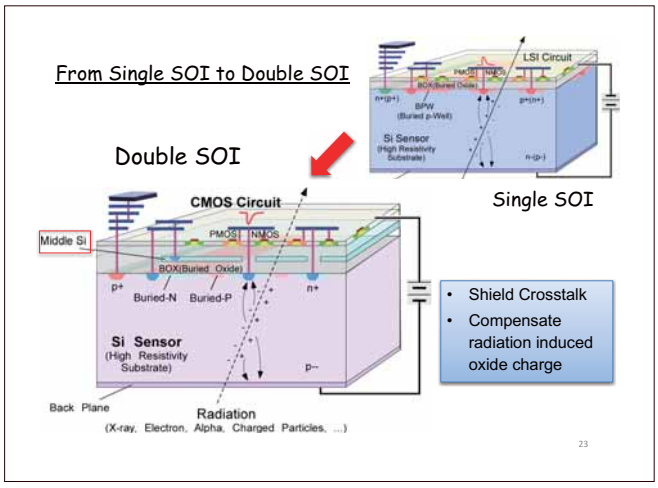


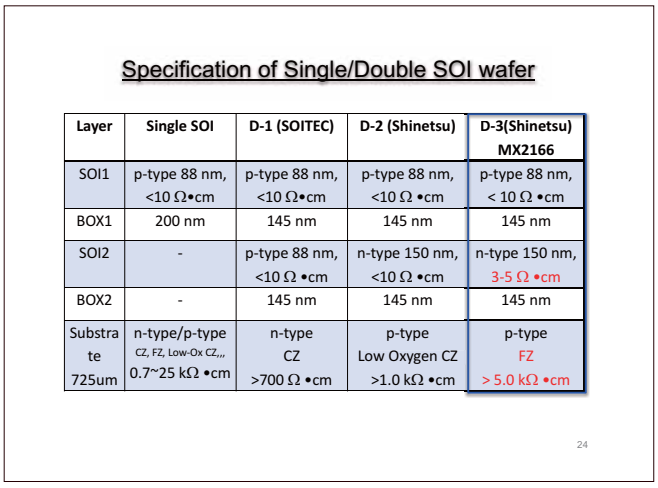










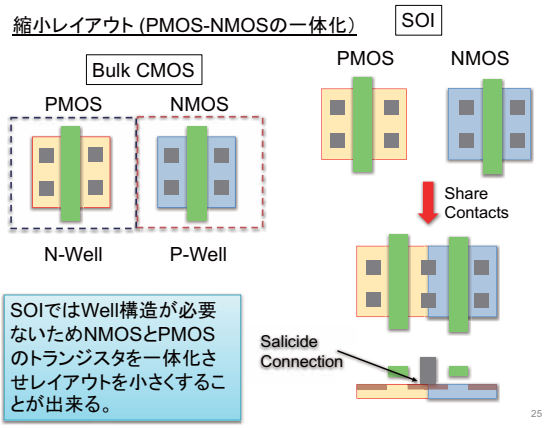


Specification of Single/Double SOI wafer

Layer	Single SOI	D-1 (SOITEC)	D-2 (Shinetsu)	D-3(Shinetsu) MX2166
SOI1	p-type 88 nm, <10 Ω•cm	p-type 88 nm, <10 Ω•cm	p-type 88 nm, <10 Ω •cm	p-type 88 nm, < 10 Ω •cm
BOX1	200 nm	145 nm	145 nm	145 nm
SOI2	-	p-type 88 nm, <10 Ω •cm	n-type 150 nm, <10 Ω •cm	n-type 150 nm, 3-5 Ω •cm
BOX2	-	145 nm	145 nm	145 nm
Substrate 725um	n-type/p-type CZ, FZ, Low-Ox CZ,,, 0.7~25 kΩ •cm	n-type CZ >700 Ω •cm	p-type Low Oxygen CZ >1.0 kΩ •cm	p-type FZ > 5.0 kΩ •cm

24

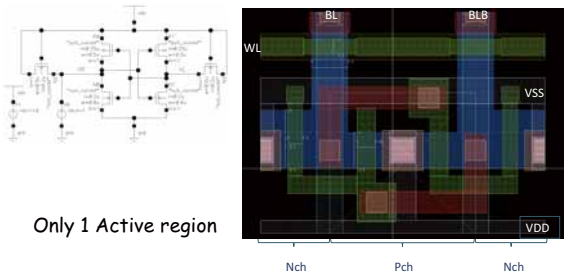
縮小レイアウト (PMOS-NMOSの一体化)



SOIではWell構造が必要ないためNMOSとPMOSのトランジスタを一体化させレイアウトを小さくすることが出来る。

25

Single Port SRAM Bit Cell



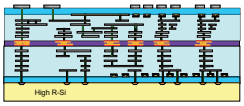
Only 1 Active region

Cell Size : 3.94μm X 3.06μm = 12.06μm^2

26

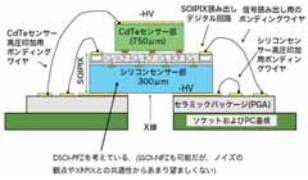
3D 積層への挑戦

SOFIST
(SOI sensor for Fine measurement of Space & Time)



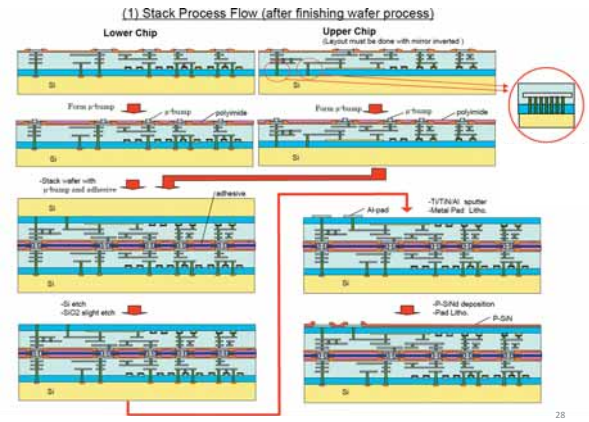
→ 小野さんの講演

SCiPIX
(Si CdTe Integrated Pixel)



(京大、宮崎大、北大、、、、)

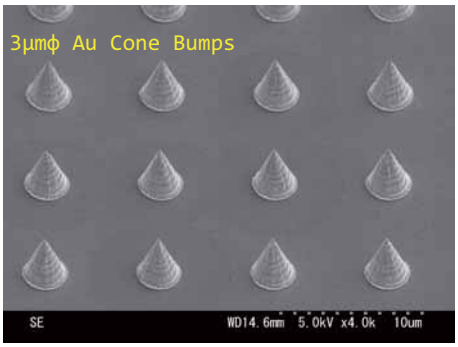
27



28

Au corn bump

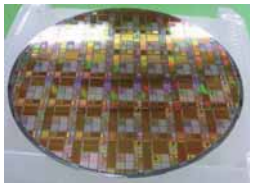
T-Micro
産総研



29

III. まとめ

- 新学術も残り9ヶ月。成果のまとめと共に、さらなる飛躍を目指して様々な検出器アイデア、サイエンス応用を提案してください。
- 次は12月の沖縄での国際会議。たくさんの成果が報告されることを期待します。



30

31

Jun. 29, 2017 @宮崎大学
第8回 SOIPIX研究会

ピクセルリーク電流の検討

高エネルギー加速器研究機構

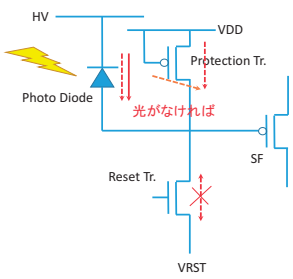
倉知 郁生

SOIPIX Silicon-On-Insulator Pixel Detector Project

発表内容

1. 目的
2. 評価に用いたサンプル
3. 基板濃度測定法と結果
4. 接合リーク電流の成分分離方法
5. 接合リーク電流 測定結果
6. ピクセルリーク電流の予測
7. まとめ

本評価の目的



N基板のピクセルの基本回路

感度のよいピクセルには暗電流の抑制が必要

暗電流の発生源
- Photo Diodeの接合リーク
- Protection Tr.のオフリーク

Photo Diodeの接合リーク
- 少なくとも3成分あり
- それぞれの成分で対策がかわる

Protection Tr.のオフリーク
- 微細化によりオフリークは増加傾向
- (GIDL、SCE …)

[目的]
接合リークの成分の定量化
Tr.に代わるProtection素子の提案
➡ Lubistorの適用
時間がないので説明せず、資料だけ添付

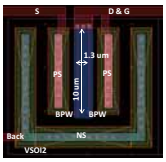
評価に用いたサンプル

4種類のウエハ(PNホトダイオードの母材)
- N型 HR-1:N-2 低酸素濃度のCZウエハ、700Ωcm (6×10^{12} cm^{-3})
  - NFZ:N-1-5 FZウエハ、5.2-6.2kΩcm (1×10^{12} cm^{-3})
- P型 PFZ:P-1 FZウエハ、25kΩcm (1×10^{12} cm^{-3})
  - DSOI:D-2 低酸素濃度のCZウエハ、1kΩcm (1×10^{13} cm^{-3})

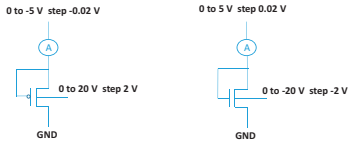
評価ロット
- MX2040 -001/002/003JA (HR-1, NFZ, PFZ, DSOI 500 μm) DSOIはNS/PS抵抗大
- MX2040 -00XJA? (DSOI 75 μm) NS/PS抵抗不良対策済

評価TEG
- KTEG1 JLTEG

基板濃度測定方法

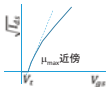


[測定方法]



[Vt 算出]

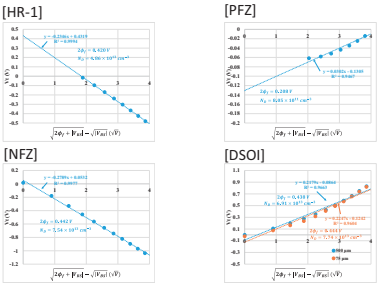
$$I_{ds} = \frac{1}{2}\frac{W}{L}\mu C_{ox}(V_{gs}-V_t)^2$$



[基板濃度算出]

$$V_t = \frac{\sqrt{2\epsilon_{Si}qN_D}}{C_{ox}}\left(\sqrt{2\phi_f+V_{BS}}-\sqrt{2\phi_f}\right)+V_{to}$$

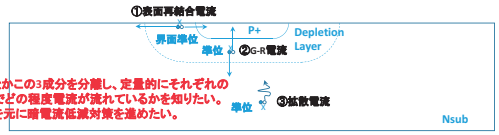
各ウエハの基板濃度測定結果



Handle Wafer	Type	V_{fb} (V)	K (sqrt. V)	$2\phi_f$ (V)	N_D (cm^{-3})
HR-1	N	0.432	0.235	0.42	4.86E+13
NFZ	N	0.0532	0.279	0.442	7.54E+13
PFZ	P	−0.131	0.0302	0.208	8.05E+11
DSOI (CZ) 500 μm	P	−0.0864	0.218	0.438	6.91E+13
DSOI (CZ) 75 μm	P	−0.124	0.225	0.444	7.74E+13

濃すぎと思われるが

接合リーク電流の成分と分離法の検討



なんとかこの3成分を分離し、定量的にそれぞれの成分でどの程度電流が流れているかを知りたい。それを元に暗電流低減対策を進めたい。

①表面再結合電流

$$J_{surf} = qn_iS_0,\quad S_0 = \sigma_{it}v_{th}N_{it}$$

②G-R電流

$$J_{G-R} = \frac{qn_iW}{\tau_e},\quad \tau_e = \frac{\sigma_n exp\left(\frac{E_t-E_i}{kT}\right)+\sigma_p exp\left(\frac{E_i-E_t}{kT}\right)}{\sigma_p\sigma_n v_{th}N_t},\quad W = \sqrt{\frac{2\epsilon_{Si}(V_r+V_{bi})}{qN_D}}$$

③拡散電流

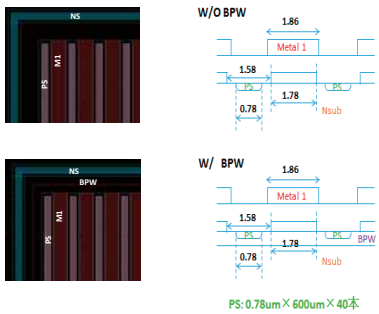
$$J_{diff} = q\sqrt{\frac{D_p}{\tau_p}}\frac{n_i^2}{N_D},\quad \tau_p = \frac{1}{\sigma_p v_{th}N_t}$$

空乏層が表面にできなければこの電流は流れない!!
⇒表面を反転させるか、Pにドープする
⇒上部にゲート形成、全面にBPWの導入 新規TEG

G-R電流はVr依存あるが、拡散電流はVr依存なし。
Vrを変えて(Vr+Vbi)とのプロットから分離できないか?

A. S. Grove, "Physics and Technology of Semiconductor Devices"
S. M. Sze, "Physics of Semiconductor Devices" 2nd Ed.

表面再結合電流評価のTEG構造



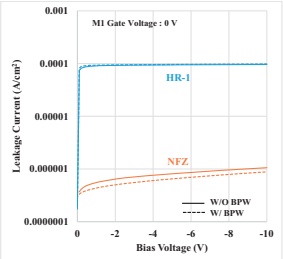
PS: 0.78um×600um×40本

M1に電圧をかけて表面反転させると表面再結合電流は消えるはず。

もともと表面再結合電流なく、M1電圧依存もないはず。

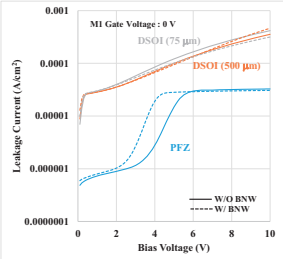
接合リークTEG測定結果 (HR-1/NFZ/PFZ/DSOI)

N型基板



それっぽい特性

P型基板

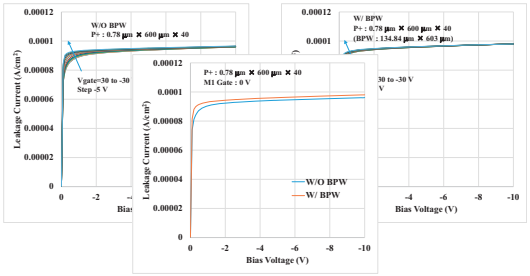


特性がおかしい

多分、NS-PS間3 μmに起因、W/ BNWではBNW-PS間1.5 μm
チャネルストップがないとこんな特性？
TEG構造の見直し必要か。P STOP導入？

以降の解析はN型のみ

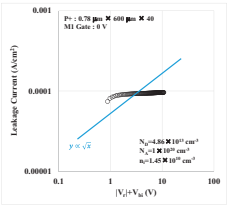
HR-1（N型）の測定結果



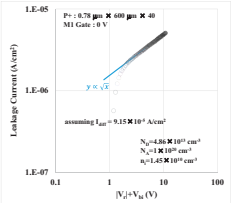
M1ゲート電圧依存も小さく、BPW有無の差も小さいことから、表面再結合電流は測定した電流以下で検出ができなかったと考えられる。
HR-1では表面再結合電流以外が支配的。

HR-1 G-R/拡散電流成分分離

log-log plotにしてみると



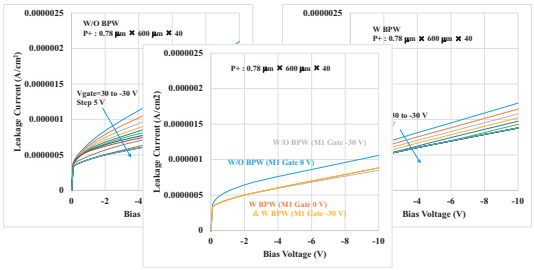
拡散電流（Vr依存なし）を仮定し、その電流値を差し引くと。。。



ほとんどVr依存がなく、主電流は拡散電流である。

この結果から、
$I_{diff} = 9.15 \times 10^{-5}\ (A/cm^2)$
$I_{G-R} = 2.07 \times 10^{-6}\ (A/cm^2)\ @\ V_r = -1\ V$

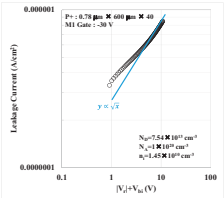
NFZ（N型）の測定結果



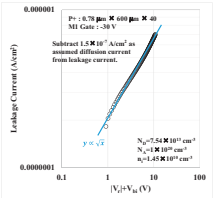
W/O BPW M1ゲート 0V > W/O BPW M1ゲート -30V = W/ BPW M1ゲート0&-30V であることから、この測定で表面再結合電流の測定ができている。

NFZ G-R/拡散電流成分分離

log-log plotにしてみると



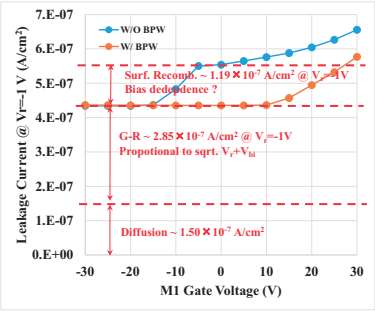
拡散電流（Vr依存なし）を仮定し、その電流値を差し引くと。。。



低電圧側で乖離。拡散電流を仮定すると1/2乗に乗りそう!!

この結果から、
$I_{diff} = 1.50 \times 10^{-7}\ (A/cm^2)$
$I_{G-R}\ @\ V_r = -1\ V$ は表面再結合電流を同定してから算出

NFZ リーク電流成分



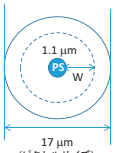
HR-1/NFZ（N型）リーク電流成分まとめ

	Surface			Depletion Region		Bulk		
	I_{surf} @ V_r=-1V (A/cm²)	S_0 (cm/s)	N_{it} @ σ=1×10⁻¹⁶ cm² (cm⁻²)	I_{G-R} @ V_r=-1V (A/cm²)	τ (s)	I_{diff} (A/cm²)	τ (s)	Diff. Length (cm)
HR-1	---	---	---	2.07E-06	7.79E-07	9.15E-05	7.42E-16	9.79E-08
NFZ	1.19E-07	22	9.58E+09	2.85E-07	4.58E-06	1.50E-07	1.15E-10	3.85E-05

注）N_{it}算出にはIsurfにPS面積をかけM1ゲート面積で割ったものを用いている。

Isurfはこんなものかな？（Nitはそんなもの）
⇒ Pinningによりこの電流はほとんどなくなると期待
空乏層中ライフタイムが短い
⇒ 結晶品質を高める？ 積極的ゲッタリング、PBS （Poly前ゲート酸化膜除去）
Bulk中ライフタイムが極端に短い
⇒ 発生原因調査？ 裏面が関与？ 低濃度のため？ バリアを作る？

ピクセルリーク電流の予測



空乏層は横方向にもW分伸びると仮定

$$W = \sqrt{\frac{2\epsilon_{Si}(V_r + V_{bi})}{qN_D}}$$

T=300 K

$J_{surf} = Area * qn_iS_0,\ S_0 = 22.0\ (cm/s)$

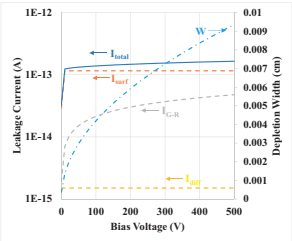
$J_{G-R} = PS_{Area} * \frac{qn_iW}{\tau_e},\ \tau_e = 4.58 \times 10^{-6}\ (s)$

$J_{diff} = PS_{Area} * q\sqrt{\frac{D_p}{\tau_p}}\frac{n_i^2}{N_D},\ \tau_p = 1.15 \times 10^{-10}\ (s),$

$\mu = 500\ (cm^2/Vs)$

$N_D = 7.54 \times 10^{13}\ cm^{-3}$

$I_{total} = I_{surf} + I_{G-R} + I_{diff}$



表面再結合電流が支配的
次がG-R電流

EaがEg/2になるのも納得するし、LDD変更で暗電流増加もわかる。

まとめ

- ◆ M1ゲートを有しBPW有無の新規PN接合TEGにて接合リーク電流（暗電流）の成分の分離を試みた。
- ◆ N基板（HR-1/NFZ）では正常と思われるI-Vが得られたが、P基板（PFZ/DSOI）では異常なI-Vであり（TEG起因？）、今回はN基板のみ解析した。
- ◆ HR-1：S0=測定不能、τ（空乏層）=7.79E-7 s、τ（バルク）=7.42E-16 s
  NFZ：S0=22 cm/s、τ（空乏層）=4.58E-6 s、τ（バルク）=1.15E-10 s
- ◆ NFZの場合のピクセルイメージでの電流成分の予測を実施した。
- ◆ 表面再結合電流とG-R電流の低減が必要で、pining構造のダイオード、有効なゲッタリング（プロセス内PBS）の検討が必要では。

pining構造のダイオードは静岡大で評価中
是非ともプロセス中のPBS（Poly Back Seal）を実施してみたい。

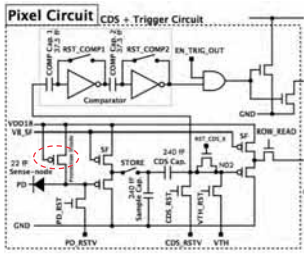
保護ダイオードに関する提案も資料として添付しておりますのでご参照下さい。
ご質問あれば別途対応致します。

付属資料

Protection Tr.からPNダイオードへの置き換え

XRPIXの暗電流問題とゲート保護ダイオードの考え方

暗電流が温度を下げても下がらない。
LDDドーズupで暗電流が増加する。



加えて、放射線照射によりVt低下すると暗電流増加につながる。放射線照射に対しても安定なダイオードが必要。

Sense-nodeに接続されている部品のリーク
- PDリーク
- Protection Diodeリーク
- PD_RST Tr.リーク
- SF pMOSゲートリーク
- 配線間リーク

温特とLDDドーズアップでの暗電流増加から、Protection DiodeのpMOSのバンド間トンネル電流が暗電流の主要因と推定。

バンド間トンネル電流が問題であれば、トランジスタ構造以外のダイオードにすれば良い。さらに、放射線照射によるTr特性変動での暗電流増加もあり、Tr以外の構造のダイオードが望ましい。

PN-diodeをProtection Diodeとして用いる。

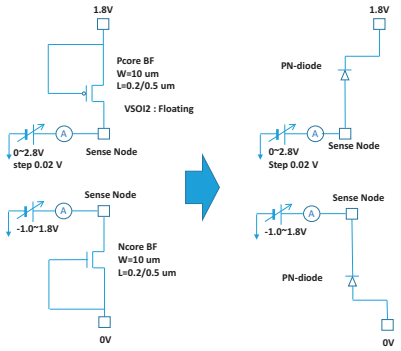
MOSFET保護素子からダイオード保護素子へ

Vcc側保護

N基板の場合、+高電圧を印加、Sense Nodeが+高電圧になる可能性あり、ゲート保護のための電位クランプ。

Vss側保護

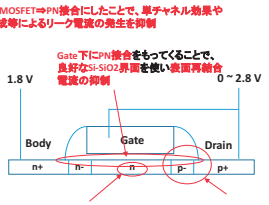
P基板の場合、-高電圧を印加、Sense Nodeが-高電圧になる可能性あり、ゲート保護のための電位クランプ。



MOSFETのDiode接続　　PN Diode

提案する保護ダイオードのコンセプト

ダイオードをMOSFET⇒PN接合にしたことで、単チャネル効果や反転層の形成等によるリーク電流の発生を抑制



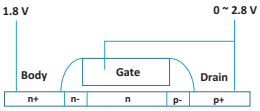
チャネルをnとしたことでBOXに正電荷が発生しても反転層ができない

GateとDrainを同電位にすることで、この部分のGIDL電流抑制（Vdg=0 V）

基本的にMOS構造を使うことで、保護ダイオードパターン変更を容易に（サイズの変更はいらない）

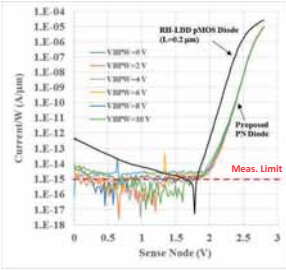
Vcc側保護ダイオード

0-0.5VでPNダイオードでリーク電流が増えているように見えるが、この電流はBOX側へ流れる電流であることは確認しており、BOXのキャパシタの充放電電流である。測定のホールド時間を長くすると電流値が低減されるので、測定原因のリークなので、無視できる。



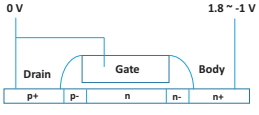
測定方法

測定はMX2040-2JのNFZのチップを使用
BOXへのバイアスはBPWから印加



- ■ PNダイオードにすることでRH-LDD pMOSダイオードより2桁以下のリーク電流に抑制できる。
- ■ トンネル成分ではなく、空乏層中のG-R電流がドミナントと考えられ、Eaは~0.5eV程度に保たれ、低温での暗電流低減が期待される。
- ■ PBWに正バイアスを加えてもリーク電流変動なく、放射線照射によってBOXに正電荷が発生したとしても、暗電流の変動はない。

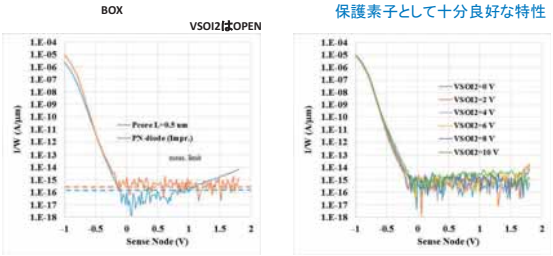
Vss側保護ダイオード



Trのダイオードに比べリークが抑えられていて、特にBBT電流はない。（活性化エネルギーは0.5eV程度？）BOXに正電荷発生（=VSOI2に正電圧）としてもリーク電流値変動はなく、放射線照射による暗電流の増加（ダイオードを介しての）は抑制される。

保護素子として十分良好な特性

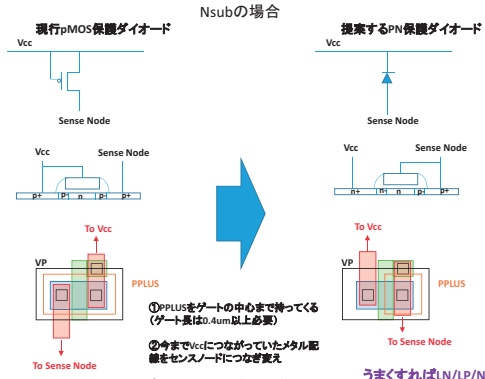
VSOI2はOPEN



提案する保護ダイオードと現行ダイオードからの変更例（1）

Nsubの場合

現行pMOS保護ダイオード　　提案するPN保護ダイオード

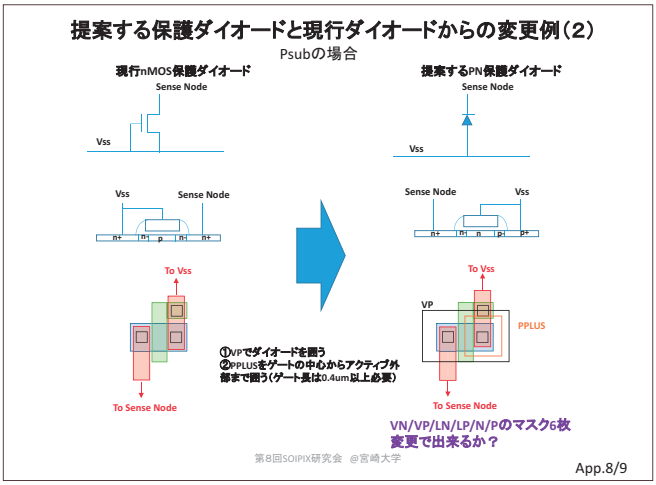


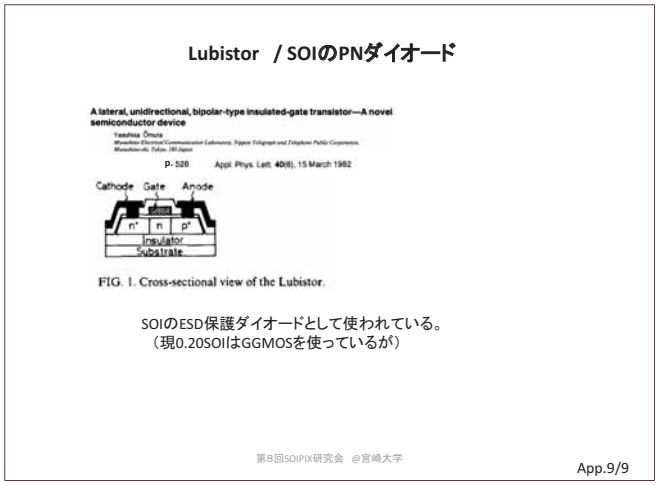
①PPLUSをゲートの中心まで持ってくる（ゲート長は0.4um以上必要）

②今までVccにつながっていたメタル配線をセンスノードにつなぎ変え

③今までセンスノードにつながっていたメタル配線をVccにつなぎ変え

うまくすればLN/LP/N/P/M1のマスク5枚変更で出来るか？


提案する保護ダイオードと現行ダイオードからの変更例（2）
Psubの場合
現行nMOS保護ダイオード
Sense Node
Vss
提案するPN保護ダイオード
Sense Node
Vss
Vss
Sense Node
Sense Node
Vss
To Vss
To Sense Node
①VPでダイオードを囲う
②PPLUSをゲートの中心からアクティブ外部まで囲う（ゲート長は0.4um以上必要）
To Vss
VP
PPLUS
To Sense Node
VN/VP/LN/LP/N/Pのマスク6枚
変更で出来るか？
第8回SOIPIX研究会 @宮崎大学
App.8/9


Lubistor / SOIのPNダイオード
A lateral, unidirectional, bipolar-type insulated-gate transistor—A novel semiconductor device
P-528 Appl. Phys. Lett. 40(6), 15 March 1982
Cathode Gate Anode
n+ n p+
Insulator
Substrate
FIG. 1. Cross-sectional view of the Lubistor.
SOIのESD保護ダイオードとして使われている。
（現0.20SOIはGGMOSを使っているが）
第8回SOIPIX研究会 @宮崎大学
App.9/9

SOPHIASの現状と今後

初井宇記
理化学研究所

Collaborators

- RIKEN, JASRI
  All members of SACLA members, especially,
  - **T. Kudo, K. Ozaki**, M. Omodani, S. Ono,, **T. Tosue**, K. Kobayashi, T. Kameshima, Y. Kirihara
- Univ. of Hyogo
  - **N. Teranishi**, Takeo Watanabe, Hiroo Kinoshita
- SOIPIX collaboration
  esp. Yasuo Arai (KEK), Ikuo Kurachi (KEK), Jiro Ida (Kanazawa Inst. of Technology), Takeshi Tsuru (Kyoto Univ.) , Kazuhiko Hara (Unv. of Tsukuba)
- Private Sector
  - **Lapis Semiconductor, A-R-Tec Corp., Brookman Technology**, Kyocera Corp.
- SACLA Detector Advisory Committee
  - Peter Denes (chair, LBNL), Andrew Holland (The Open Univ.), Grzegorz Deputch (Fermilab), Yasuo Arai (KEK), Bernd Schmitt (PSI)

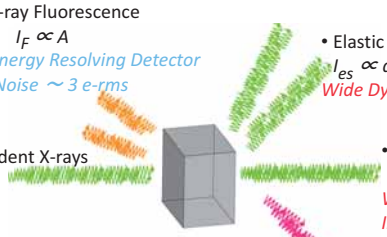
SACLA (SPring-8 Angstrom Compact Free Electron Laser)
Coherent femto-second X-ray Laser

- Operation for users from March 2012
  7000 hours/year (3500 hours for users)
- 2nd X-ray Free-Electron Laser Facility after LCLS
- Shortest wavelength lasing achieved
- Compact XFEL facility with stable operation
  T. Ishikawa et.al., Nature Photonics(2012)

X-ray Matter Interaction

- X-ray Fluorescence
  $I_F \propto A$
  Energy Resolving Detector
  Noise ～3 e-rms
- Elastic Scattering
  $I_{es} \propto q^{-4}$ *(uniform material)*
  Wide Dynamic Range Imager
- Absorption
  $A = -\log(I/I_0)$
  Wide Dynamic Range Imager
- Compton Scattering
  Electron Tracking

Incident X-rays

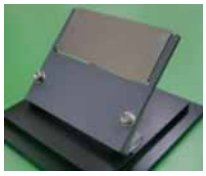


- Wide Dynamic Range is inherently required for *Elastic Scattering and Absorption.*
- *For X-rays, dynamic range is determined by photon shot noise, i.e.,*
  wide dynamic range = higher peak signal

③SOPHIAS

SOPHIAS (2007-2018)

T. Kudo, N. Teranishi, K. Ozaki, collab. with KEK, Lapis Semiconductor, Kyocera etc.



Imaging Area:
64.77 x 26.73 mm²
Largest in class

Major Specifications

Pixel Number:	1.9 M
Pixel:	30 μm□
Rad. Hardness:	1 GGy @ 7 keV
Frame Rate:	60 Hz
Noise:	180 e-rms (0.1 phs.@6 keV)
Peak Signal:	18.7 Me- (11400 phs.@ 6 keV)

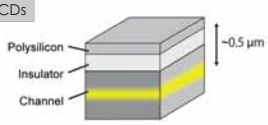
Status

Development completed.
Yield improvement ongoing.
Sensor Production Completed in FY2017.

Capacitance Density

Dielectric Constant: Si 11.8; a-SiOx 3.9; a-SiNx 7.5

Scientific CCDs

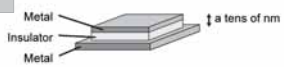


~0.25 fF/μm² ~1 fC/μm² @ 4V
~ 4 photons@ 8 keV / μm²

CCD area efficiency
~ 50 %

2 photons @ 6 keV / μm²

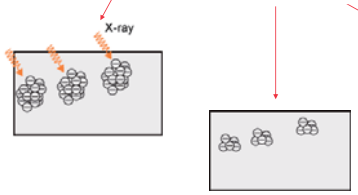
CMOS
(Hybrid, MAPS)



~1 fF/μm² ~1 fC/μm² @ 1V
~ 4 photons @ 6 keV / μm²

Principle

Photon → Charge → Voltage → Digital Number



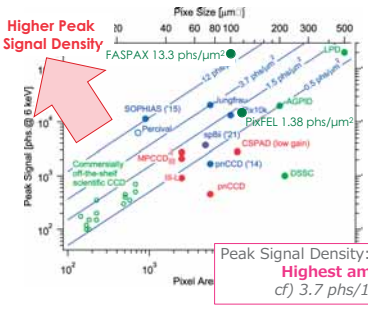
$$Q = C\,V$$
$$C \propto \text{Pixel Area}$$

Higher Peak Signal demands larger pixel

Approach in this work
Reduce the charge/photon ratio
SOPHIAS: **10 %** of charge is collected for low gain channel
→ x10 improvement in Peak Signal

Peak Signal vs. Pixel Area

Higher Peak Signal Density



- **Peak Signal,** $N_{ph,max}$

$$N_{ph,max} = \frac{Q_{max}}{(E_{photon}/W)}$$

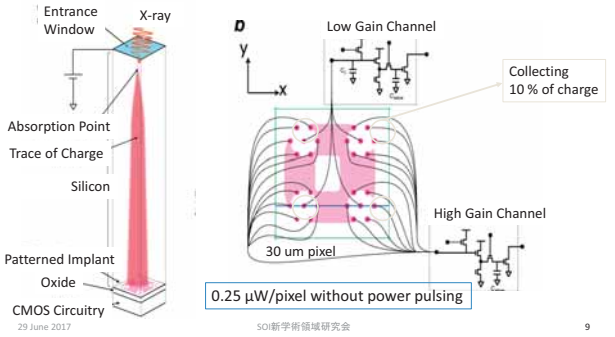
$$Q_{max} = C\,V_{max} = S\,(C_{density}\,V_{max})$$

Pixel Size F.o.M.

Peak Signal Density: 12.7 phs./1 μm□@ 6 keV
Highest among XFEL detectors
cf) 3.7 phs/1 μm□ (Jungfrau, PSI)

Detectors for European XFELs (LPD, AGPID, DSSC, PixFEL), spectroscopic imagers (pnCCD, MPCCD phase III-L) are not targeting high peak signal density.

Implementation: Charge Collection



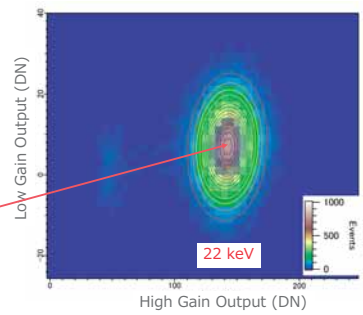
29 June 2017 SOI新学術領域研究会 9

Experiments: Is Charge Division Principle Working?

Preliminary
K. Ozaki et.al.,

- Experiment
  - Cd-109 source
- Analysis
  - Correlation between High/low outputs was found.

Peak
High: 142.36 ± 0.050 (2σ)
Low: 6.953 ± 0.014(2σ)
(cf) w/o charge division
→ Low = 0 DN

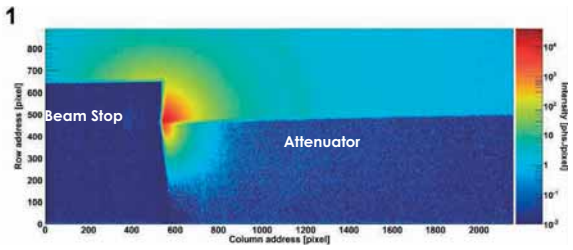


29 June 2017 SOI新学術領域研究会 10

Higher Peak Signal: SOPHIAS (cont'd)

SACLA BL3 6keV (1.5×10¹¹phtons/pls)
CoO: dia. 22 nm; t=1mm

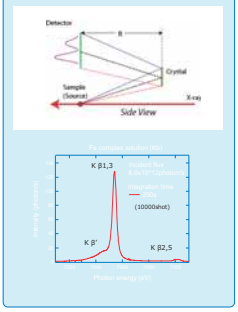
T. Kudo et.al., in preparation



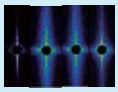
29 June 2017 SOI新学術領域研究会 T. Hatsui, RIKEN 11

③SOPHIAS Deployment Status

SACLA: Femtosecond Chemical State Dynamics
In collab. with Katayama et.al.,



SPring-8: Internal Structure of Synthetic Fiber
In collab. with H.Masunaga, et.al.,



70% of users select SOPHIAS

SPring-8: Bulk Magnetic Domain Observation
In collab. with M. Suzuki, et.al. (JASRI), O. Sekizawa (The Univ. of Electro-Comm.), T. Ono (Kyoto Univ.) BL39XU

Tender X-ray Diffraction
Photon Factory
Heavy Ion Therapy Gunma Univ.
Diffracted x-ray tracking
in collab. with Y. Sasaki (Univ. Tokyo) and H. Sekiguchi (JASRI)

Non Destructive Imaging for Industrial Use

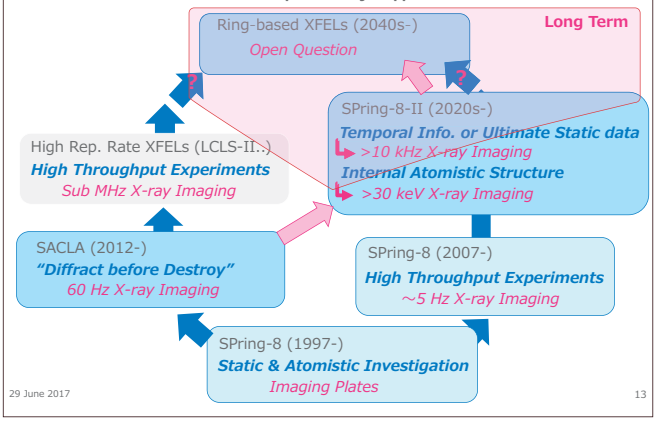
Phase Imaging
In collab. with Prof. Shimura group of U. Osaka

Color Imaging
to be deployed by using SOPHIAS-L (target 60 e-rms)

29 June 2017 SOI新学術領域研究会 12

Phase Shifts of the Measurement Methodologies

from the viewpoint of Major Applications

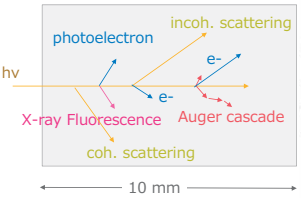


29 June 2017 13

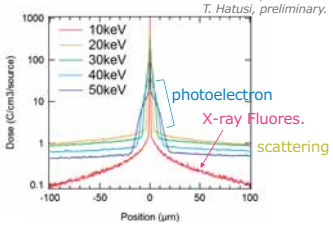
Long Term Research Topics

- Photon Energy Limit of Silicon Sensor
  - Traditional Explanation
    - Attenuation length

"silicon becomes transparent > 20 keV"



Phits 2.82, EGS5
T. Hatusi, preliminary.



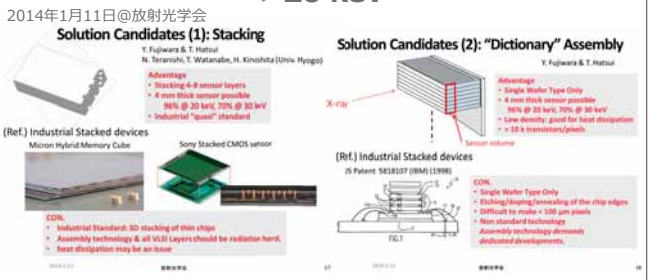
Higher Photon Energy gives "blur"
The blur
- degrades image quality of detector

Staked Sensor Development*

29 June 2017 SOI新学術領域研究会 14

>20 keV

2014年1月11日@放射光学会



Up to 30 keV
3-layer Stacking by Mechanics*

beyond 30 keV

New Packaging Technology?

*part of the METI proposal for 2018-2022

29 June 2017 SOI新学術領域研究会 15

International Forum on Detectors for Photon Science (IFDEPS)

Feb. 28th to March 2nd 2016

29 June 2017 SOI新学術領域研究会 16

Summay

- SOPHIAS
  - センサの開発は完了。製造も2017年度で完了を目指す。
    - 裏面傷に向けて大きな進展があった（寺西＆工藤）
  - SACLA、SPring-8以外のアプリケーションが広がりつつある。
  - １光子検出能力（エネルギー分解能）を強化した低ノイズ版のSOPHIAS-Lも開発中
- 今後の長期課題（の一つ）
  - 20 keV以上のエネルギー領域
    - シリコンで本当に対応できないのか
    - < 30 keV: 3-layer stacking (part of METI proposal)
    - > 30 keV: さらなる基礎検討が必要

29 June 2017 SOI新学術領域研究会 17

1

X線SOIPIX検出器の開発：完成に向けた現状と今後

Takeshi Tsuru (Physics, Kyoto Univ., JAPAN)

tsuru@cr.scphys.kyoto-u.ac.jp

- 関連ポスター
  - 原田(京大)　XRPIX6D裏面照射
  - 林　(京大)　XRPIX6 スペクトル，暗電流
  - 立花(京大)　スタックXRPIX
  - 西岡(宮崎)　XRPIX6b X線TID
  - 中西(静大)　BPSPIX

20170629_XRPIX_Tsuru_Miyazaki_SOI_v3

2

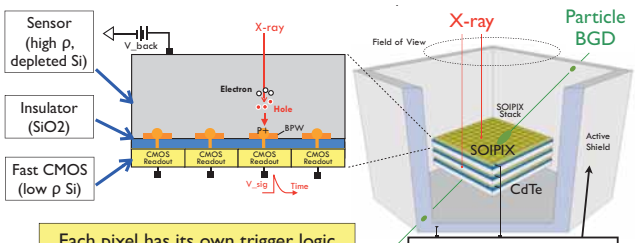
Hunt for Missing Black Holes

The primary scientific objective is to hunt for "missing black holes" in various mass-scales and to trace their cosmic evolution

Broadband observation (1-80keV) is essential.

3

"XRPIX" = SOI pixel sensor for X-ray Astronomy



Each pixel has its own trigger logic and analogue readout CMOS circuit.

Anti-coincidence Shield by Scintillators Rate ~kHz

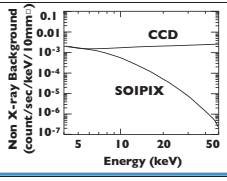
- realize very low non-Xray BGD by anti-coincidence with surrounding scintillators
- event rate from the scintillators is about kHz
- XRPIX is required to have time resolution much faster than kHz.

4

Target Specification of the Device

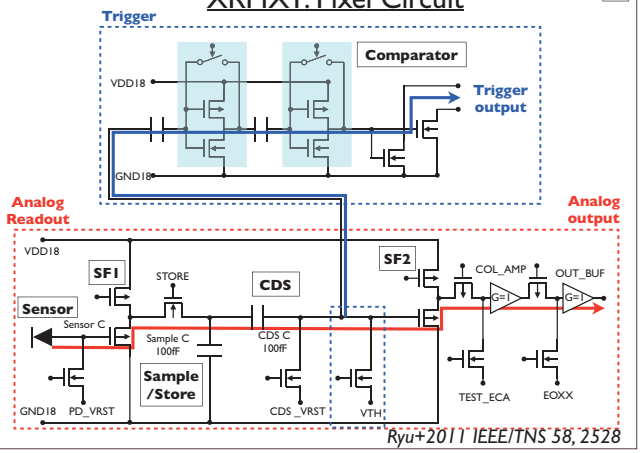
Imaging	area ~ 15x45mm2, (prototype ~2x2mm2) pixel ~ 30-60μm□ (1" @ F=10m)	the same as CCD
Energy Band	Req. 1-40 keV, Goal 0.5-40 keV Backside Illumination Req. <1μm, Goal 0.1μm Full Depletion Req. >250μm	
Spectroscopy	ΔE : Req. < 300eV, Goal < 140eV @ 6keV ENC: Req. <10e-, **Goal < 3e- ← Most Difficult**	
Time Resolution	< 10μsec for the anti-coincidence with the rate of ~kHz	
Max Count Rate	> 2kHz / detector for observation of bright X-ray sources	
Non X-ray BGD (anti-coincidence)	1/100 of CCD at 20 keV (5e-5 c/s/keV/10x10mm2)	

X-ray SOIPIX



5

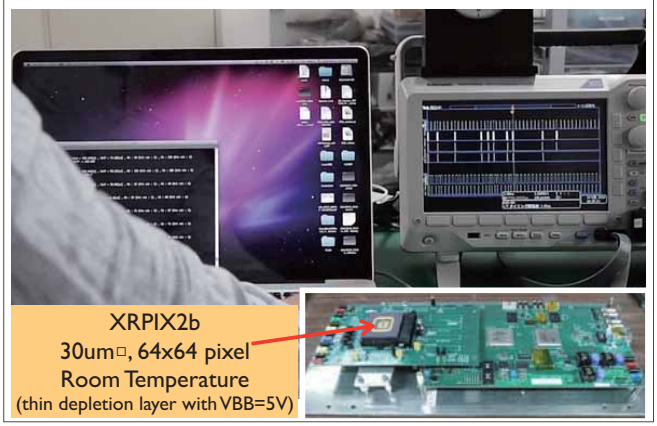
XRPIX1: Pixel Circuit



Ryu+2011 IEEE/TNS 58, 2528

6

Demonstration of Event-driven

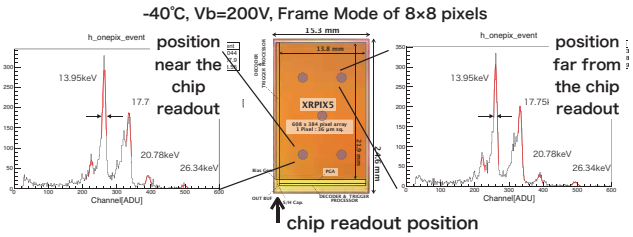


XRPIX2b
30um□, 64x64 pixel
Room Temperature
(thin depletion layer with VBB=5V)

7

XRPIX5 - IA of 14x22mm2, 3-sides Buttable.

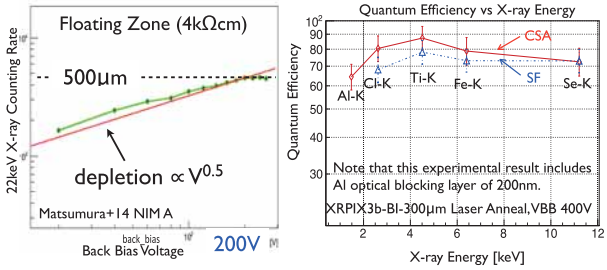
XRPIX5 FZn(N-1-4) 500um
-40℃, Vb=200V, Frame Mode of 8×8 pixels



- Imaging Area of 13.8x21.9mm2. 3-sides Buttable.
- Readout noise ~37e (rms), ΔE ~ 700eV (FWHM) at 13.95keV in the Frame mode. No change from small devices (XRPIX3b).
- There is no difference in the spectral performance by the position.
- We are now preparing readout of the whole region in the Frame and Event-Driven modes.

8

Thick, fully depleted back-illuminated XRPIX



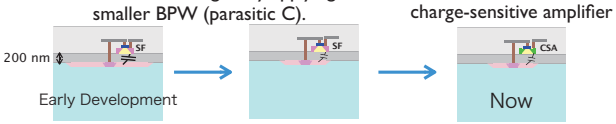
- Depletion Thickness of 500μm is achieved by using a high ρ FZ wafer.
- Thickness of dead layer obtained from the QE ratio between Al-K and Cl-K is 0.66±0.31 μm (including Al OBL 200nm).
- It satisfies the requirement of < 1μm.
- Further improvement by parameter tuning is in progress.

Improvement of Spectral Performance in Frame Mode

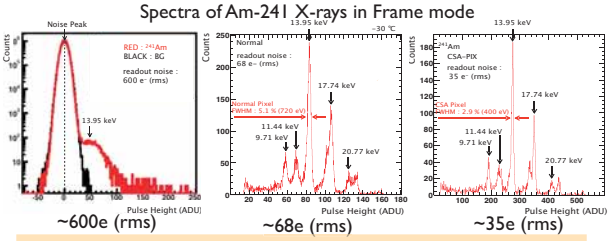
9

increase the node-gain by applying smaller BPW (parasitic C).

Introduction of charge-sensitive amplifier



Spectra of Am-241 X-rays in Frame mode

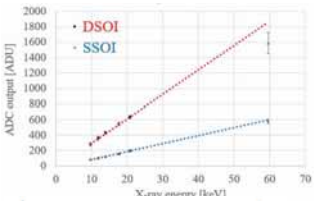


Enough area of BPW is necessary to suppress back gate effect.
We were unable to reduce the area of BPW further at this moment.

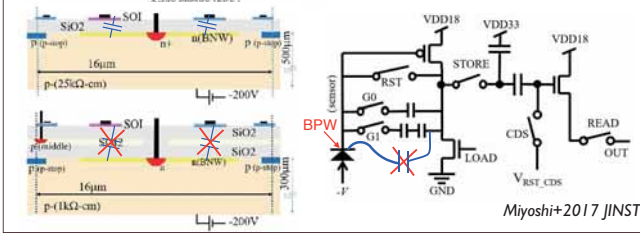
Takeda+2015 JINST

Double SOI Structure w/INTPIX8

10



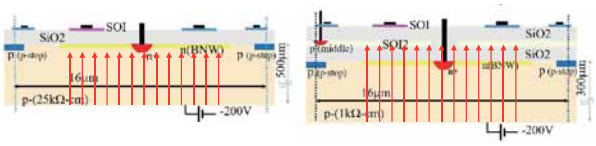
- DSOI structure increases output gain of CSA (Miyoshi+17)
- DSOI structure reduces parasitic capacitance between CSA - BPW



Miyoshi+2017 JINST

Double SOI Structure

11

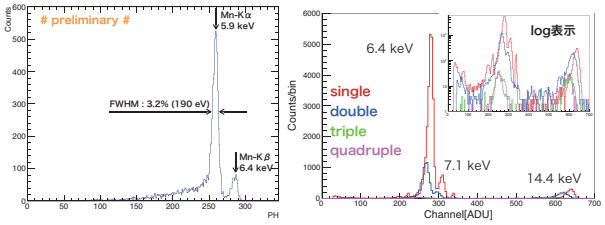


- In stead of BPW, DSOI reduces back-gate effect.
- Can minimize BPW ⇒ Smaller parasitic C ⇒ Higher gain & Lower noise

New Device - XRPIX6 using Double SOI

12

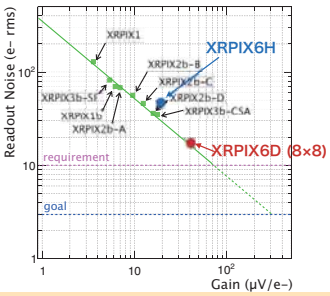
XRPIX6D-DSOI-CzP 300um Front Illumination



V_{BB} 200V
Spectrum collected with single pixel
Chip Gain : ~40 μV/e⁻
Readout noise : 10 e⁻ (rms)
FWHM (@5.9keV) : 190 eV (3.2 %)

V_{BB} 400V
8×8 pixels / No gain correction
Chip Gain : 39.82 μV/e⁻
Readout noise : 17.41 e⁻ (rms)
FWHM (@6.4keV) : 296 eV (4.6 %)
(single pixel event)

Takeda Plot



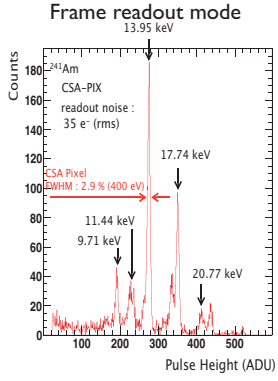
- Thanks to DSOI, higher gain and lower noise.
  But…
- Measured noise is higher than expected ENC of 3-4 (rms) from CSA design.
- XR6D on the line → Noise source is downstream
- Gain seems to be lower than expected → Parasitic Capacitance at Sense node
- Study TEG in XR6D well and figure out the source of Parasitic Capacitance.

Comparison of Event-Driven and Frame Modes

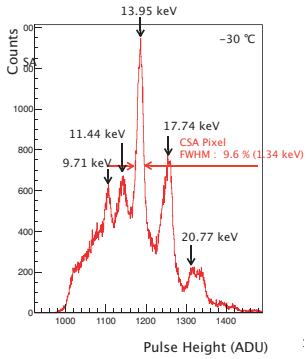
14

Spectra with XRPIX3-CZ w/CSA

Frame readout mode



Event-Driven readout mode



Takeda+2015 JINST, Takeda+2013 IEEE/NSS, Takeda Ph.D Thesis, 20140814_takeda_v0.pdf

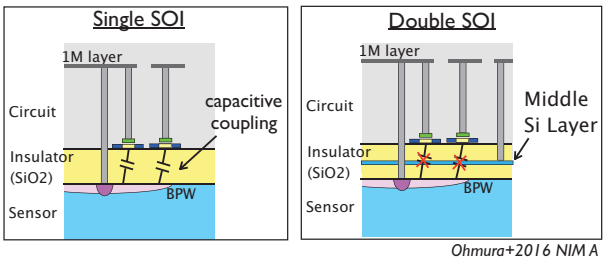
Double SOI Structure

15

- in-pixel circuit consists of analog and digital circuits
- operation of digital circuit influences the analog signal in the event-driven readout mode

1) analog and digital circuits have a common power supply line (common impedance coupling) ⇒ modified the power lines

2) crosstalk between digital circuit and BPW (electrically connecting to the sense-node) ⇒ "Double SOI"



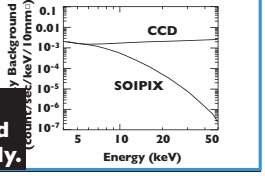
Ohmura+2016 NIM A

Target Specification of the Device

16

Imaging	area ~ 15x45mm2, (prototype ~2x2mm2) pixel ~ 30-60μm□ (1" @ F=10m)	~half size the same as CCD
Energy Band	Req. 1-40 keV, Goal 0.5-40 keV Backside Illumination Req. <1μm, Goal 0.1μm Full Depletion Req. >250μm	~0.5 μm >300μm
Spectroscopy	ΔE : Req. < 300eV, Goal < 140eV @ 6keV ENC: Req. <10e-, Goal < 3e- ← Most	~10 (rms) in Frame mode
Time Resolution	< 10μsec for the anti-coincidence with the rate of ~kHz	
Max Count Rate	> 2kHz / detector for observation of bright X-ray sources	Already achieved in a small device
Non X-ray BGD (anti-coincidence)	1/100 of CCD at 20 keV (5e-5 c/s/keV/10x10mm2)	

X-ray SOIPIX

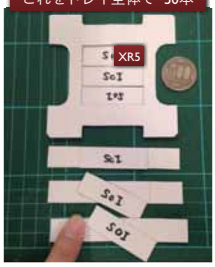


In Frame mode, each performance almost achieved the requirement independently.

今後

- チップの基本性能
  - 要素性能は上がってきた．まだ課題は山積みだが…方策もある．
  - 暗電流：保護ダイオード削除で解決するのか
  - 読み出しノイズの「次の一手」は問題
  - 要素をまとめた素子の製造と総合性能
  - イベント駆動での性能
- 衛星搭載用素子としての機能・性能
  - スクリーニング．チップレベルでどこまでできるのか？
  - 読み出し部の機能追加．シリアルパラレル変換，ADC内蔵
  - 製品としての信頼性
- 違う軸へ
  - SCiPIX (Si-CdTe integrated PIXel sensor)
  - 地上応用・サイエンスへの展開(e.g. Stack-XRPIX，蛍光X線分析)
  - 8umピクセル / Low Noise / 高速 ローリングシャッタ

現在信号線~150本×6
これをトレイ全体で~50本



18

Thank you

T.Tsuru, T.Tanaka, H.Uchida, H.Matsumura, M.Itou, S.Ohmura, H.Hayashi, K.Tachibana (Kyoto Univ.), A.Takeda, K.Mori, Y.Nishioka, N.Takebayashi, S.Yokoyama (Miyazaki Univ.), S.Kawahito, K.Kagawa, K.Yasutomi, H.Kamehara, S.Shrestha (Shizuoka Univ.), Y.Arai, I.Kurachi (KEK), T.Kohmura, K.Tamasawa, Y.Ozawa, S.Sato (Tokyo Univ. of Science), S.Nakashima (ISAS)

イベント駆動型SOIPIX「XRPIXシリーズ」開発史

第８回 SOI新学術領域研究会 @ 宮崎大学
2017年6月29日

武田 彩希
宮崎大学 工学部 電子物理工学科
takeda @astro.miyazaki-u.ac.jp

Outline

本日の発表：これまでの研究開発を振り返る想い出話

＊ 時間の都合上，分光性能に限定して紹介します．

- XRPIXシリーズが目指すもの（検出器として）
- XRPIXシリーズの紹介
- 性能向上の歴史
- そしてこれから…

XRPIXシリーズが目指すもの（検出器として）

XRPIXシリーズ ＝「イベント駆動ができる」撮像分光素子

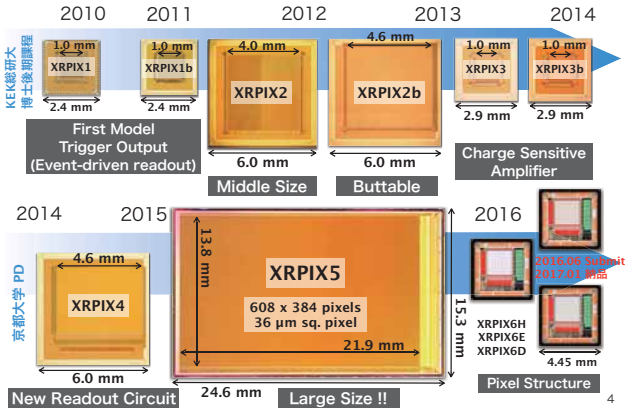
イベント駆動

◆ イベント検出毎に判断して，読むべき信号のみ読み出す．
-> 必要な情報：イベント検出時の「タイミング」「ヒット位置」「パターン」

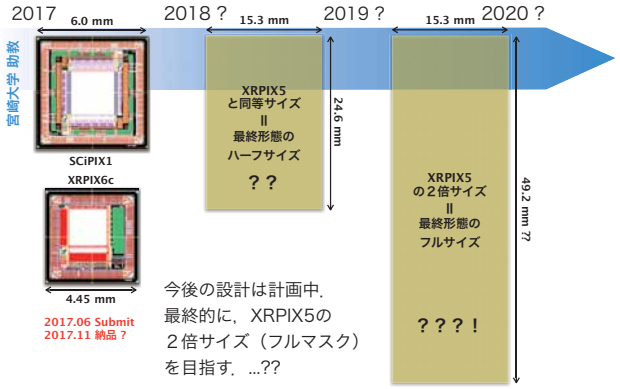
撮像分光素子

◆ CCD並みの分光性能（3〜5 e^- rms）を目指す．
-> イベント駆動で低ノイズ性能を達成しなければならない．

XRPIXシリーズ

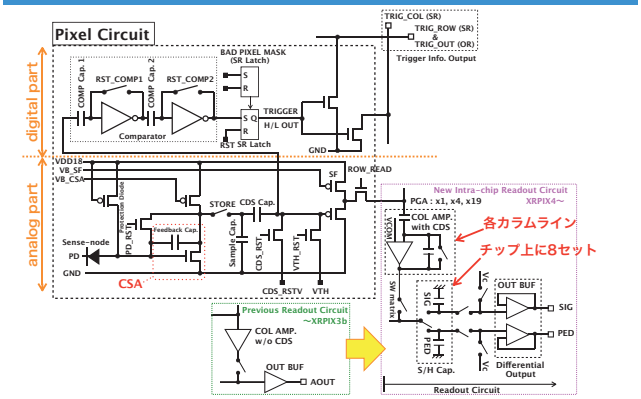


XRPIXシリーズ



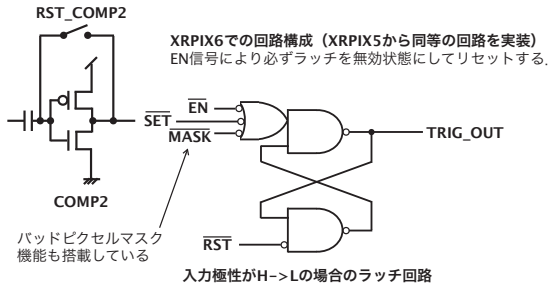
今後の設計は計画中．
最終的に，XRPIX5の
２倍サイズ（フルマスク）
を目指す．…??

ピクセル回路・アナログ読み出し回路の構成



コンパレータリセット中の貫通電流抑制対策

ピクセル内コンパレータ回路(インバータ チョッパー型)の特性上，
コンパレータのリセット時にデジタルの中間状態となる．
これが，後段のロジックに入力されると貫通電流が流れてしまうため，
対策を講じる必要がある．（特に，画素数が増えると問題となり得る）

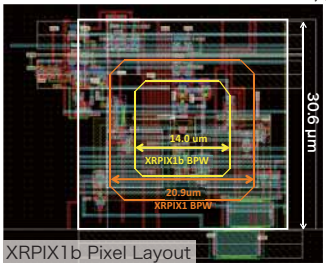


XRPIX6での回路構成（XRPIX5から同等の回路を実装）
EN信号により必ずラッチを無効状態にしてリセットする．

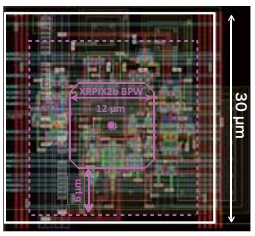
入力極性がH->Lの場合のラッチ回路

レイアウト例（XRPIX1〜2b）

バックゲート効果を受ける覚悟でBPW縮小…



XRPIX1b Pixel Layout

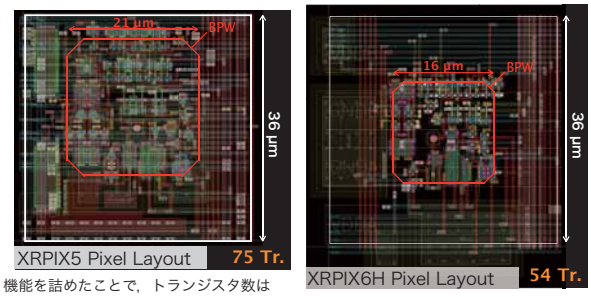


XRPIX2b Pixel Layout

なんとか変換ゲインを上げたい…
XRPIX1 BPWの面積：428.81 μm²
XRPIX1b BPWの面積：192.08 μm²
BPWの面積比率 (XR1b / XR1)
192.08 / 428.81 -> 44.8 %

TCADより，BPWから6 μmまでのTrはみ出しなら，
VBB100 Vまではトランジスタ特性を保証できる．
XRPIX2b BPWの面積：138.24 μm²
BPWの面積比率 (XR2b / XR1)
138.24 / 428.81 -> 32.2 %

レイアウト例（XRPIX5 / 6H）



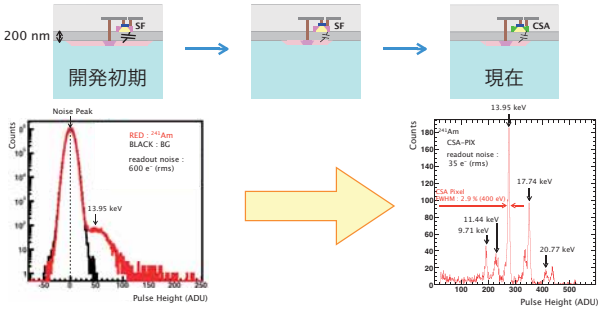
機能を詰めたことで，トランジスタ数は増大．大面積素子「XRPIX5」は数が最大．

N型センサの集大成となる「XRPIX6H」は，最適化の結果，XRPIX5と同等機能を持ちながら，BPW 16 μm角内にトランジスタ全てを配置．

XRPIXの開発｜主要な成果

◆ **読み出しノイズの低減** [Takeda + JINST (2015)]

センサ部容量の低減　　電荷感応アンプ(CSA)の導入

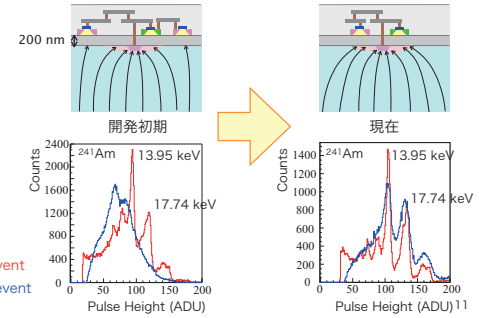


ノイズレベルを1桁低減 [~600 e⁻ (rms) -> 35 e⁻ (rms)]

XRPIXの開発｜主要な成果

◆ **電荷収集効率の向上** [Matsumura, Takeda + NIMA (2015)]

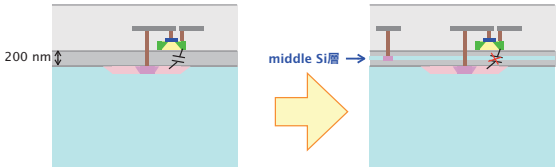
電荷損失が起こるという現象を開発初期に発見．
-> センサノードから外れたトランジスタが原因



XRPIXの開発｜主要な成果

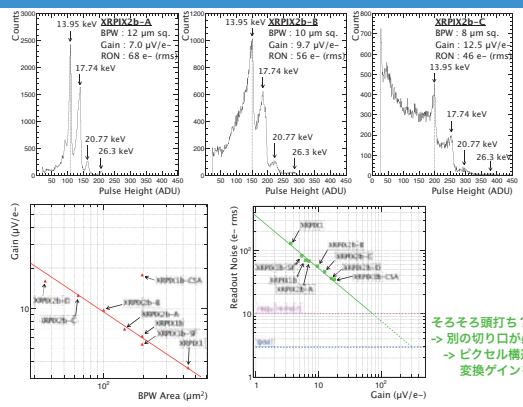
◆ **イベント駆動時のクロストークの問題** [Takeda + PoS (2014)]

コンパレータ論理反転時にアナログ信号へ干渉があった．
-> 分光性能の悪化を引き起こした
-> middle Si層の導入で解決（Double SOIウェハー）



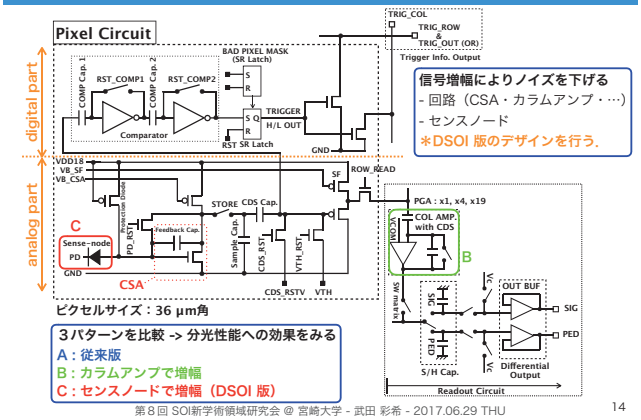
CMOS回路層・センサ層が近いことで様々な問題が起こったが，研究開発が進み解決してきた．

XRPIXの開発｜分光性能+電荷収集効率



そろそろ頭打ち？
-> 別の切り口が必要
-> ピクセル構造の改良
変換ゲインを上げる

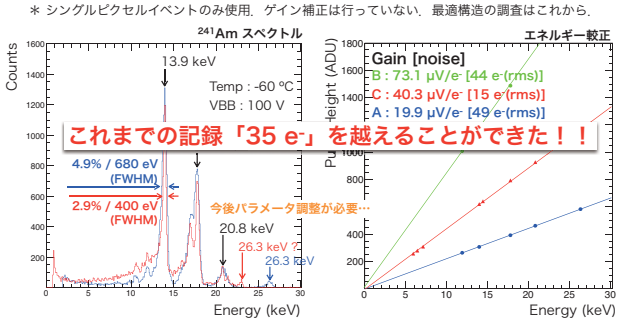
分光性能向上のための指針



信号増幅による分光性能への効果

- 241Amのスペクトルにより，分光性能に対する効果の比較を行った．
  -> センサノード容量低減による信号増幅が効果大．
  ＊フレーム読み出しによる（イベント駆動読み出しではない）
  ＊ シングルピクセルイベントのみ使用．ゲイン補正は行っていない．最適構造の調査はこれから．

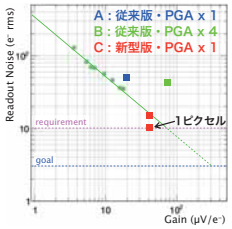
A：従来版・PGA x 1
B：従来版・PGA x 4
C：新型版・PGA x 1

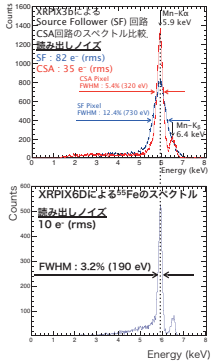


分光性能のまとめ

さらなるノイズ低減のために…

- ピクセル間ばらつきの補正
  -> 1ピクセルのみで読み出しノイズ「10 e⁻」！
- センサノード容量の低減
  -> ピクセル構造の最適化を進める．

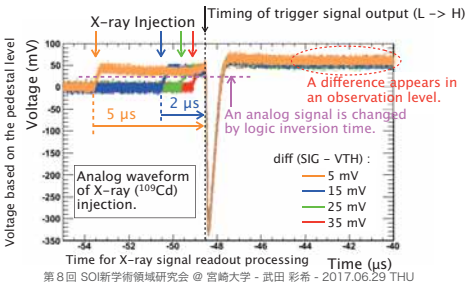




＊1ピクセルのみ，シングルピクセルイベントのみ使用．

長い論理反転時間

- 長い論理反転時間は比較器回路の特性により現れる.
- 信号レベル(SIG)と閾値(VTH)の差分[diff(SIG – VTH)]が小さいほど,
  論理反転に時間がかかる (最大5 μs程度).
- これは比較器回路(inverter circuit)の特性であり, hspiceシミュレーションでも動作が確認できている.



これまでのまとめ, そして今後

- イベント駆動型SOIPIX「XRPIXシリーズ」を開発してきた.
  -> 現状の最高性能は10 e^- (rms). まだまだ分光性能向上は必要.
  -> イベント駆動のデモンストレーションはできている.
  イベント駆動での性能向上もこれから.
- 分光性能の良いセンサにするには？
  -> 変換ゲインを上げる. **センスノードのノイズ自体を下げる.**
  -> 他にも読み出し基板（PCB）など対策が必要？

宮崎大学で…

- 大面積素子（フルマスクサイズ）が設計できる環境を整えた.
- デバイスシミュレーション（TCAD）の環境は構築中.
- 実験室を整備中（森先生の装置込み）＊宮崎大学 工学部 C棟304室

FWP-302889

LAPIS SEMICONDUCTOR

SOI-X線センサー用 プロセス開発

2017年 6月 29日
ラピスセミコンダクタ宮城株式会社
葛西　大樹

© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

ラピスセミコンダクタ主要拠点

FWP-302889 LAPIS SEMICONDUCTOR

© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

ラピスセミコンダクタ宮城 会社紹介

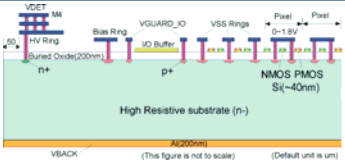
FWP-302889 LAPIS SEMICONDUCTOR

ラピスセミコンダクタ宮城株式会社は宮城県のほぼ中央に位置しています。8インチのSiウェハによる生産ラインを所有し、多品種な半導体製品の製造を行っています。

SOI-X線 センサープロセス情報

FWP-302889 LAPIS SEMICONDUCTOR

Process	0.2μm FD(Fully Depleted) -SOI(Silicon On Insulator) CMOS Process
	1 Poly, 5Metal layers, MIM Capacitor (1.5 fF/um²), DMOS (option)
	動作電圧 ： Core / IO ＝ 1.8 / 3.3 V
SOI wafer	直径：200 mmφ, 厚さ 725 μm
	Top Si：Cz, ～18 ohm-cm, p-type, 厚さ ～50 nm
	Buried Oxide: 厚さ 200 nm
	Handle wafer: Cz(n) ～0.7kohm-cm, FZ(n) ～2kohm-cm, FZ(p) ～25kohm-cm
SOI-X線センサー用プロセス断面例	



© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

SOI X線 Pixelセンサープロセスの改良

FWP-302889 LAPIS SEMICONDUCTOR

SOI-X線センサープロセス

1. センサー検出効率向上
・裏面処理プロセスの改善

2. Double-SOI用プロセスの確立
・新規Double-SOIウェハの導入
・Middle-Si 向け拡散層の拡充

3. 更なるプロセス改良
・STI素子分離プロセスの開発

© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

SOI X線 Pixelセンサープロセスの改良

FWP-302889 LAPIS SEMICONDUCTOR

SOI-X線センサープロセス

1. センサー検出効率向上
・裏面処理プロセスの改善

2. Double-SOI用プロセスの確立
・新規Double-SOIウェハの導入
・Middle-Si 向け拡散層の拡充

3. 更なるプロセス改良
・STI素子分離プロセスの開発

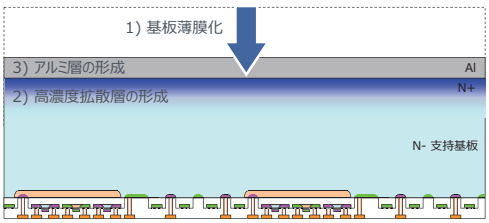
© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

裏面処理の目的

FWP-302889 LAPIS SEMICONDUCTOR

センサーの感度向上のため、裏面処理では下記の３つを行っている。
1) 支持基板(センサー層)厚さ調整のための薄膜化
2) 裏面界面からの暗電流増加を抑制する高濃度層形成
3) 電極としてのアルミ層の形成

・裏面処理断面図



© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

裏面処理フロー

FWP-302889 LAPIS SEMICONDUCTOR

ラピス宮城では一部の裏面処理向け装置しか保有していないため、約半分の工程を外部業者に委託しながら、裏面処理を行っている。

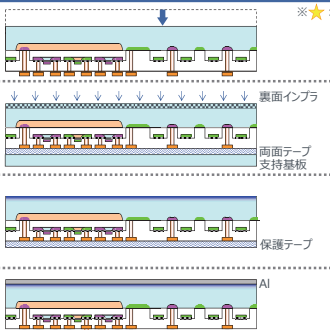
※★：外部業者委託工程

[センサー層薄膜化]
バックグラインド
★ 裏面ウェットエッチ

[高濃度不純物注入]
★ 支持基板貼り合せ
★ 裏面イオン注入
★ 支持基板剥がし

[不純物活性化]
保護テープ貼り
★ 裏面レーザーアニール
保護テープ剥がし

[電極形成]
裏面Al蒸着



© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

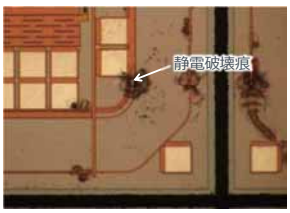
裏面処理における課題

FWP-302889 LAPIS SEMICONDUCTOR

裏面処理工程において、大きく２つの改善すべき課題があった。
1) 鏡面状態であるべきウェットエッチング後裏面の、格子状痕
2) 特に大面積チップにおける、ウェハ表面ガードリング部の静電破壊

・ウェハ裏面の拡大写真

・ウェハ表面の拡大写真



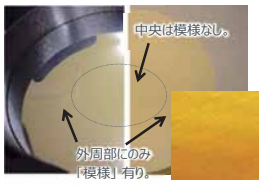
© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

課題1) ウェットエッチング後の、格子状痕

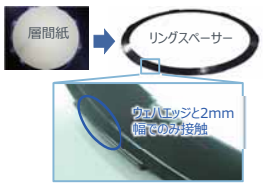
FWP-302889 LAPIS SEMICONDUCTOR

格子状痕は輸送で使用している層間紙とパターンが一致。ウェハと層間紙とが接触した部分に有機物が付着しエッチングを阻害してBGの段差が残る。この段差にチャンバー内のAlカス等が引っかかり、格子状痕となっていると想定。

・ウェハ裏面のと層間紙の比較



・リングスペーサー



ウェハとの接触を防ぐため、層間紙をリングスペーサーへ置き換える。
テストでは格子状痕の発生が無く、問題なさそうな結果が得られた。

© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

課題2) ガードリング部の静電破壊

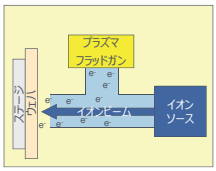
FWP-302889 LAPIS SEMICONDUCTOR

工程追跡から、裏面インプラ時のウェハ帯電による静電破壊を想定。対策として、イオン注入時にウェハ帯電の中和を行うプラズマフラッドガン(以降PFG)の採用の実験を行った。

・実験水準内容

条件	イオン注入時PFG	表面電位 [kV]	光顕確認
1(Ref.)	無し	0.75	破壊痕有り
2	有り	0.02	破壊痕無し

・イオン注入装置模式図



結果確認を、表面電位の測定と、光顕の目視確認で行い、PFG採用条件では、表面電位は低く、破壊痕も無く、PFGで対策出来ることが確認出来た。

© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

裏面処理プロセスの改善についてのまとめ

FWP-302889 LAPIS SEMICONDUCTOR

- センサーの感度向上のため、裏面処理を行っている。
- 裏面処理工程では、ウェットエッチング後の格子状痕や、大面積チップにおける、ガードリング部の静電破壊等の問題があった。
- ウェットエッチング後の格子状痕は、輸送時に使用していた層間紙が原因であり、リングスペーサーへの置き換えを実施する。
- ガードリング部の静電破壊は、裏面イオン注入時のウェハのチャージアップが原因であり、中和を行うプラズマフラッドガンを採用する。

© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

SOI X線 Pixelセンサープロセスの改良

FWP-302889 LAPIS SEMICONDUCTOR

SOI-X線センサープロセス

1. センサー検出効率向上
・裏面処理プロセスの改善

2. Double-SOI用プロセスの確立
・新規Double-SOIウェハの導入
・Middle-Si 向け拡散層の拡充

3. 更なるプロセス改良
・STI素子分離プロセスの開発

© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

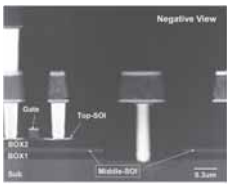
新規Double-SOIウェハの導入

FWP-302889 LAPIS SEMICONDUCTOR

今回のMPWより、支持基板に従来よりも高比抵抗なP型FZを採用したDouble-SOIウェハでの試作を予定している。

※FZ：Floating Zone方法で製造したウェハ

・Double-SOI の断面STEM像



・Double-SOIウェハ仕様の変遷

wafer No.	D-1 (2011/3)	D-2 (2013/5)	D-3 (2017/3)
Top SOI	P-type 50nm	P-type 50nm	P-type 50nm
BOX2	145nm	145nm	145nm
Middle SOI	P-type 88nm 10Ω·cm	N-type 150nm 1-10Ω·cm	N-type 150nm 3-5Ω·cm
BOX1	145nm	145nm	145nm
Sub	N-type CZ ≧0.7kΩ·cm	P-type CZ ≧1kΩ·cm	P-type FZ ≧3kΩ·cm

© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

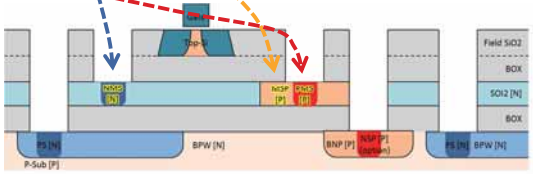
Middle-Si 向け拡散層の拡充

FWP-302889 LAPIS SEMICONDUCTOR

D-2ウェハ以降、Middle-Si層の電極用高濃度層のPS2では、名称と注入イオン型(N型)に齟齬があり、これを正すために名称をNMSに変更。更にMiddle-SiレイヤーをP型にするMSP/PMSレイヤーの追加を行う。

・Middle-Si向け拡散層の一覧

レイヤー名	注入イオン種	GDS#	コメント
NMS	Phos. [N-type]	58	従来のPS2(58)
MSP	Boron [P-type]	120	新規, option
PMS	BF2 [P-type]	35	従来のNS2(35), option



Double-SOI用プロセスの確立についてのまとめ

FWP-302889 LAPIS SEMICONDUCTOR

- 支持基板に従来よりも高比抵抗なP型FZを採用したDouble-SOIウェハを導入した。MPWでの試作を予定している。
- PS2の名称をNMSに変更すると共に、Middle-SiレイヤーをP型にするMSP/PMSレイヤーを追加し、Middle-Si 向け拡散層を拡充した。

© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

SOI X線 Pixelセンサープロセスの改良

FWP-302889 LAPIS SEMICONDUCTOR

SOI-X線センサープロセス

1. センサー検出効率向上
・裏面処理プロセスの改善

2. Double-SOI用プロセスの確立
・新規Double-SOIウェハの導入
・Middle-Si 向け拡散層の拡充

3. 更なるプロセス改良
・STI素子分離プロセスの開発

© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

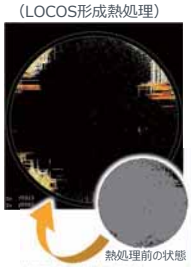
STI素子分離プロセス開発の目的

FWP-302889 LAPIS SEMICONDUCTOR

現行のLOCOSプロセスでは高温の熱処理が必要で、機械的強度の弱いFZウェハでは、スリップが発生しやすい。素子分離をSTI化することで、熱処理の温度を下げることができ、スリップの発生を抑制できるが、AC形状は変化する。

※STI：Shallow Trench Isolation

・FZウェハのスリップ像（LOCOS形成熱処理）



・LOCOSとSTIの比較

素子分離	LOCOS	STI
断面構造	Field AC BOX	Field AC BOX 窒化膜 AC BOX
Field 酸化膜	熱酸化膜	埋め込み酸化膜
熱処理 最高温度	1100℃	950℃

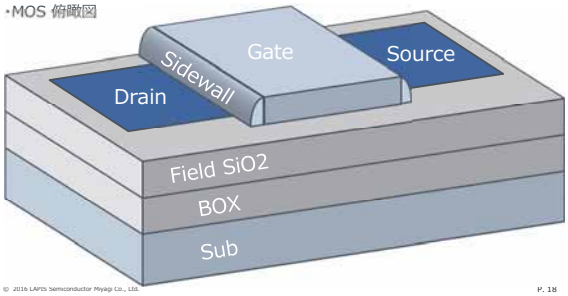
© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

AC形状変化による懸念事項

FWP-302889 LAPIS SEMICONDUCTOR

SOI上のトランジスタは、Source-Drain間のBodyを通して電流が流れる。

・MOS 俯瞰図



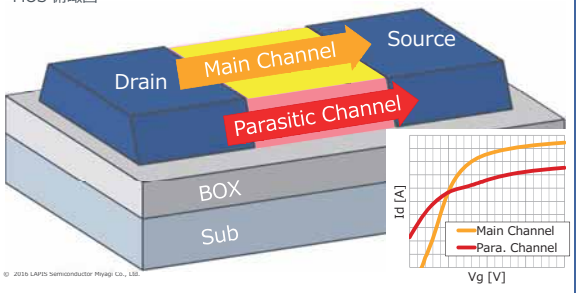
© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

AC形状変化による懸念事項

FWP-302889 LAPIS SEMICONDUCTOR

SOI上のトランジスタは、Source-Drain間のBodyを通して電流が流れる。
通常、ゲート電圧のコントロールによってBody上部が電流経路として働く。
AC端の形状や不純物濃度次第では、AC側面が寄生チャネルとして動作する。

・MOS 俯瞰図



© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

Core Normal-Vt Tr. IdVg特性比較

FWP-302889 LAPIS SEMICONDUCTOR

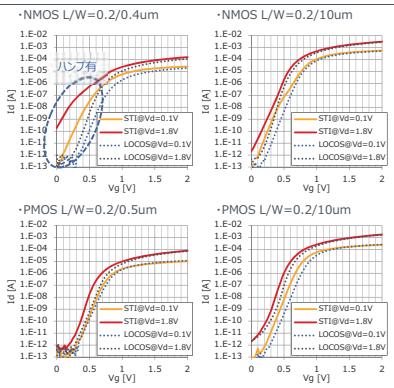
AC形状の変化によるトランジスタ特性の変動を確認。

◇NMOS：
特にW_{gate}小の素子で、ハンプ形状あり。
寄生チャネルの影響。

◇PMOS ：
多少のVtずれが発生。
寄生チャネルは無し。

⬇

Vtを合わせてIdsを比較

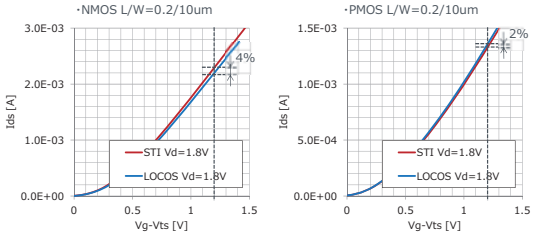


© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

Core Normal-Vt Tr. Ids@Vds=1.8V比較

FWP-302889 LAPIS SEMICONDUCTOR

STI/LOCOS版それぞれのIdVg波形をVtsで規格化して比較。NMOS/PMOS共にIdsの差は10%以内であり、メインチャネルの電流成分はほぼ同等にみえる。



⇒ NMOSのみ、ハンプ抑制対策を行う。

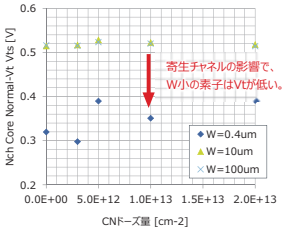
© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

NMOSハンプ対策案

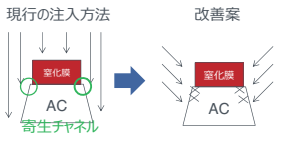
FWP-302889 LAPIS SEMICONDUCTOR

STI版NMOSにて、寄生チャネル抑制のためのCNドーズ量を増やした素子の特性を確認したが、大きな改善は見られなかった。
今後、CN注入方法を変更して寄生チャネルの抑制対策を行う予定。

・NMOS Vts(L=0.2um)のCNドーズ量依存性



・NMOS CN注入条件の変更



寄生チャネルが出来るAC肩の部分で、CNの注入が不十分と想定。

斜め注入でAC肩もCNを十分に入れて寄生チャネルを抑制。

© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

STI素子分離プロセスの開発についてのまとめ

FWP-302889 LAPIS SEMICONDUCTOR

- 機械的強度の弱いFZウェハのスリップ対策として、熱処理の温度の低いSTI素子分離プロセスの開発を進めている。
- STI版のトランジスタ特性は、LOCOS版に対しNMOSで寄生チャネルによるハンプ特性が見られるが、メインチャネルの電流成分はほぼ同等。
- NMOSのハンプは、CN注入方法を変更して寄生チャネルの抑制対策を行う予定。

© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

LAPIS
SEMICONDUCTOR

LAPIS Semiconductor Miyagi Co.,Ltd.

© 2016 LAPIS Semiconductor Miyagi Co., Ltd.

1

新学術研究領域研究
「3次元半導体検出器で切り拓く新たな量子イメージングの展開」
第8回研究会＠宮崎大学

イメージセンサにおける白傷・暗電流

2017年6月29日

兵庫県立大学・静岡大学
寺西信一

©2017 N. Teranishi

2

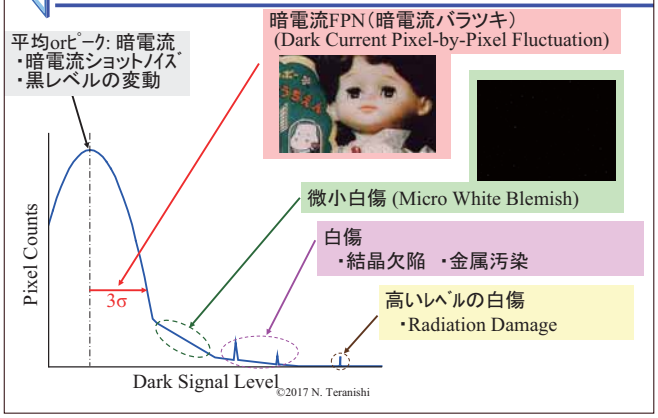
内容

1. はじめに
2. 欠陥観察方法
3. ゲッタリング (Gettering)
4. Pinned Photodiode (PPD, 埋込フォトダイオード)
5. まとめ

©2017 N. Teranishi

3

暗電流・白傷の分類



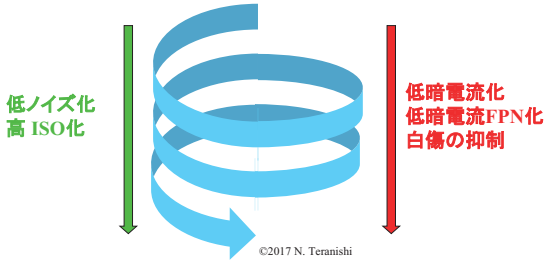
©2017 N. Teranishi

4

常に暗電流・白傷の低減を行う必要がある！

・FPNはランダムノイズに対して16dB小さいと見えなくなると言われている。

・ランダムノイズの低減と少なくても同じレベルの暗電流低減が必須
・一光子検出イメージセンサにおいても低暗電流は必要!



©2017 N. Teranishi

5

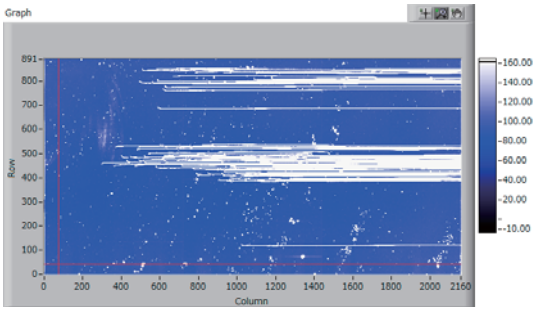
内容

1. はじめに
2. 欠陥観察方法
3. ゲッタリング (Gettering)
4. Pinned Photodiode (PPD, 埋込フォトダイオード)
5. まとめ

©2017 N. Teranishi

6

暗時の画像

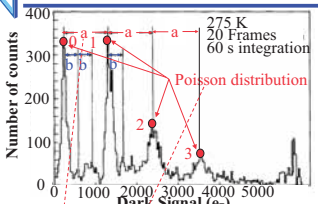


SOPHIASにおける暗時画像の例 （工藤他、Riken）

©2017 N. Teranishi

7

Dark Current Spectroscopy



	σ(cm²)	Density(1/pixel)	Density(cm⁻³)
a	1.8E-15	1.25	1.3E9
b	5.4E-16	0.15	1.5E8

・この例では2系列のピーク
・"a" と "b".

・金属原子がポアソン分布（一様分布）していると仮定すると、金属の1画素あたりの個数が求まる。
・デバイスシミュレーションで求めた空乏層体積を用い、単位体積当りの金属濃度を導ける。

・断面積σはピークのピッチにSRHプロセスを適用して求める。
（SRHプロセスは次ページ）

・"Dark Current Spectroscopy" は濃度導出が行える。
データを集積することで、メタルの同定も可能である。
・金属原子1個ずつ数えているので、高感度である。

(D. McGrath et al. (TI); "Counting of Deep-Level Traps Using a Charge-Coupled Devices")

©2017 N. Teranishi

8

Shockley-Read-Hall (SRH) process

・金属、特に、遷移金属はバンドギャップ中に準位を形成しやすい。
・Shockley-Read-Hall (SRH) processに従った暗電流を発生する。

$$U = \sigma v_{th} N_t \frac{pn - n_i^2}{n + p + 2n_i \cosh\left(\frac{E_t - E_i}{kT}\right)}$$

仮定　$\sigma_n = \sigma_p = \sigma$

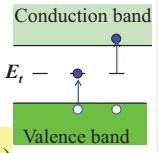
U: 再結合レート
(Sze: "Semiconductor Devices" Chap. 1 Eq.(59))

・空乏化していることを仮定, すなわち, $n, p = 0$,
・$E_t = E_i$ を仮定（U が最大になる）

$$U = -\frac{\sigma v_{th} n_i N_t}{2} \quad (\text{単位}: 1/\text{cm}^3\text{s})$$

・1個のGRセンターから $U = -\frac{\sigma v_{th} n_i}{2}$, (単位: e-h/s)

・σは金属種に依存する。



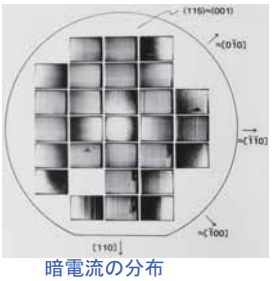
mid-gap準位を介した暗電流の生成

©2017 N. Teranishi

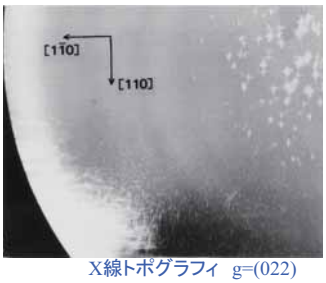
X線トポグラフィ (熱ストレス由来のスリップ転位)

9

サンプル: インターライン転送型CCDイメージセンサ
画素サイズ: 33x20 um, 画素数: 180k
Technology: 100mm Wafer, 4 umルール, 3 Polysilicon, 1 Al



暗電流の分布



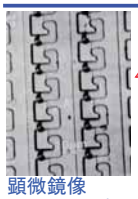
X線トポグラフィ　g=(022)

暗電流分布、スリップ分布ともにウェハ中心部と<100>方向の周囲に分布
熱応力分布のシミュレーション結果と一致。

(Teranishi, NEC)

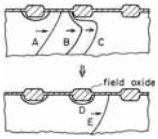
エッチング(熱ストレス由来のスリップ転位)

10



顕微鏡像
(Seccoエッチ)

ウェハ中心付近のエッチング像
(Seccoエッチ)



転位半ループの形成メカニズム
・LOCOSのストレスが転位をトラップする。

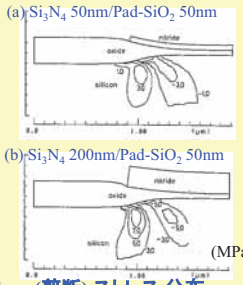
・転位半ループが(111)滑り面上に列をなしていることが、Seccoエッチ、X線トポ、TEMで観察された。これらが白傷の原因と推定される。
・転位半ループは熱応力によって形成されたと推定。

(Teranishi, NEC)

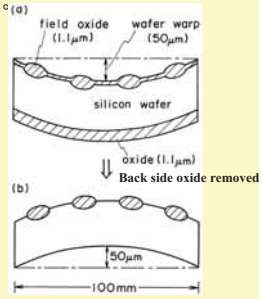
ウェハの反り (LOCOSによるストレス)

11

・ストレスはしばしば結晶欠陥を誘起し、白傷の原因となる。
・ウェハの反りは簡易にストレスを測定できる。



Shear(剪断) ストレス 分布
(1000°C ウェット酸化30分後)
(Isomae, Hitachi)



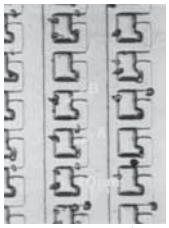
室温でのウェハの反り

(Teranishi, NEC)

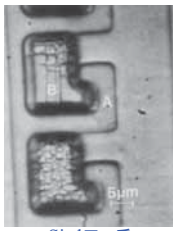
各種エッチング (Misfit Dislocation)

12

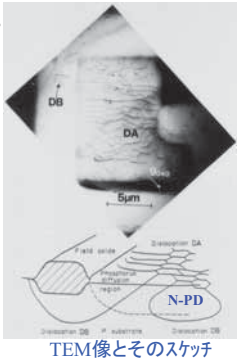
・N-PDに大量のリンをドープしたときのmisfit転位。
・エッチング液により見え方が異なる。



Seccoエッチ



Sirtlエッチ



TEM像とそのスケッチ

・A: チャネルストップ
・B: N-PD
・DA: N-PDにおける転位網.
・DB: N-PDからストレスによってはみ出した転位.

(Teranishi et al., NEC)

内容

13

1. はじめに
2. 欠陥観察方法
3. ゲッタリング (Gettering)
4. Pinned Photodiode (PPD, 埋込フォトダイオード)
5. まとめ

©2017 N. Teranishi

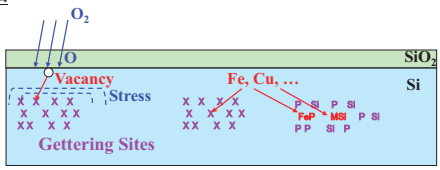
ゲッタリング(Gettering)の目的とメカニズム

14

目的

金属汚染を低減し、暗電流・白傷を抑制するために、
クリーン化技術を補完する形で、ゲッタリング技術を用いる。

メカニズム



ゲッタリングサイトは周囲にストレスを発生させ、Vacancy、Interstitial、Metalを捕獲する。

各種ゲッタリング手法

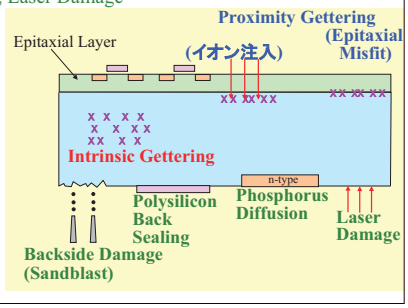
15

・Extrinsic Gettering (外部ゲッタリング)
- Backside Damage
- Polysilicon Back Sealing, Si_3N_4 Sealing, Phospho-Silicate Glass
- Phosphorus Diffusion
- Ion Implantation Damage, Laser Damage

・Intrinsic Gettering
(内部ゲッタリング)

・Proximity Gettering
(近接ゲッタリング)
- イオン注入
- Epitaxial Misfit
- SOI

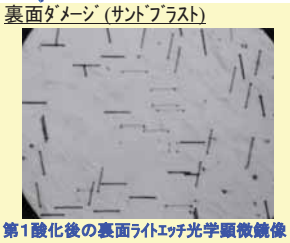
・Chemical Gettering
(化学ゲッタリング)
- HCl, TCE



Extrinsic Gettering (EG、外部ゲッタリング)

16

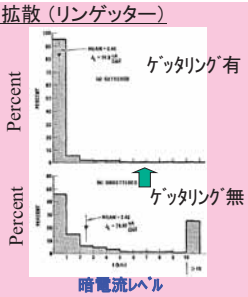
裏面ダメージ (サンドブラスト)



第1酸化後の裏面ライトエッチ光学顕微鏡像
(Teranishi, NEC)

・サンドブラストはスタッキングホールドや他のエッチピットを生成する。
・欠陥は後続の熱処理によって縮小・消滅し、ゲッタリング効果が失われる。
・ダストの発生が課題である。

リン拡散 (リンゲッター)



・リンゲッターは効果的である。
・微細プロセスと両立しない。

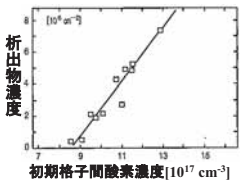
(Reiner et al., Hughes)

Intrinsic Gettering (IG、内部ｹｯﾀﾘﾝｸﾞ)

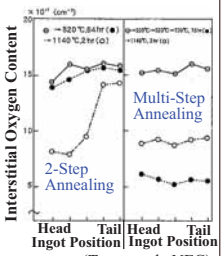
17

◆ "IG + Epitaxial" はｲﾒｰｼﾞｾﾝｻで使用されている。
- 単純なｱﾆｰﾙの場合、析出物濃度は初期格子間酸素濃度に依存する。
- 異なる酸素濃度に対して均一な析出物濃度を得るために多段ｱﾆｰﾙ
  1st step: 無欠陥層形成, 2nd & 3rd step: 核形成, 4th step: 析出

断面のﾗｲﾄｴｯﾁ像
(Teranishi, NEC)



(Huber et al., Wacker)



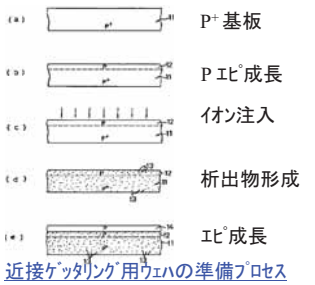
(Tsuya et al., NEC)

©2017 N. Teranishi

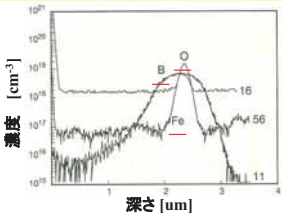
Proximity Gettering (PG、近接ｹﾞｯﾀﾘﾝｸﾞ)

18

◆ ﾌﾟﾛｾｽ温度が低い、または、汚染物の拡散定数が小さい場合、ｹﾞｯﾀﾘﾝｸﾞｻｲﾄは表面活性領域に近接していることが好ましい。
制御性がよい、ｲｵﾝ注入、ｴﾋﾟ成長を用いる。



近接ｹﾞｯﾀﾘﾝｸﾞ用ｳｪﾊの準備ﾌﾟﾛｾｽ
(Matsushita, Toshiba)



不純物分布
- 注入されたﾎﾞﾛﾝは鉄を捕獲している。

(Watanabe, Toshiba)

©2017 N. Teranishi

内容

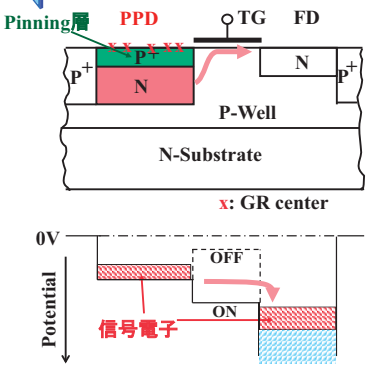
19

1. はじめに
2. 欠陥観察方法
3. ゲッタリング (Gettering)
4. Pinned Photodiode (PPD, 埋込フォトダイオード)
5. まとめ

©2017 N. Teranishi

PPDの構造と効果

20

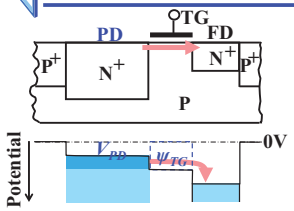


1. 接地ﾚﾍﾞﾙのP+ pinning層がシリコン表面が空乏化を防止し、かつ、N型領域の容量を大きくする。
   - 暗電流の低減
   - 大きな飽和
   - 高い青感度
   - VOD(垂直ｵｰﾊﾞｰﾌﾛｰﾄﾞﾚｲﾝ)を用いた電子シャッタの実現
2. 完全転送
   - 無残像
   - 無転送ノイズ

©2017 N. Teranishi

従来PDにおける残像のメカニズム(1)

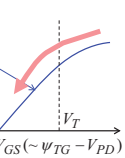
21



Subthreshold 電流

$I \sim e^{\frac{qV_{GS}}{mkT}}$

$(m = 1 + C_D / C_G)$



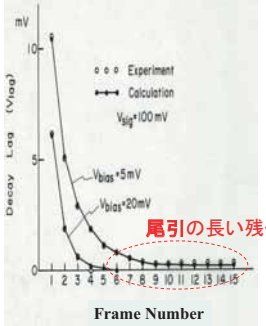
信号電子の転送駆動力: $\psi_{TG} - V_{PD}$, or V_{GS}.
(ψ_{TG} : TG チャネル電位)
ステップ1. 初期ではTGは飽和領域で動作する。.
ステップ2. 数ns後, subthreshold領域になり、転送は遅くなる。.

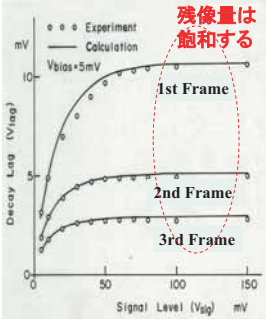
Subthreshold領域で動作することが残像や転送ノイズの原因となる.

©2017 N. Teranishi

従来PDにおける残像のメカニズム(3)

22





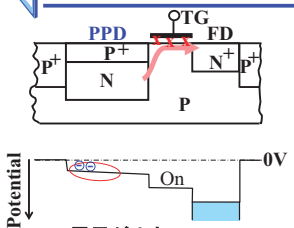
Subthresholdﾓﾃﾞﾙは実測によく一致

©2017 N. Teranishi

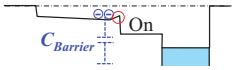
(N. Teranishi et al., IEDM, 1982)

PPDにおける残像の原因候補 (1)

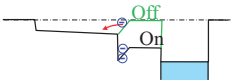
23



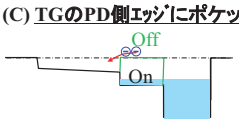
(A) 電界が小さい



(B) PDエッジにバリアがある



(C) TGのPD側ｴｯｼﾞにﾎﾟｹｯﾄ



(D) 信号電子が多い場合、TG直下に信号電子が蓄積し、off時にPDにポンプバック

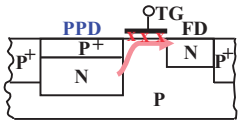
(E) TG界面のトラップ
次ﾍﾟｰｼﾞ.

©2017 N. Teranishi

PPDにおける残像の原因候補 (2)

24

(E) TG界面のトラップ
- もし信号電子の転送軌跡が界面に接触していると、一部の信号電子が界面トラップに捕獲される可能性がある。
- 捕獲された信号電子の一部は
  - 後続フレームで放出され、残像となる。
  - 消滅すると非線形の原因になる



x : TG界面のトラップ

- 信号電子の消滅は非線形をもたらす.
- 埋込型の転送軌跡が必要.

©2017 N. Teranishi

暗電流低減メカニズム (1)

25

Schockley-Read-Hall プロセス

$$U=\sigma v_{th}N_t\frac{pn-n_i^2}{n+p+2n_i\cosh\left(\frac{E_t-E_i}{kT}\right)} \quad (1)$$

U: 再結合レート

Assuming $\sigma_n=\sigma_p=\sigma$

(Sze: "Semiconductor Devices," Chap. 1 Eq.(59))

1. 空乏化していると, $n, p \ll n_i$

$$U=\sigma v_{th}N_t\frac{-n_i^2}{2n_i\cosh\left(\frac{E_t-E_i}{kT}\right)}$$

$E_t = E_i$ の時 U は最大になるので

$$U\approx-\sigma v_{th}N_t\frac{n_i}{2} \quad (2)$$

➡ 大きな暗電流である！

2. 中性領域では, $p \gg n_i \gg n$,

$$|U|\approx\left|\sigma v_{th}N_t\frac{pn-n_i^2}{p}\right|\le\sigma v_{th}N_t\frac{n_i^2}{p} \quad (3)$$

➡ 暗電流は抑制される！

PPDは空乏化状態では中性状態を実現している！

©2017 N. Teranishi

暗電流低減メカニズム (2)

26

(1) 暗電流低減の効果を見積もるために、以下を仮定する:
- P^+ pinning層のホール濃度(p): 10^{17} cm^{-3}
- Intrinsic carrier濃度, n_i: 1.45×10^{10} cm^{-3}

$$\frac{|U(\text{Not depleted})|}{|U(\text{Depleted})|}\le\frac{\sigma v_{th}N_t n_i/2}{\sigma v_{th}N_t n_i^2/p}=\frac{p}{2n_i}\sim10^{-7}$$

(2) 実際のイメージセンサにおける比較

	Non-PPD (1982)	PPD (2012)	単位
方式	CCD	FSI CMOS	
画素サイズ	23 x13.5	1.12 x 1.12	μm
暗電流	1,300	5.6	e⁻/s/μm² at 60°C

0.4 %

©2017 N. Teranishi

暗電流低減の例 (1)

27

暗電流が低減 ⇒ 暗電流バラツキ(FPN)、ショットノイズも低減

従来 PD

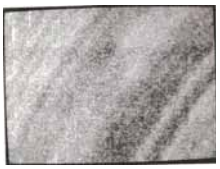
PPD

暗電流FPNが減少し、画質が向上！

©2017 N. Teranishi

暗電流低減の例 (2)

28



暗時
従来PDを用いた CCD
画素数: 384x490
蓄積時間: 1/15s
1979年
(Teranishi, NEC)

Orion
カメラ: Canon EOS20Da
レンズ: EF16-35mmF2.8L F8
露光時間: 60min. ISO: 100
撮影者: Akio Nakanishi

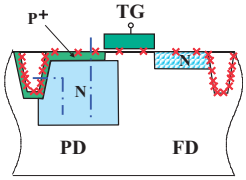
©2017 N. Teranishi

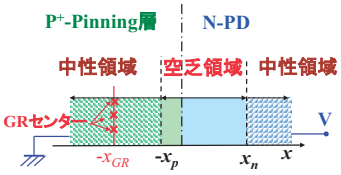
P^+ Pinning層の厚み (1)

29

P+ pinning層の厚みはどのぐらい必要か？

拡散電流モデルを修正した新しいモデル
- 1-Dim (—·—·— に沿って)
- GRセンターを中性領域の $x=-x_{GR}$ に置く
- "定常" は引き続き仮定、しかし "空間一様"は仮定せず。





新モデル

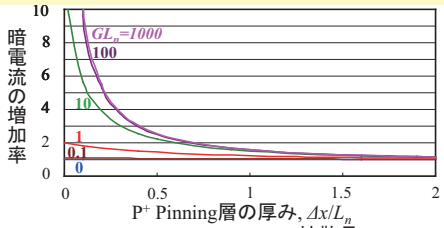
©2017 N. Teranishi

P^+ Pinning層の厚み (2)

30

新しいモデルの結果 (N. Teranishi, IEEE T-ED, 2016)

- P^+ pinning層の厚みが拡散長より小さいと暗電流は増加する。温度依存性は $J_n^{(GR)}\propto e^{E_g/kT}$ である。
- この時、GRセンタの数を減少させることは有効である。



L_n: 拡散長
G: GRセンタの強度を示す定数

©2017 N. Teranishi

PPDに関する結論

31

1. PPD はCCDとCMOS イメージセンサにとって必須の技術である。
   低ノイズ、低暗電流、無残像、大きな飽和、高青感度をもたらす。
2. 従来の不完全転送PDでは長い尾引の残像と転送ノイズが発生する。
3. 新しいGRセンタを考慮した拡散電流モデルを用いて、P+ pinning層の暗電流低減の効果と限界を議論した。P+ pinning層の厚みが拡散長程度以下であると、シリコン表面のGRセンタは暗電流に寄与する。温度依存性は $J_n^{(GR)}\propto e^{E_g/kT}$

©2017 N. Teranishi

内容

32

1. はじめに
2. 欠陥観察方法
3. ゲッタリング (Gettering)
4. Pinned Photodiode (PPD, 埋込フォトダイオード)
➡ 5. まとめ

©2017 N. Teranishi

33

Summary

1. イメージセンサにとって、低暗電流、少ない白傷 は
   常に重要テーマである。

2. 原因の同定のために、いろいろな手段が用いられてきた。
   - 暗電流・白傷のﾚﾍﾞﾙが良くなり、難しい仕事になってきた。
   - イメージセンサは低ノイズであり、暗電流・白傷に対して敏感であり、
     自身が測定手段である。

3. 暗電流・白傷低減のためには、
   - プロセス（クリーン化、ゲッタリング、プロセスフロー）
   - 画素設計、イメージセンサ全体の設計（駆動を含む）
   - 動作温度（消費電力、実装を含む）
   - 補正方法

©2017 N. Teranishi

SOI W.S. Miyazaki2017
TIPP2017, Beijing

Fine-Pixel Detector FPIX Realizing Sub-micron Spatial Resolution Developed Based on FD-SOI Technology

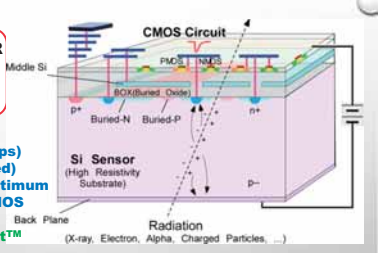
D. Sekigawa, S. Endo, W. Aoyagi, K. Hara, S. Honda (U. Tsukuba)
T. Tsuboyama, M. Yamada, S. Ono, Y. Ikegami, Y. Arai, I. Kurachi,
T. Miyoshi, J. Haba, K. Hanagaki. M. Togawa (KEK)

SOIPIX Silicon-On-Insulator Pixel Detector Project

Project supported by
JSPS Grant-in-Aid for Scientific Research on Innovative Areas
Japan/US Cooperation Program in the Field of High Energy Physics
KEK Detector Technology Project

SOI PIXEL DEVICES

SOI: SILICON-ON-INSULATOR
CMOS circuitry fabricated on buried oxide(BOX)
LAPIS 0.2um FD-SOI



Features:
- monolithic (no metal bumps)
- SOI-CMOS (FETs fully isolated)
- Can choose* substrate of optimum resistivity (fully depleted CMOS sensors possible)

*SOITEC SmartCut™

many excellent features

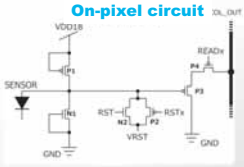
- Material budget
- S/N
- power dissipation
- speed
- cost
- Pixel size
- single event effects
- latch up
- Operation temp. (0.3K~570K)

TID tolerance improved to 1MGy by introducing double SOI wafer

FINE-PIXEL DETECTOR: FPIX2

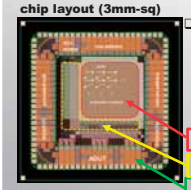
- Pixel size: 8μm□
- #Pixels: 128×128
- Handle wafers:
  >single SOI
  25kΩ·cm p, 500 um^t
  >double SOI
  1kΩ·cm p, 300 um^t
- Rolling shutter RO
  8 parallel outputs

On-pixel circuit

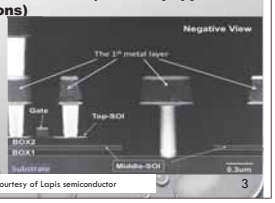


In Development:
- ❑ to demonstrate excellent spatial resolution achievable with SOI technology (=>tracker for SOFIST TB)
- ❑ as demonstrator of TID tolerance (FPIX2 equipped with three middle-SOI regions)

chip layout (3mm-sq)



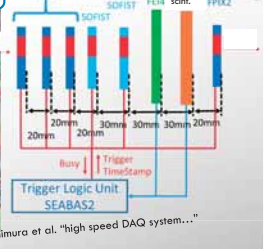
TID: hole accumulation in BOX/GOX
Middle-SOI: compensate TID effects by applied negative voltages



Courtesy of Lapis semiconductor

FNAL TEST BEAM

FTBF: 120GeV protons from Main Injector
4.2s beam spill every 1 minute



R.Nishimura et al. "high speed DAQ system..."

- Trigger generated by a SEABAS2 board using Scint.(5mm-sq) and ATLAS FE-I4 (2mmx1.75mm ROI)
- Data of 4 FPIX2 and 2 SOFIST sensors acquired per TLU request. All R/O boards (SEABAS2) implemented with same TimeStamp firmware
- Last FPIX2 made accessible for exchanging to irradiated DSOI

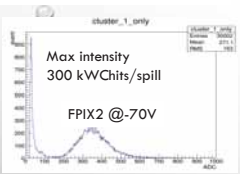
DAQ~1.2k/spill

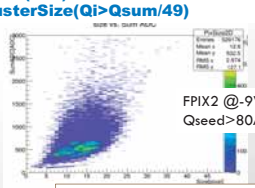
SEABAS2(Soi EvAluation BoArd with Sitcp): 16ch 12bit 40MHz ADCs, Giga-bit Ethernet

SINGLE/CLUSTER CHARGE

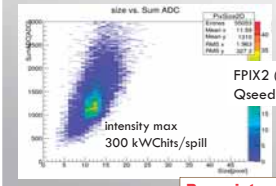
Q(ADC) of single pixel w/ max. in an event

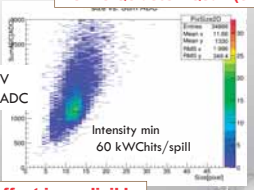
Qsum(7x7) vs ClusterSize(Qi>Qsum/49)





Define Qcluster=Qsum(5x5)

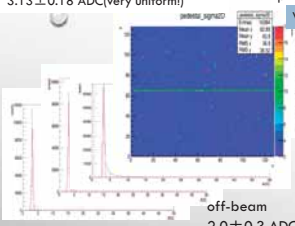




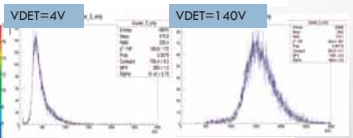
Beam intensity effect is negligible

BIAS DEPENDENCE

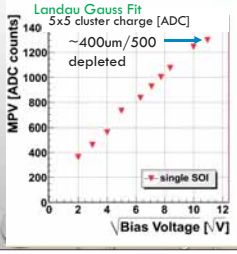
Pedestal spread measured w/ beam
3.13±0.18 ADC(very uniform!)



5x5 cluster charge about the maximum charge pixel in an event

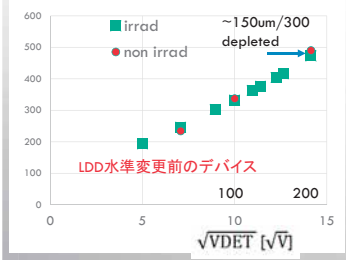


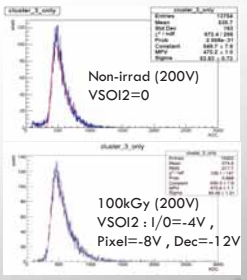
V_{DET}= 70V
Signal=1134±3ADC
Noise = $\sigma \times \sqrt{5 \times 5}$
=15.6
S/N~69



FPIX2:DSOI 100KGY

5x5 cluster charge about the maximum charge pixel in an event

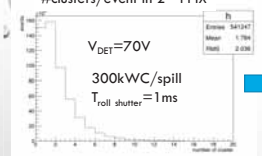


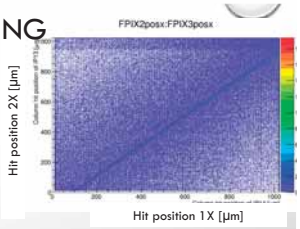


Innovative double-SOI allows operation of SOI devices to 100kGy
Recent study extended to 1MGy

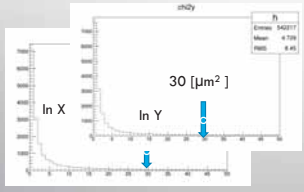
TRACKING

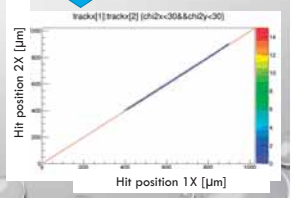
#clusters/event in 2nd FPIX

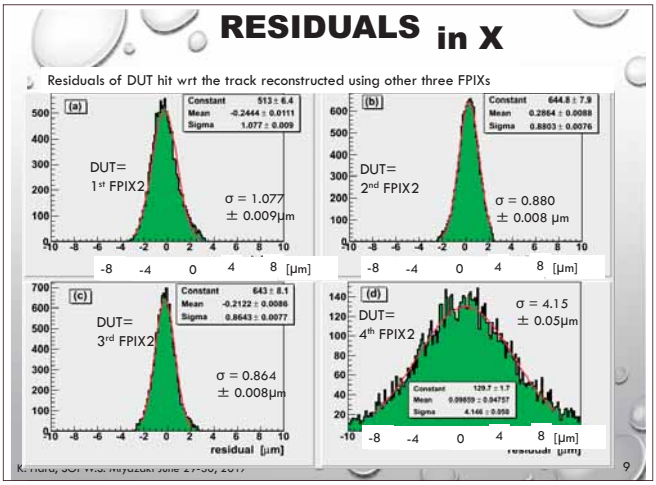


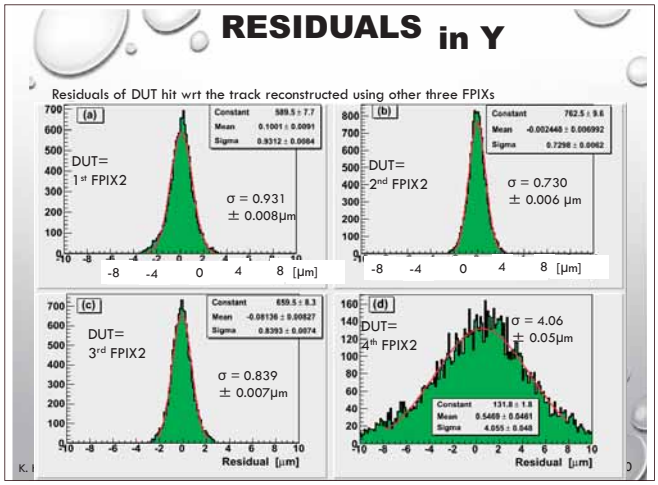


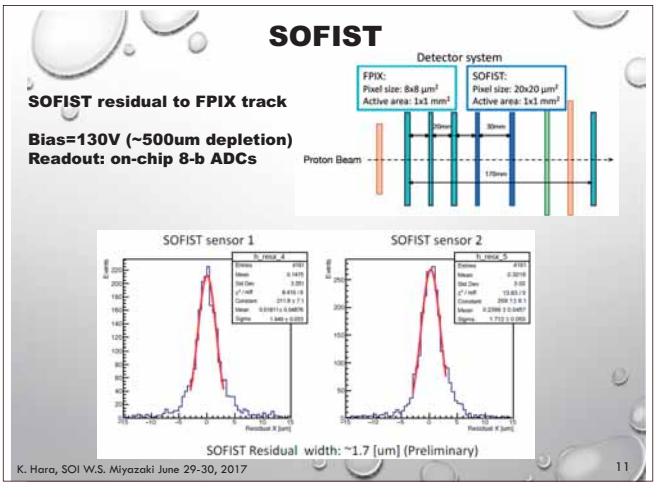
Alignment&Cut

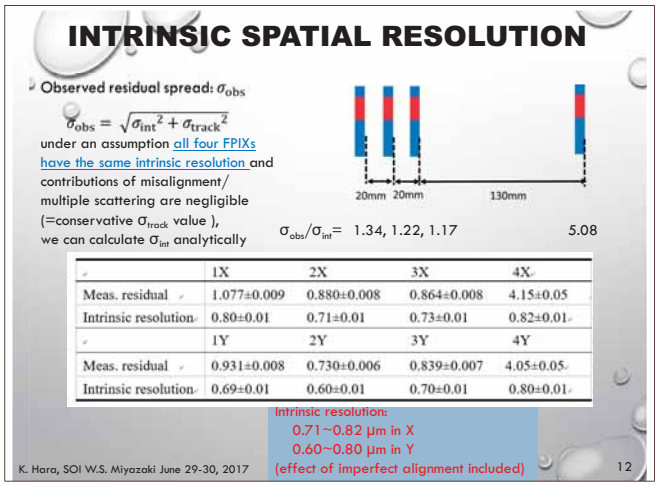




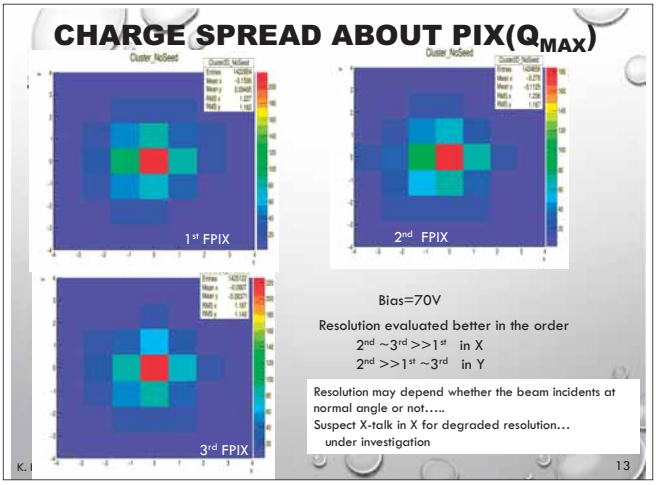


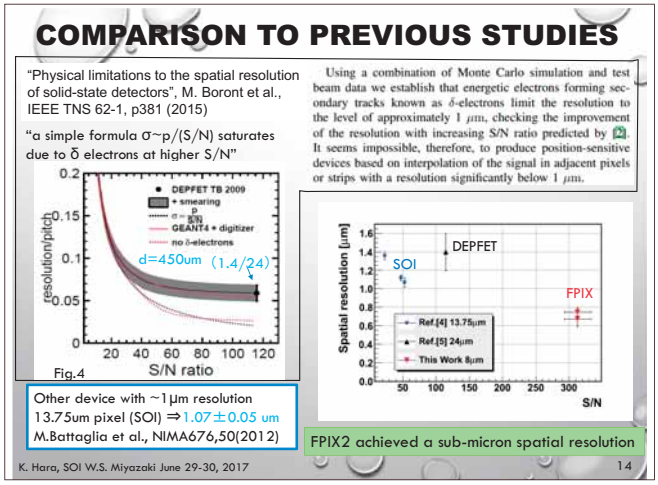


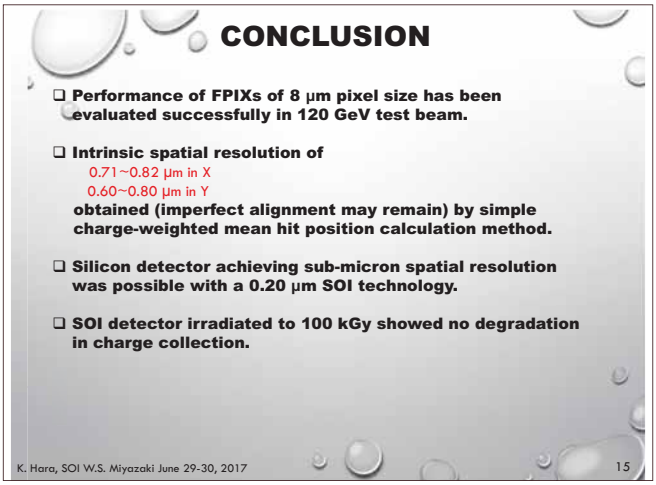


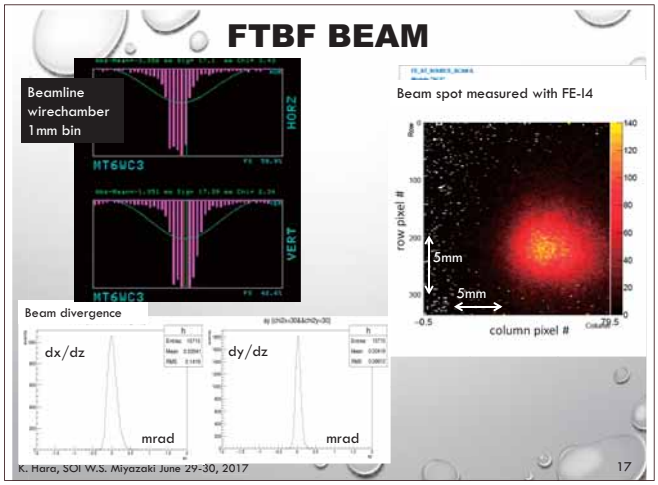


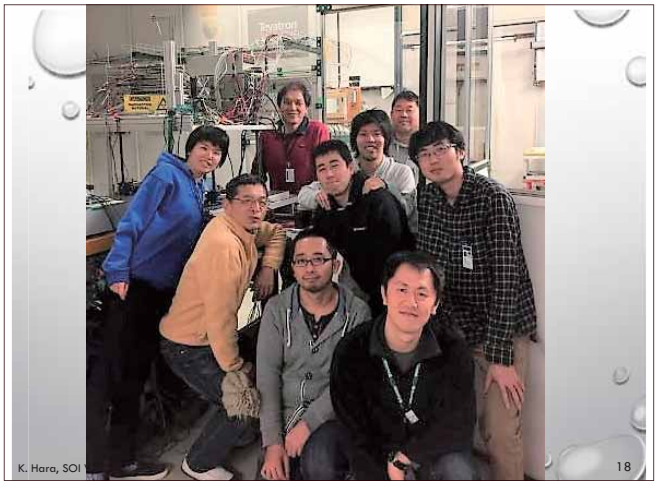
	1X	2X	3X	4X
Meas. residual	1.077±0.009	0.880±0.008	0.864±0.008	4.15±0.05
Intrinsic resolution	0.80±0.01	0.71±0.01	0.73±0.01	0.82±0.01
	1Y	2Y	3Y	4Y
Meas. residual	0.931±0.008	0.730±0.006	0.839±0.007	4.05±0.05
Intrinsic resolution	0.69±0.01	0.60±0.01	0.70±0.01	0.80±0.01








FTBF BEAM
Beamline
wirechamber
1mm bin
HORZ
MT6WC3
VERT
MT6WC3
Beam spot measured with FE-I4
row pixel #
5mm
5mm
column pixel #
Beam divergence
dx/dz
mrad
dy/dz
mrad
K. Hara, SOI W.S. Miyazaki June 29-30, 2017
17

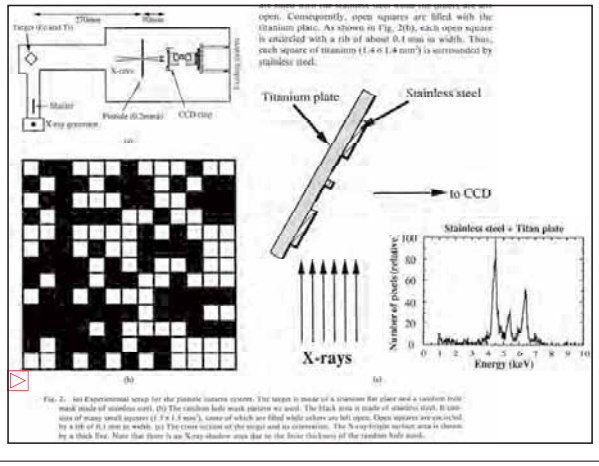

K. Hara, SOI
18

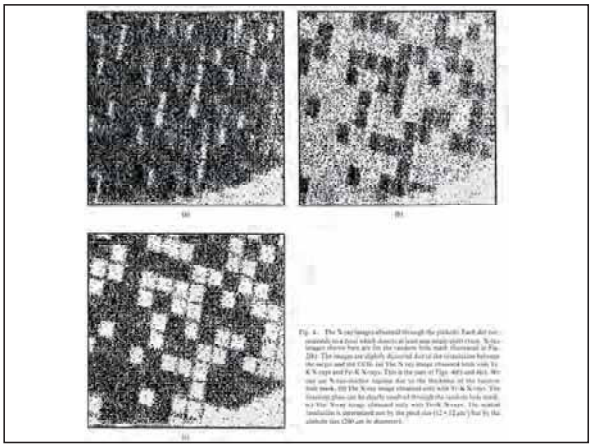
X線天文学で使用する CCDカメラの開発研究

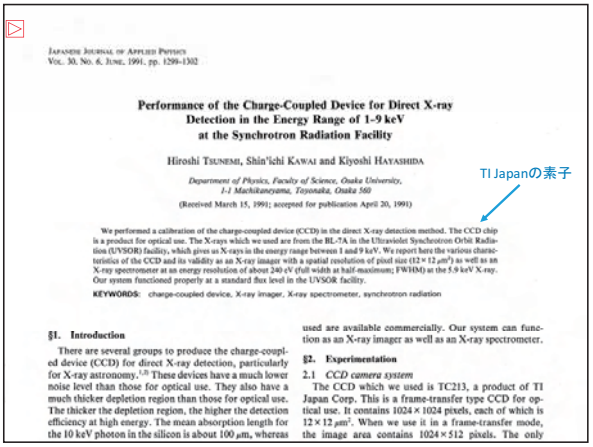
第8回SOIPIX研究会＠宮崎大
from Wednesday, June 29, 2017 at 13:50 to 14:20
at 宮崎大学 木花キャンパス (工学部B棟2階 B209 教室)
大阪大学大学院理学研究科
名誉教授、常深　博

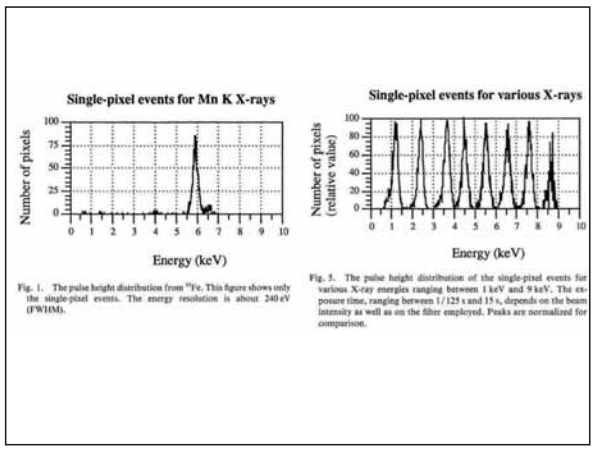
トークプラン

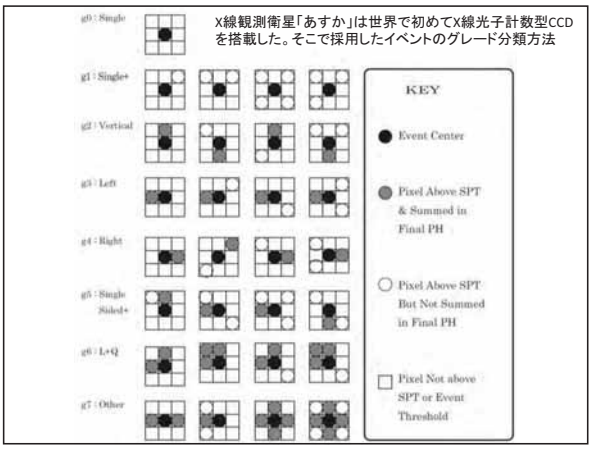
- 宇宙観測に使われるX線検出器
  - いろいろな2次元X線検出器
  - X線CCDの使い始め
  - X線CCDのX線検出原理
  - X線CCDのデータと処理方法
  - 画素内での検出効率
  - CCDの放射線損傷とその対策
- X線CCDを搭載した観測衛星
  - 主なX線観測衛星。
  - 観測例。
  - まとめ

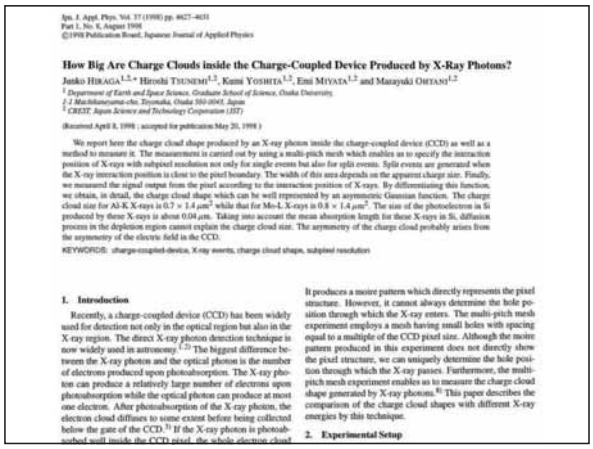






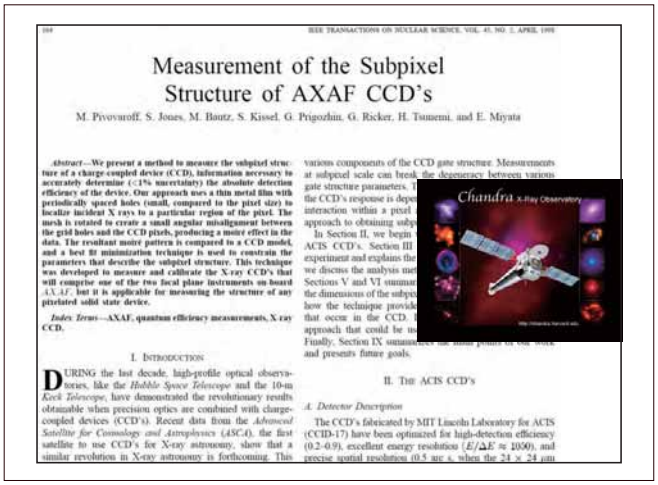






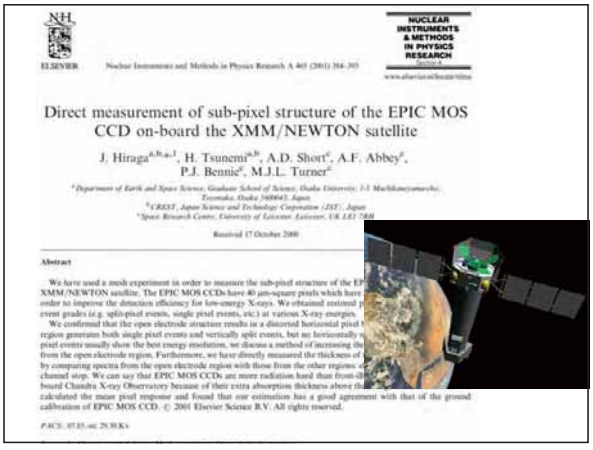
How Big Are Charge Clouds inside the Charge-Coupled Device Produced by X-Ray Photons?

Junko HIRAGA, Hiroshi TSUNEMI, Kumi YOSHITA, Emi MIYATA and Masayuki OHTANI



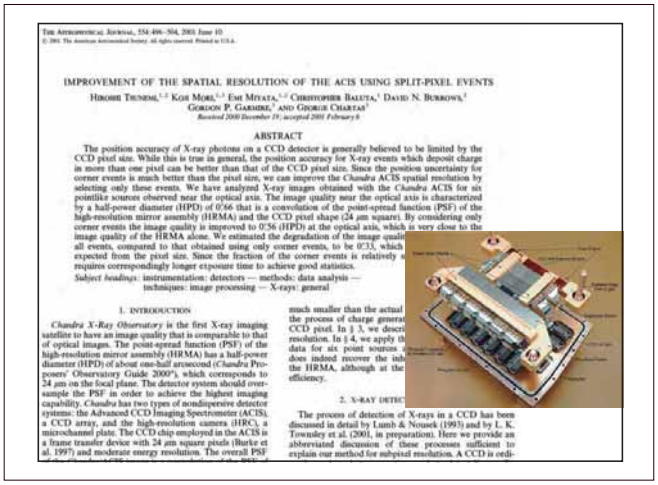
Measurement of the Subpixel Structure of AXAF CCD's

M. Pivovaroff, S. Jones, M. Bautz, S. Kissel, G. Prigozhin, G. Ricker, H. Tsunemi, and E. Miyata

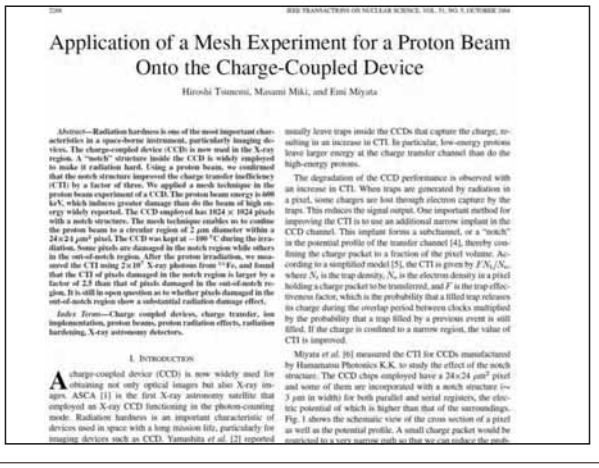


Direct measurement of sub-pixel structure of the EPIC MOS CCD on-board the XMM/NEWTON satellite

J. Hiraga, H. Tsunemi, A.D. Short, A.F. Abbey, P.J. Bennie, M.J.L. Turner

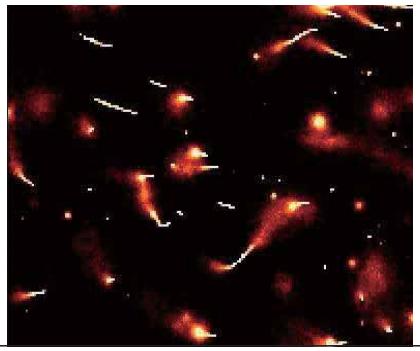


IMPROVEMENT OF THE SPATIAL RESOLUTION OF THE ACIS USING SPLIT-PIXEL EVENTS

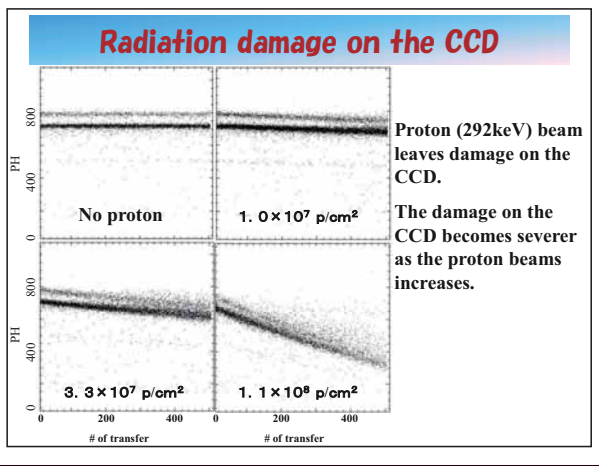


Application of a Mesh Experiment for a Proton Beam Onto the Charge-Coupled Device

Hiroshi Tsunemi, Masami Miki, and Emi Miyata

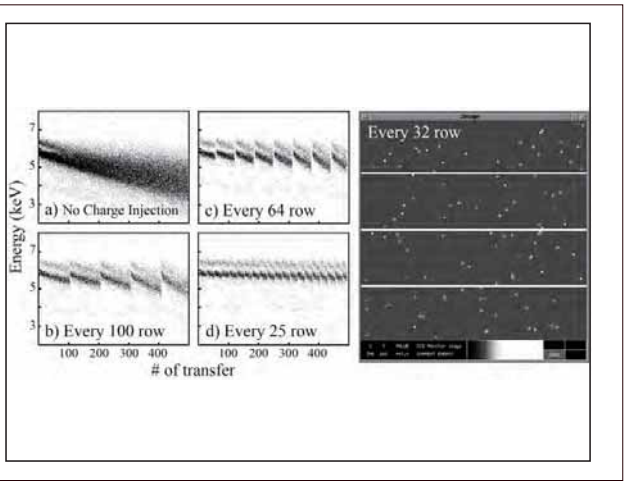


Particle trajectory in the CCD



Proton (292keV) beam leaves damage on the CCD.

The damage on the CCD becomes severer as the proton beams increases.



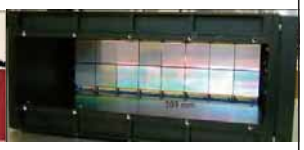
CCD camera on board ISS MAXI

Pixel size : 24×24μm²、1024×1024

Depletion depth : 90μm

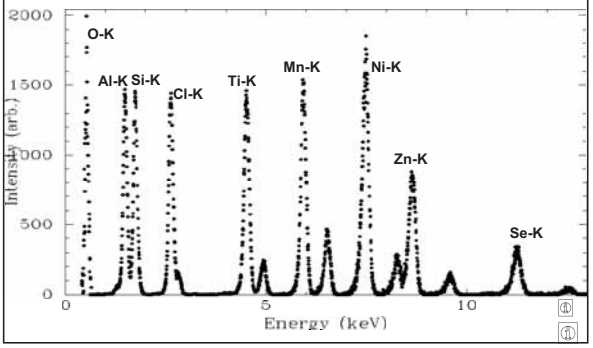
Hayabusa used 6chips、Kaguya used 8chips, MAXI uses 32chips　　5cm×20cm×2

Calibration results



SSC camera on board ISS MAXI

Performance of MAXI-SSC



光子計数X線CCD搭載の天文衛星

衛星	打上げ年	高度 (km)	傾斜角 (°)	CCD名称	素子サイズ (mm×mm)	素子数	画素サイズ (μm)	動作温度 (°C)	型
あすか	1993	550	31	SIS	12.7×12.7	4	27	-62	FI
Chandra	1999	140000*-10000	28.5	ACIS	24.6×24.6	10	24	-120	FI/BI
XMM-Newton	1999	114000*-7000	40	pnCCD	60×60	1	150	-90	BI
				MOS CCD	40×40	7	40	≥-133	FI
Swift	2004	600	22	XRT	24×24	1	40	<-50	FI
すざく	2005	550	31	XIS	24.6×24.6	4	24	-90	FI/BI
MAXI	2009	400	51.6	SSC	24.6×24.6	32	24	-60	FI
ASTROSAT	2015	650	~0	SXT	24×24	1	40	-80	FI
ひとみ	2016	575	31	SXI	30×30	4	24	-110	BI
Spektr-RG	2017[a]	L2[c]	-	eROSITA	28.8×28.8	7	75	-90	BI

[a] 楕円軌道, [b] 計画中, [c] 地球と月で決まるラグランジュ点 L2

まとめ

- 可視光で積分型素子として広く使われているCCDは、X線では微分型素子として動作するように光子計数モードで使われている。
- X線CCDは、あすか以来四半世紀にわたって、X線観測衛星の標準的な検出器として活躍した。それまでのガス検出器から半導体検出器に置き換わっている。
- 高速読出しができれば、低雑音読出し技術の基に、バックグラウンドの低減や常温動作が可能になる。CCDからSOIPIX、DEPFETなどが有力候補である。
- CCDはバタブル素子として、有効面積を上げることができる。バタブル素子の場合、有効画素領域周辺をいかに狭く作るかが重要になる。

ILC実験用SOIピクセル検出器: SOFISTの開発と今後について

小野　峻 (KEK)
計画研究C01班
2017/06/29
SOI新学術研究会@宮崎大学

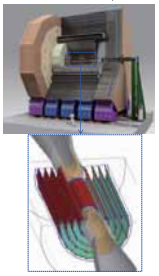
計画研究: C01班

- SOFIST (KEK)
  - ILC 実験用最内層バーテックス検出器 候補として開発
    - ILC 実験:ヒッグス粒子の精密測定や新粒子探索を目的。
    - 高位置分解能を持った検出器、飛跡識別のためヒット時間情報記録が必要.
- FPIX(筑波大学)
  - 将来の加速器実験(HL-LHC , FCC)で必要となる高位置分解能要求に対するR&D
    - 8 μm 角ピクセル→1 μm 以上の位置分解能を目指している.
  - Double-SOI ウェハーによりMGy レベルでの放射線損傷補償を検証

Target: ILC experiment

- ILC Experiment: e+e− linear collider
  - Precise measurement of the Higgs boson
  - Search for physics beyond the Standard Model

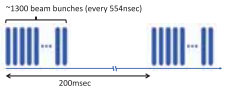
ILC detector concept（ILD）



ILC Vertex Detector

- Detector requirements
  1. 位置分解能: 3 μm
     - Pixel size: ~ 20x20 μm^2
     - Low material budget: ~0.1%/X0
       - corresponds to ~ 100 μm Si
  2. 時間分解能
     - Detector occupancy: < 2%
     - Bunch identification during beam train: 554ns interval
  3. 高放射線耐性: TID : > 1 kGy / year, NIEL: > 10^{11} MeVn_{eq}/cm^2/year
  4. 低消費電力: 50mW/cm^2
  5. 高速データ転送: On-chip ADC, Data compression

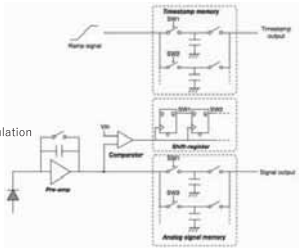
ILC beam train



まずはピクセル単体での位置・時間計測、分解能達成が目標

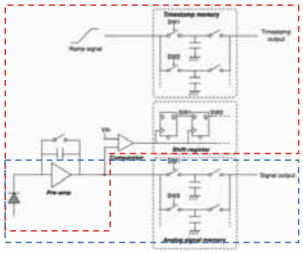
SOI sensor for ILC: SOFIST

- Pixel circuit: 20x20 μm^2
  - Pre-amplifier
  - Comparator
    - Signal discrimination
  - Shift register
    - Record hit evets.
  - Analog signal memory
    - Store charge signal for hit position calculation
  - Timestamp memory
    - Store hit timing for event separation
  - Multiple memories in one pixel

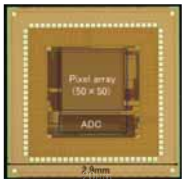


SOFIST Prototype sensors

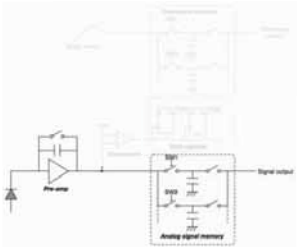
- SOFIST prototype chips
  - **SOFIST Ver.1**
    - **Pixel with analog signal readout**
    - **Delivered in Dec. 2015**
  - SOFIST Ver.2
    - Pixel with time stamp readout
    - Delivered in Dec. 2016
  - SOFIST Ver.3 ~
    - Pixel integration of Ver.1 and Ver.2
    - Under designing



SOFIST Ver.1: pixel circuit



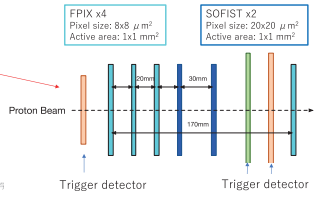
Parameter	
Pixel size	20x20 um^2
Pixel array	50x50 (Active area: 1x1mm^2)
Sensor thickness	500 um
ADC	Column-parallel (50 ch), 8bit/1V



SOFIST Ver.1: Beam test

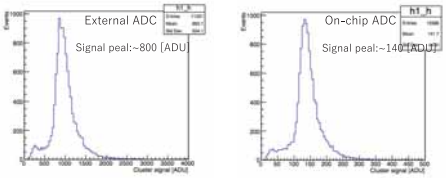
- Beam test @ Fermi national laboratory
  - Beam: 120GeV Proton
  - Evaluation of SOFIST Ver.1 and FPIX

Detector system with SOFIST



SOFIST Ver.1: Signal spectrum

- Cluster signal spectrum
  - SOFIST setup: External ADC (12 bit), On-chip ADC (8 bit)
  - Bias voltage: 130V (Full depletion), Clustering: 6x6 pixels

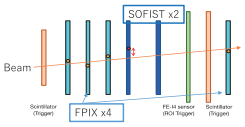


2017/6/29 SOI新学術研究会 9

SOFIST Ver.1: Position resolution

- **Track reconstruction**
  - Find track candidates from FPIX.
- **Residual calculation**
  - Difference between reconstructed track and detected hit on the SOFIST.

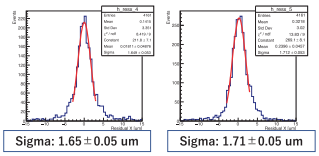
Track reconstruction



Residual analysis result @500um sensor thickness

SOFIST sensor 1 — Sigma: 1.65±0.05 um

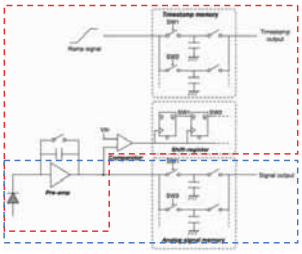
SOFIST sensor 2 — Sigma: 1.71±0.05 um



2017/6/29 SOI新学術研究会 10

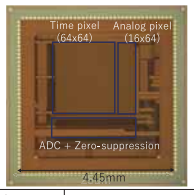
SOFIST Prototype sensors

- SOFIST prototype chips
  - SOFIST Ver.1
    - Pixel with analog signal readout
    - Delivered in Dec. 2015
  - **SOFIST Ver.2**
    - **Pixel with time stamp readout**
    - **Delivered in Dec. 2016**
  - SOFIST Ver.3 ~
    - Pixel integration of Ver.1 and Ver.2
    - Under designing

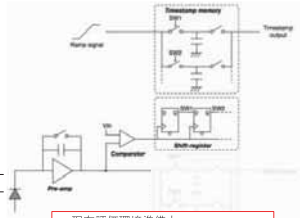


2017/6/29 SOI新学術研究会 11

SOFIST Ver.2: pixel circuit



Parameter	
Pixel size	25x25 um^2
Pixel array	64x64 + (64x16: for analog readout)
Sensor thickness	75um (薄型化処理)
ADC	8bit/1V

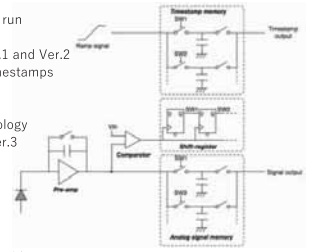


- 現在評価環境準備中
- 年度内での加速器ビーム試験予定

究会 12

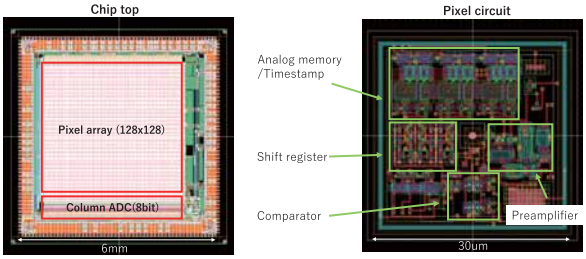
SOFIST Ver.3/Ver.4

- Design of next prototype chips: 2017 MPW run
  - SOFIST Ver.3;
    - Pixel circuit integration of both Ver.1 and Ver.2
    - 3 analog signal memories and 3 timestamps
  - SOFIST Ver.4;
    - SOI sensor with 3D stacking technology
    - Reduction of the pixel size from Ver.3



2017/6/29 SOI新学術研究会 13

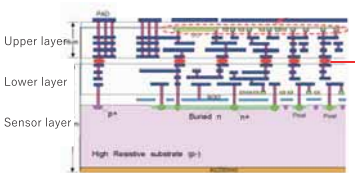
SOFIST Ver.3: Chip/Pixel

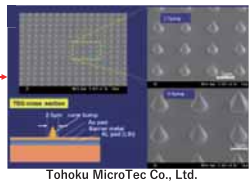


2017/6/29 SOI新学術研究会 14

SOI-3D stacking sensor

- Stacking circuit chip on SOI sensor
  - Connecting upper and lower chip by Au cone bump with 5um pitch

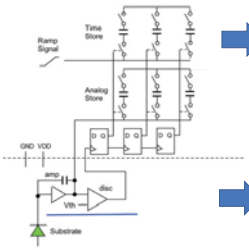




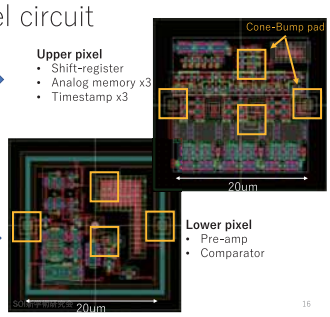
Tohoku MicroTec Co., Ltd.

2017/6/29 SOI新学術研究会 15

SOFIST Ver4: Pixel circuit



Upper pixel
- Shift-register
- Analog memory x3
- Timestamp x3

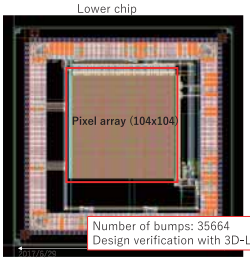


Lower pixel
- Pre-amp
- Comparator

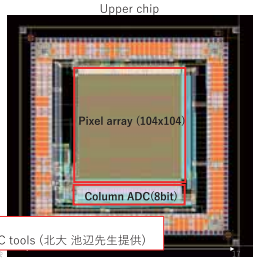
2017/6/29 SOI新学術研究会 16

SOFIST Ver4: Chip overview

Lower chip



Upper chip



Number of bumps: 35664
Design verification with 3D-LVS and DRC tools (北大 池辺先生提供)

2017/6/29 SOI新学術研究会 17

まとめ、今後について

- SOFIST Ver.1: Analog signal readout
  - Beam test at Fermilab Test beam line.
  - Position resolution ~1.7 μm @ 500um sensor thickness
- SOFIST Ver.2: In-pixel timestamp circuit
  - Chip production: Done
  - Beam test in 2017 (Under planning)
- SOFIST Ver.3/Ver.4
  - Chip design: Done, Design submission at MX2166 MPW run

- Ver.3, 4の開発まででピクセル単体での位置・時間計測の性能検証。
- 高位置・時間分解能のピクセル回路の完成を目指す。

2017/6/29 SOI新学術研究会 18

まとめ、今後について

- SOFIST完成に向けた開発・評価課題
  1. 低消費電力: 50mW/cm²
     - ピクセル回路の低消費電力化 : Ver.3/4の消費電力:~5.4uW/pixel → 1.3W/cm²
     - Power pulsingによる消費電力削減も必要
  2. 高速データ転送: On-chip ADC, Data compression
     1. データ圧縮回路(Zero-suppression): Ver.2チップに実装済、評価予定
     2. 高速・高分解能ADCの開発:
        - 分解能: ~12bit/1V, 変換時間: 5usec内, 実装サイズ: 20umX~1mm

- 上記実現に向けたR&Dも今後開始。

2017/6/29 SOI新学術研究会 19

KEK

第8回SOIPIX研究会
ダイナミック動作型積分器を用いた
スケーラブルADCの開発
2017/06/29

高エネルギー加速器研究機構
素粒子原子核研究所
宮原　正也

Outline 1

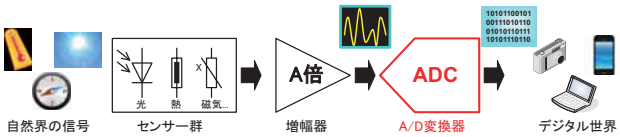
1. 研究背景、目標
2. スケーラブルADCの設計
   - ADCの全体構成
   - オープンループ型積分器
   - ダイナミックアンプ
   - Binary-mode DEM
3. 測定結果
4. まとめ

Outline 2

1. 研究背景、目標
2. スケーラブルADCの設計
   - ADCの全体構成
   - オープンループ型積分器
   - ダイナミックアンプ
   - Binary-mode DEM
3. 測定結果
4. まとめ

研究背景 3

- **科学/工学の発展**
  あらゆる物理現象を可視化したい
- **IoT/IoEの実現**
  1兆個以上のセンサノードによる環境モニタリング



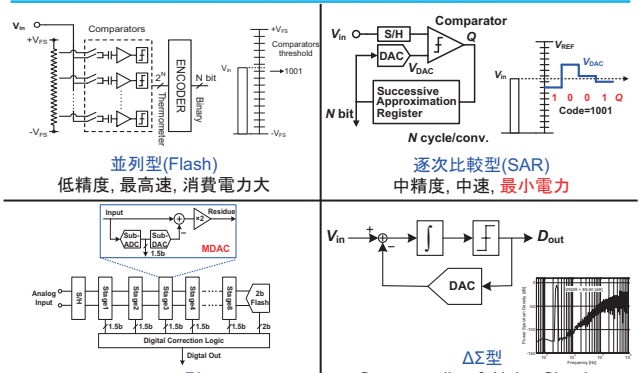
計測システムにおいてADCは必須のキーテクノロジー
あらゆる場面で使えるADCがほしい

あらゆる場面で使えるADCとは？ 4

- 分解能N (bit)　　$P_d \propto 2^{\alpha N}$
  - 高ければ高いほどいい
- 変換速度F_s (S/s)　　$P_d \propto F_s^{\alpha}$
  - 速ければ速いほどいい
- 消費電力P_d (W)　　α=1～2
  - 低ければ低いほどいい

物理的なトレードオフがあるため、性能を
変化できるように作ることが現実的な解となる.
⇒クロックに応じて性能可変な
スケーラブルADCを実現

ADC 主要な変換アーキテクチャ 5



並列型(Flash)
低精度, 最高速, 消費電力大

逐次比較型(SAR)
中精度, 中速, 最小電力

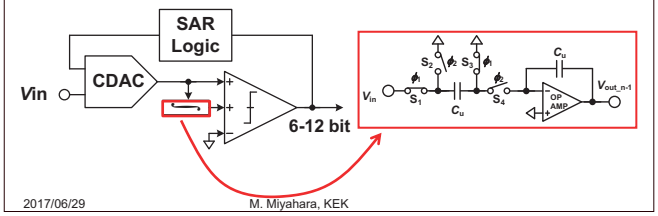
Pipeline型
中～高精度, 高速, 消費電力中

ΔΣ型
Over sampling & Noise Shaping
最高精度, 最低速, 消費電力大

Noise shaping SAR ADC 6

SAR ADC：最小電力動作
ΔΣ ADC：最高精度動作
☺精度・速度のクロック
スケーラブル化

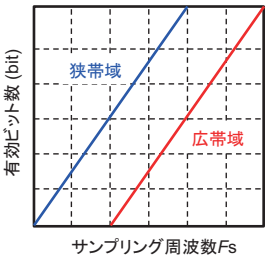
・従来の課題
☹積分器にオペアンプが必要なため定常電流を消費し、
消費電力についてクロックスケーラブルとならない



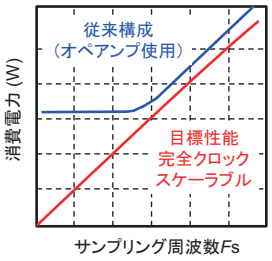
性能クロックスケーラブル 7

サンプリング周波数をかえることで分解能、変換速度、消費電力を
要求仕様に対して適応的に変化させる。
特にサンプリング周波数が低い場合の電力効率を大きく改善する。

サンプリング周波数(OSR)上昇により
有効ビット数を向上させる

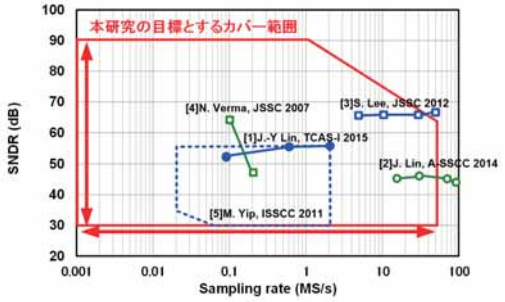


サンプリング周波数低下時には
消費電力をきっちり下げる



性能の最終目標 8

精度:30dB-90dB (10,000倍)
速度:1kS/s-50MS/s (50,000倍)
電力:各性能で世界最高レベルの電力効率を実現

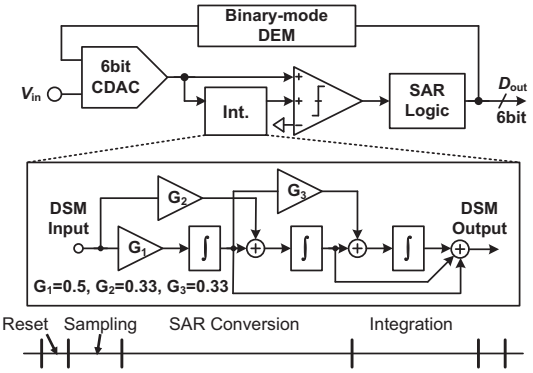


Outline 9

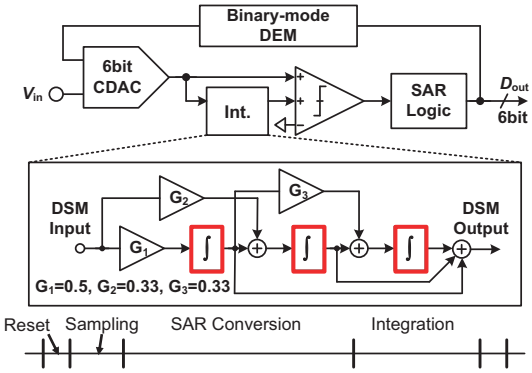
1. 研究背景、目標
2. スケーラブルADCの設計
   - ADCの全体構成
   - オープンループ型積分器
   - ダイナミックアンプ
   - Binary-mode DEM
3. 測定結果
4. まとめ

ADC Architecture 10

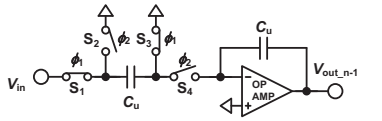
[1]M. Miyahara, CICC 2017



ADC Architecture 11

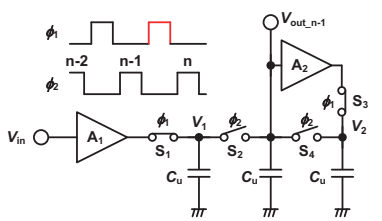


Proposed Open-loop Integrator 12



Phase: ϕ_1
$V_{out} = V_{out_n-1}$

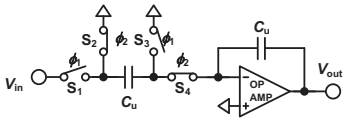
Conventional closed-loop integrator



Phase: ϕ_1
$V_{out} = V_{out_n-1}$
$V_1 = A_1 V_{in}$
$V_2 = A_2 V_{out_n-1}$

Proposed open-loop integrator

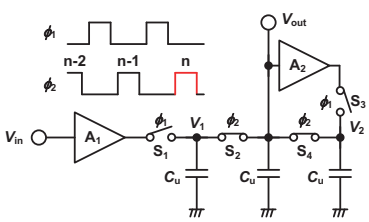
Proposed Open-loop Integrator 13



Phase: ϕ_1
$V_{out} = V_{out_n-1}$

Phase: ϕ_2
$V_{out} = V_{out_n-1} + V_{in}$

Conventional closed-loop integrator



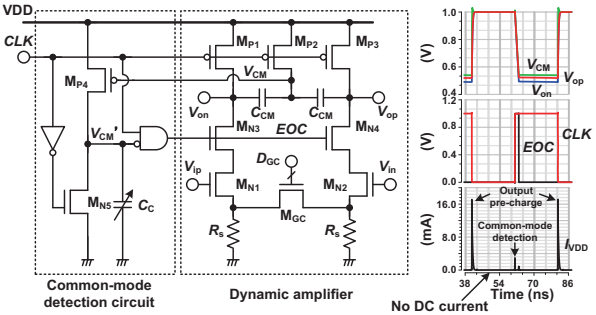
Phase: ϕ_1
$V_{out} = V_{out_n-1}$
$V_1 = A_1 V_{in}$
$V_2 = A_2 V_{out_n-1}$

Phase: ϕ_2
$V_{out} = (V_{out_n-1} + V_1 + V_2)/3$
$A_1=3,\ A_2=2,$
$V_{out} = V_{out_n-1} + V_{in}$

Proposed open-loop integrator

Dynamic Amplifier Design 14

- No DC current
- Gain controllable 1.5x～4.5x, 5bit resolution



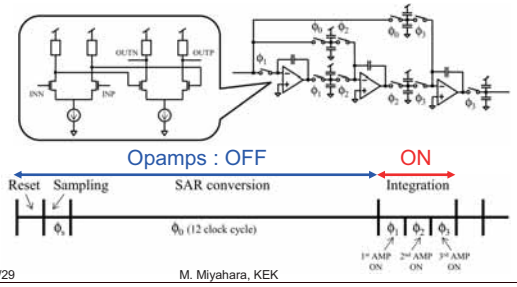
Previous works 15

[2] K. Obata, *et al.*, VLSIC 2016

Switched Opamp [2]

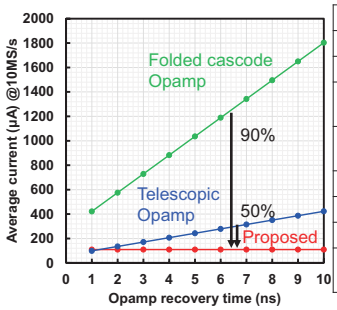
⊗ Overhead of the recovery time

$$\text{Opamp average current} = \frac{\text{Recovery time} + \text{Operating time}}{\text{ADC conversion period}} I_{bias}$$



Open loop vs. Closed loop 16

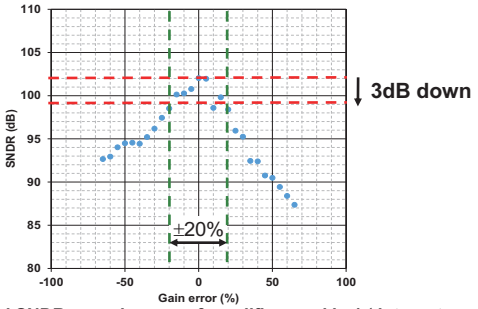
An open loop integrator achieves 50~90% power reduction



	Proposed	Opamp
DC Gain(V/V)	3	100
# of unit	2	1
Integrator Type	Open	Closed
Integrator Output noise	100μV RMS	
Settling error	-	1%
Settling time	1.8ns	
Clock Freq.	150MHz	
Recovery time	None	1 CLK (6.7ns)

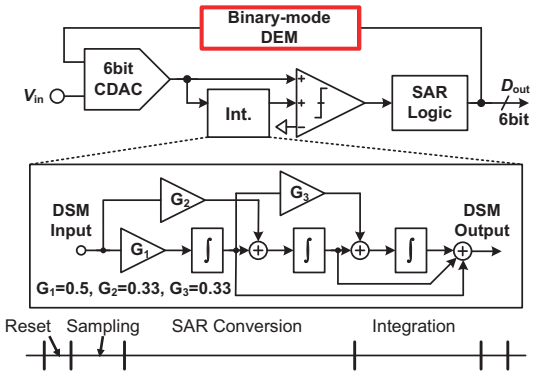
Gain error influence 17

Gain error of ±20% can be accepted (|ΔSNDR| < 3dB)



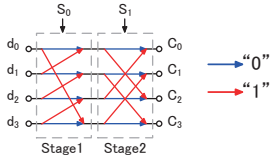
Simulated SNDR vs. gain error of amplifier used in 1st integrator

ADC Architecture 18



Conventional shuffler 19

- Logarithmic shifter

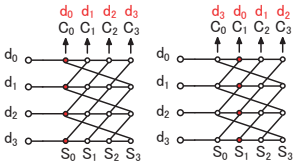


$N_{sw} = 2^{N+1}N$

☺ Small number of switches
☹ Large delay

Ex.) $N = 6$
768 switches, 6 gates delay

- Barrel shifter



$N_{sw} = 2^{2N}$

☺ Small delay
☹ Large number of switches

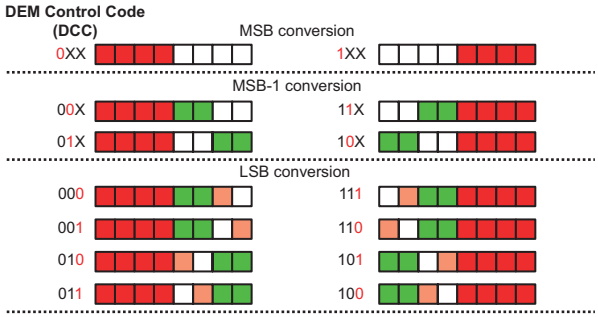
Ex.) $N = 6$
4096 switches, 1 gate delay

N : Number of CDAC bits, N_{sw} : total number of switches

Proposed Binary-mode DEM (B-DEM) 20

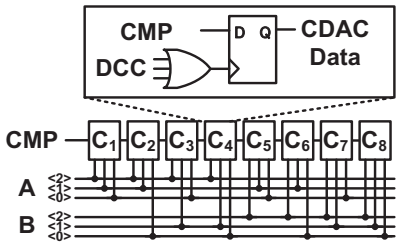
Randomly select left(0) or right(1) unit capacitors each conversion.

3bit example



Circuit implementation 21

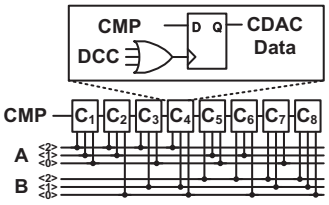
☺ An N-bit CDAC needs only $2N$-bit control codes.
☺ A shuffler logic consists of OR and DFF only.



Ex.) 6bit
64 DFFs
64 OR
Total: 128 gates
Latency: 2gates

(1/4 Gates, 1/3 latency)

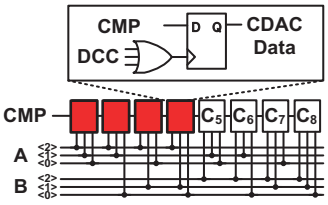
B-DEM control procedure 22



CMP: Comparator output
A<2:0>, B<2:0>:
DEM Control Codes
A: Left side select
B: Right side select

Conv. step	Reset	MSB	MSB-1	LSB
A<2>	0			
A<1>	0			
A<0>	0			
B<2>	0			
B<1>	0			
B<0>	0			

B-DEM control procedure 23

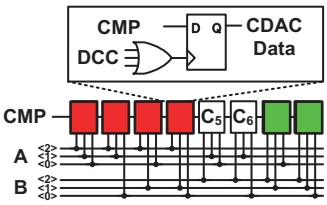


CMP: Comparator output
A<2:0>, B<2:0>:
DEM Control Codes
A: Left side select
B: Right side select

A<2> or B<2> turns high

Conv. step	Reset	MSB	MSB-1	LSB
A<2>	0	1		
A<1>	0	0		
A<0>	0	0		
B<2>	0	0		
B<1>	0	0		
B<0>	0	0		

B-DEM control procedure 24

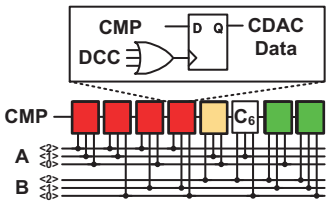


CMP: Comparator output
A<2:0>, B<2:0>:
DEM Control Codes
A: Left side select
B: Right side select

Conv. step	Reset	MSB	MSB-1	LSB
A<2>	0	1	1	
A<1>	0	0	0	
A<0>	0	0	0	
B<2>	0	0	0	
B<1>	0	0	1	
B<0>	0	0	0	

A<1> or B<1> turns high

B-DEM control procedure 25



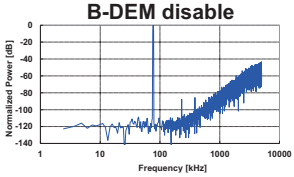
CMP: Comparator output
A<2:0>, B<2:0>:
DEM Control Codes
A: Left side select
B: Right side select

Conv. step	Reset	MSB	MSB-1	LSB
A<2>	0	1	1	1
A<1>	0	0	0	0
A<0>	0	0	0	1
B<2>	0	0	0	0
B<1>	0	0	1	1
B<0>	0	0	0	0

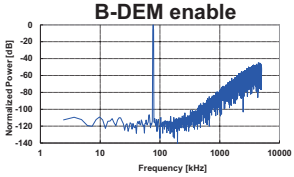
A<0> or B<0> turns high

Effect of proposed B-DEM 26

B-DEM disable



B-DEM enable



OSR=16, Mismatch 0.1%
20 times Monte Carlo Simulation

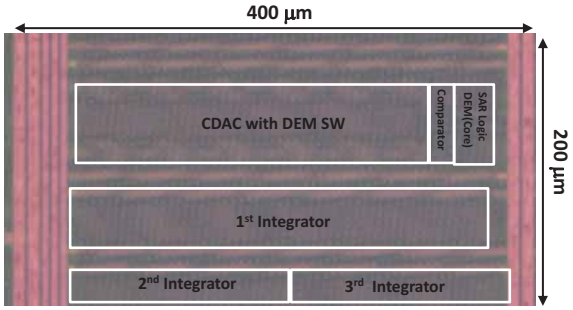
	SFDR (dB)	SNDR (dB)
Disable	88.2	83.0
Enable	103.2	88.5
Improvement	+15.0	+5.5

Outline 27

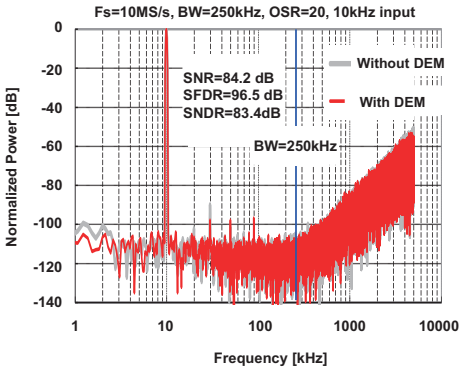
1. 研究背景、目標
2. スケーラブルADCの設計
   - ADCの全体構成
   - オープンループ型積分器
   - ダイナミックアンプ
   - Binary-mode DEM
3. **測定結果**
4. まとめ

Chip photo 28

- 65nm 9M1P CMOS technology
- Chip area of 0.08mm^2

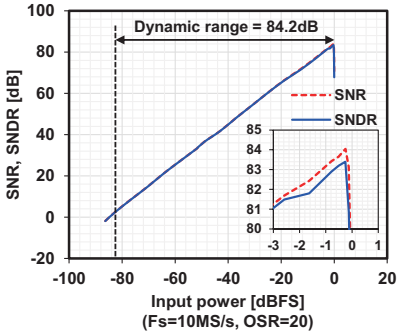


FFT Spectrum 29



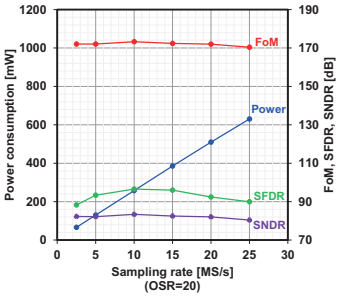
Dynamic range 30

Dynamic range = 84.2 dB



Clock scalability 31

FoMs > 170 dB for different sampling rates of 2.5 - 25 MS/s.



P_c @ 10MS/s
Analog : 60.0µW (23.3%)
Ref : 35.1µW (13.6%)
Digital : 162.7µW (63.1%)

Performance Summary　32

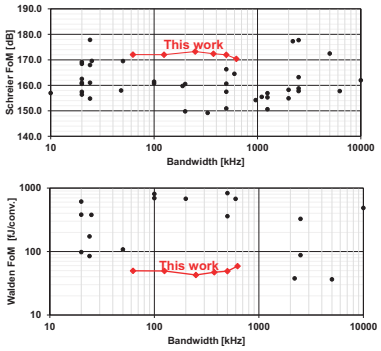
Recent noise shaping SAR ADCs

	This Work			VLSI 2016 [3]		ISSCC 2016 [1]	ISSCC 2014 [2]
Architecture	NS SAR			NS SAR		NS SAR	NS SAR
Process [nm]	65			28		55	65
Active Area [mm^2]	0.08			0.116		0.072	0.18
Supply [V]	1.0			1.55/0.75	1.8/1.1	1.2	0.8
Sampling rate [MS/s]	2.5	10	25	0.1	1.0	1.0	0.128
BW [kHz]	62.5	250	625	2	20	4	16
SFDR [dB]	88.3	96.5	89.9	111.8	108.0	105.1	86.9
SNR [dB]	84.3	84.2	82.2	98.57	94.44	96.8	-
SNDR [dB]	82.3	83.4	80.4	97.99	93.95	96.1	76.1
Power [μW]	66.3	257.8	630.2	37.1	493.1	15.7	1.37
FoM [dB]	172.0	173.3	170.4	175.3	170.0	180.0	176.8

2017/06/29　M. Miyahara, KEK

Performance comparison　33

Compared with the state-of-the-art ADCs over 80 dB SNDR



2017/06/29　M. Miyahara, KEK

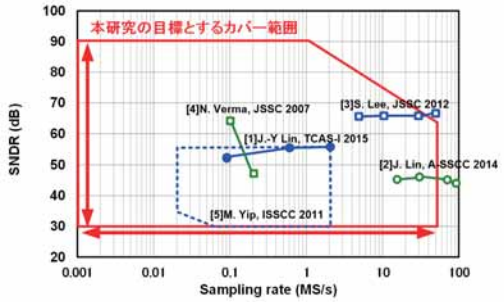
Outline　34

1. 研究背景、目標
2. スケーラブルADCの設計
   - ADCの全体構成
   - オープンループ型積分器
   - ダイナミックアンプ
   - Binary-mode DEM
3. 測定結果
4. まとめ

2017/06/29　M. Miyahara, KEK

性能の最終目標　35

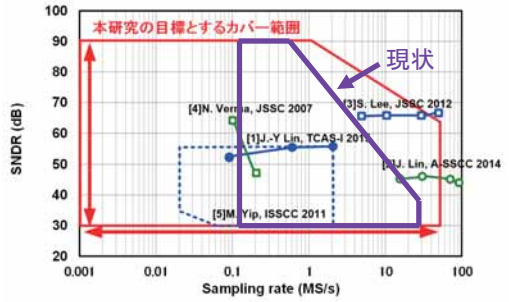
精度:30dB-90dB (10,000倍)
速度:1kS/s-50MS/s (50,000倍)
電力:各性能で世界最高レベルの電力効率を実現



2017/06/29　M. Miyahara, KEK

性能の最終目標　36

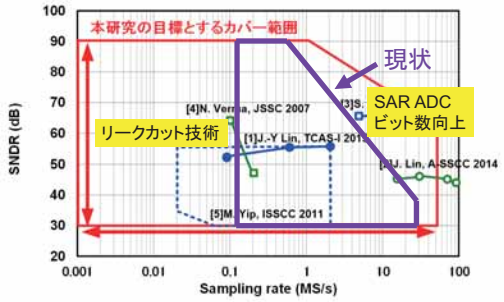
精度:30dB-90dB (10,000倍)
速度:1kS/s-50MS/s (50,000倍)
電力:各性能で世界最高レベルの電力効率を実現



2017/06/29　M. Miyahara, KEK

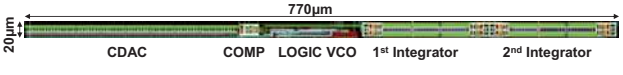
性能の最終目標　37

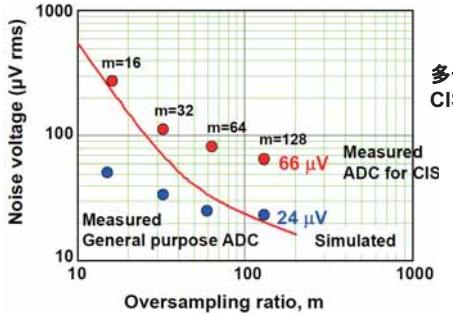
精度:30dB-90dB (10,000倍)
速度:1kS/s-50MS/s (50,000倍)
電力:各性能で世界最高レベルの電力効率を実現



2017/06/29　M. Miyahara, KEK

ピクセル読み出し用ADCへの展開　38





多チャンネル化、
CISとの統合を予定

A. Matsuzawa, M. Miyahara, IISW 2017

2017/06/29　M. Miyahara, KEK

まとめ　39

- オープンループ型積分器を開発
  - ☺ 低利得のダイナミックアンプの使用を可能にし、ゼロ定常電流を達成
  - ☺ オペアンプ型と比較して50~90%の低消費電力化を達成
- Binary-mode DEM
  - ☺ 単純な構造で実現し、ゲート数1/4, レイテンシ1/3
  - ☺ +15dB of SFDR @ OSR=16
- DR = 84 dB, BW = 62.5-625 kHz, FoMs > 170 dB のスケーラブルADCを実現
- 今後の予定
  - ✓ リーク電流カット技術、量子化ビット数向上により性能カバー範囲を2桁以上広げる
  - ✓ CIS含むセンサ読み出し回路への応用

2017/06/29　M. Miyahara, KEK

Acknowledgement

40

This work was partially supported by Mentor Graphics for the use of the Analog Fast SPICE (AFS) Platform, and VDEC in collaboration with Cadence Design Systems, Inc.

2017/06/29 M. Miyahara, KEK

Electronics System Group

CMOSダウンスケーリングとフロントエンドエレクトロニクス設計

KEK-IPNS
岸下　徹一
kisisita@post.kek.jp

2017.06.29-30 SOI研究会@宮崎大学

発表のアウトライン

- CMOSダウンスケーリングのアナログ性能への影響
  - -ノイズ性能・ピーキングタイム・消費電力
  - -放射線耐性とその他のトレードオフ
- KEK e-sysでの最近のASIC開発について
  - -0.35 μm CMOSを用いたピクセルASIC

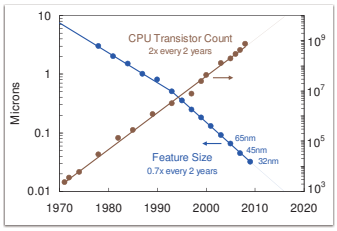
2010-2016 Uni. Bonn
Prof. N. Wermes
universitätbonn

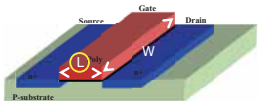
ATLAS @CERN
-new pixel front-end
-monolithic pixel

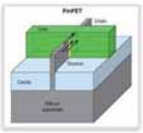
Belle II @KEK
DEPFET readout ASIC

2

CMOSスケーリング則







More Moore (CMOS towards 10 nm frontier) / More than Moore (TSV, 3DIC)

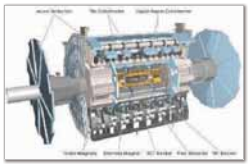
物理実験用フロントエンド開発では、サブミクロン(0.35 μm)~ウルトラディープサブミクロン(65 nm), HV-CMOS, SOIなど多様なCMOSプロセスが利用可能

いかにテクノロジーを選択し、使いこなすか?

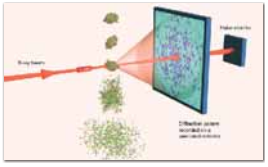
3

Pixel用フロントエンド(Tracker/Imager)

ATLAS　~ 100 000 000 read-out channels
~ 1 000 000 000 collisions/sec



XFEL　angular resolution 7 mad to 4 urad
pixel size from 700 um to 16 um



FETサイズを小さくすればスピード/高密度/消費電力の"デジタル"パフォーマンスは改善

超微細プロセス(65 nm etc.)はコンパクトで小ピクセルサイズのpixel読み出しに最適(silicon vertex tracker/high resolution imagers)

一方、アナログアプリケーションではノイズ・ゲイン・放射線耐性が大切

→CMOSのダウンスケーリングがアナログ性能にどのように影響するかを考察する

4

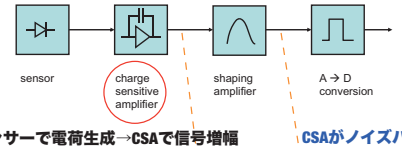
ノイズ性能・ピーキングタイムへの影響

5

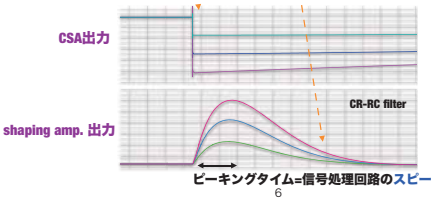
放射線計測器における信号処理

パフォーマンスを検討するにあたり、"一般的な"回路構成を仮定する

H. Krüger



センサーで電荷生成→CSAで信号増幅　**CSAがノイズパフォーマンスのカギ**

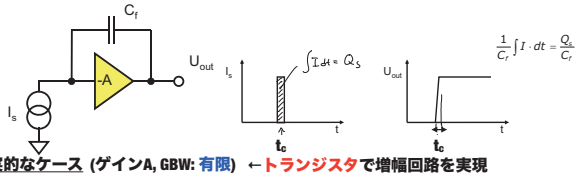


ピーキングタイム=信号処理回路のスピード (+ADC sampling time)

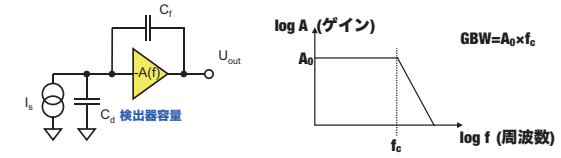
6

電荷有感型増幅器(CSA)

理想的なケース (ゲインA, GBW: 無限)



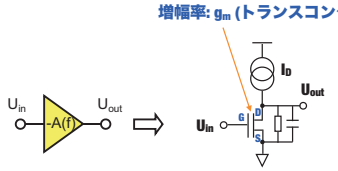
現実的なケース (ゲインA, GBW: 有限)　**←トランジスタで増幅回路を実現**



7

トランジスタを用いたCSA

トランジスタ="電圧→電流" 型の増幅
増幅率: g_m (トランスコンダクタンス)



(noise, peaking time, power etc.)

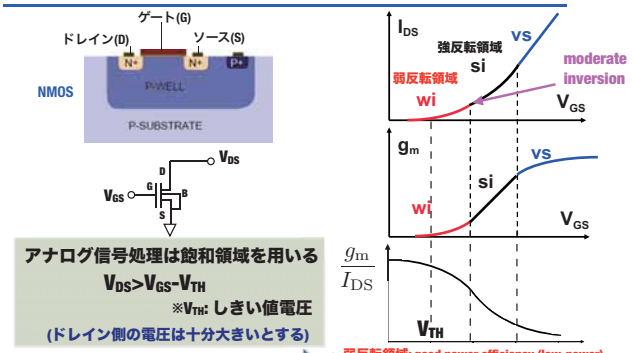
CSAにおける入力トランジスタの特性がノイズ性能を決める

(g_m, バイアス電流I_D, サイズW/L etc.)

そこでまずトランジスタの動作モードについて考えてみたい

8

トランジスタの動作領域



アナログ信号処理は飽和領域を用いる
$V_{DS}>V_{GS}-V_{TH}$
※V_{TH}: しきい値電圧
(ドレイン側の電圧は十分大きいとする)

applicationによる

- 弱反転領域: good power efficiency (low-power)
- 強反転領域: good g_m (low-noise)
- moderate inversion: good balance

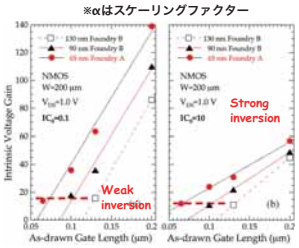
9

イントリンシックゲイン

シングルトランジスタ増幅回路のゲイン

$$g_m \cdot r_{DS} \propto \alpha L$$ →スケーリングによらず一定!

※αはスケーリングファクター



M. Manghisoni, et al. "Assessment of a Low-Power 65 nm CMOS process for analog front-end design", IEEE Trans. Nucl. Sci., vol. 61, no. 1, February 2014, pp. 553-560.

反転係数 (moderate inversion=1)

$$I_F = \frac{I_D}{2n\mu C_{ox}\frac{W}{L}\left(\frac{kT}{q}\right)^2}$$

W一定で
ダウンスケーリングで動作領域を同じにするためにはIdを増やす必要がある(or Lを大きくする/Area is Money)

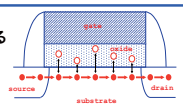
一般的にアナログ回路はデジタル回路と比較してダウンスケーリングの恩恵を受けにくい(1/fノイズ、threshold dispersion etc.)と言われる

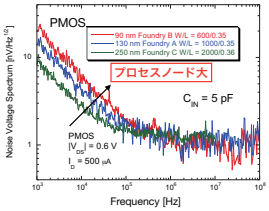
10

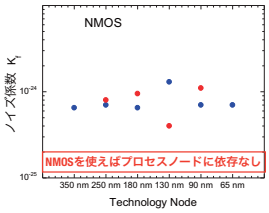
本当にそうだろうか？

プロセス依存の1/fノイズ

ゲートの界面でキャリアがトラップされることで生じる







超微細プロセスを使う場合

0.35 μmなどではPMOSの方がNMOSよりも1/fが小さいとされてきたが、
超微細プロセスでは逆の傾向→NMOSを入力FETとする方がspeed/g_mの点で良い

11

最小ノイズとピーキングタイム

実際のノイズは1/f以外にも

- 検出器の漏れ電流(I_L)によるショット雑音
- 抵抗による熱雑音(フィードバック回路やセンサーバイアス部分)
- 検出器容量(C_D)とカップルしている成分(1/fノイズやg_mに依存する項)

⊗

信号処理回路全体の伝達関数(周波数特性)

※ ideal CR-RC filter, capacitance matching, certain noise condition, moderate inv.を仮定

達成可能な最小ノイズ

$$ENC = \frac{e}{q}\sqrt{(C_D+C_G)\sqrt{\frac{2kT}{3g_m}qI_L}+\frac{(C_D+C_G)^2}{2}\cdot\bar{K}_f},$$

peaking time (CR-RCの出力)

$$T_M = C_D\sqrt{\frac{2kT}{3g_m}\cdot\frac{1}{qI_L}}.$$

CSAの入力トランジスタと検出器パラメータのみで決まる

CMOSダウンスケーリングはどのように影響してくるか

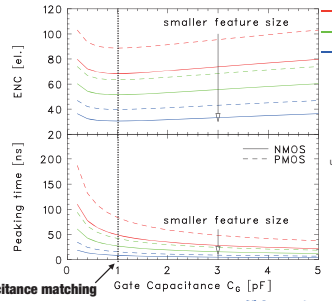
12

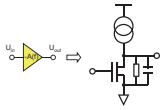
ノイズ/ピーキングタイム vs. ゲート容量

ある検出器容量C_D=1 pF, I_L=1 nAを仮定した場合、

$$C_G = \frac{2}{3}WLC_{ox}$$

ゲート容量C_G
||
トランジスタのサイズ×プロセス依存のC_{ox}





capacitance matching

以上は非常に単純な条件下での理論カーブだが…

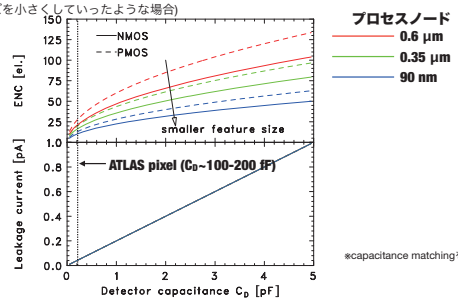
CMOSのダウンスケーリングがノイズ・スピード面で有利になるのがわかる

13

ノイズ特性 vs. 検出器容量

ちょっと脱線して、デザイナーの観点からノイズ特性を考えてみる

検出器容量と漏れ電流の関係をI_D / C_D=0.2 [pA / fF]と仮定する
(例えばpixelのサイズを小さくしていったような場合)



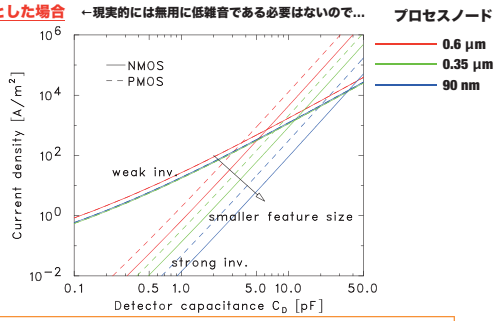
※capacitance matchingを仮定

検出器の特性(C_D, I_{leak} etc.)と要求性能が決まれば、プロセスとトランジスタのパラメータが決まる

14

消費電流 vs. 検出器容量

ノイズを100 e⁻とした場合　←現実的には無用に低雑音である必要はないので…



弱反転領域
$g_m \propto I_d$
強反転領域
$g_m \propto \sqrt{I_d}$

従来weak inv.がlow-powerでは良いとされてきたが、検出器容量が小さくなるとstrong inv.の方がcurrent densityで有利になることがわかる

15

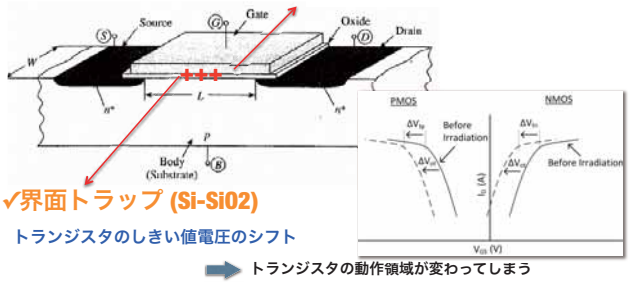
(面積とのトレードオフ)

放射線耐性への影響とその他のトレードオフ

16

正電荷の蓄積

✓ゲート酸化膜への電荷蓄積



✓界面トラップ (Si-SiO2)

トランジスタのしきい値電圧のシフト

➡ トランジスタの動作領域が変わってしまう

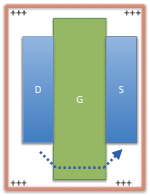
ディープサブミクロンプロセスでは、ゲート長のダウンスケールに伴い、ゲート酸化膜(t_{ox}<10 nm)も薄くなるため、高放射線環境にとって有利になる

17

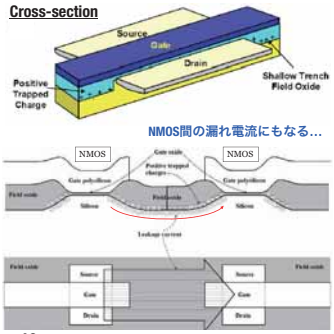
漏れ電流

✓STI (Shallow Trench Isolation)

Top view of MOSFET



Cross-section



NMOS間の漏れ電流にもなる…

漏れ電流の増加

トランジスタに設計通りに電流が流れない

←動作領域が変わってしまう

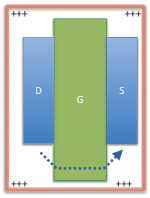
(スケーリングによらない)

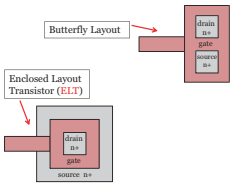
18

レイアウトによる漏れ電流の改善策

✓STI (Shallow Trench Isolation)

Top view of MOSFET





漏れ電流の増加

トランジスタに設計通りに電流が流れない

←動作領域が変わってしまう

(スケーリングによらない)

ELT(Enclosed Layout Transistor)を用いることで改善

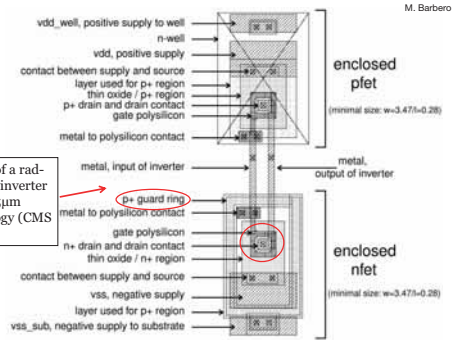
ジオメトリに制限がある

ゲート長さの小さいFETは無理

19

Rad-hardなデザイン例: inverter

M. Barbero



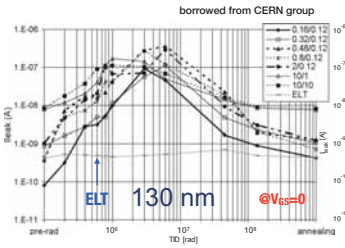
Layout of a rad-tolerant inverter in a 0.25μm technology (CMS pixel)

"standard" inverter

20

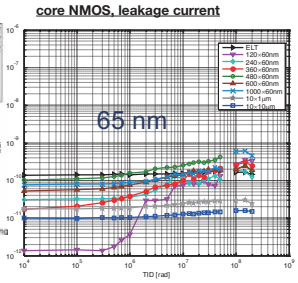
TIDとトランジスタの漏れ電流

borrowed from CERN group



F.Faccio et al., "Radiation-induced edge effects in deep submicron CMOS transistors", IEEE Tr. Nucl. Sci. 2005

core NMOS, leakage current



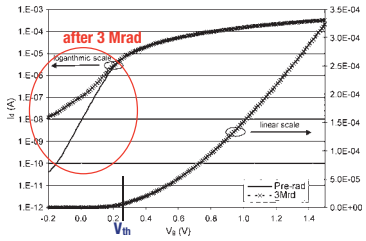
✓a rebound effect is visible in 130 nm
✓all 130 nm devices are peaking at ~100 nA
✓small W devices increase I_{leak} by 2 orders of magnitude
✓I_{leak} is ~1 nA@136 Mrad

lower V_{th} shift than 130 nm (core FET)

- 65 nm CMOSでは100 Mrad程度ならば問題にならない
- ELTをアナログの要所で用いる

21

トランジスタのIVカーブ測定



130 nm CMOS

Fig. 2. I_d curve in logarithmic (left) and linear (right) scale for a 10/10 μm NMOS transistor before and after 3 Mrd (V_d = 1.5 V), showing the radiation-induced leakage current between source and drain.

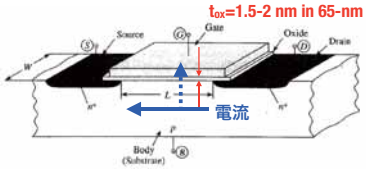
放射線耐性の面からは強反転領域で回路をデザインした方が良い

22

"ゲート"漏れ電流(トレードオフ)

ゲート酸化膜が薄いためトンネル効果で電流が漏れ出る(界面トラップは少なくなるが…)

t_{ox}=1.5-2 nm in 65-nm process



例えば65-nmプロセスでは、I_{gate_leak}=350 pA @ 1×1 μm² transistor　←130-nmプロセスより2桁大

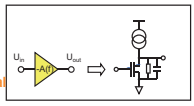
pixel sensorの漏れ電流　I_{sensor_leak}=10 pA

大面積のチップでは1 A/cm²にもなる

ゲート漏れ電流が支配的なノイズ源となってくる

static powerがdynamic powerに近づく

→high-κ material / nitridation

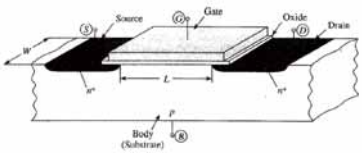


23

電源電圧(トレードオフ)

ゲート酸化膜が薄いため、ゲート電圧が低くなる(低消費電力では有利だが…)

(例えば0.35-μmプロセスでは3.3 V、 65-nmプロセスでは1.2 V)



CSAのゲイン: $A_0 = g_m \times r_0$

g_m: 初段FETのトランスコンダクタンス

r_0: CSAの出力インピーダンス

←例えばr_0を大きくするカスコードの段数が減る

(一般的にアナログはプロセスマイグレーションが困難)

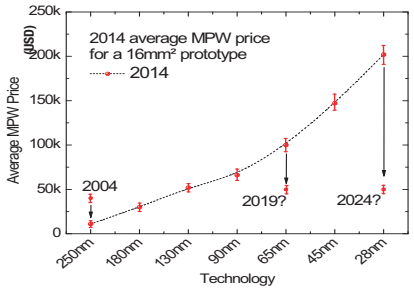
超微細プロセスではよりシンプルな回路構成が望まれる

24

試作費用(トレードオフ)

小面積、高コスト、デザインルールの増加

Geronimo



単純にテクノロジーノードが小さければ良いという話でもない

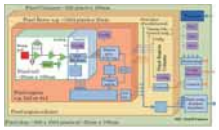
Europractice

25

まとめ

- 一般的に65 nmなどの超微細プロセスは、アナログデザインに恩恵が少ないと言われてきた。しかしCMOSプロセスのダウンスケーリングはコストを除けば、高放射線耐性を含めパフォーマンス全般の向上に有利である

シンプルな回路方式・アナログミニマムの方向性
65 nm CMOSを用いたピクセルASICの開発@CERN
(95 %デジタル、Charge digitization, ~256 k pix/chip)



- コストが問題になる場合は、センサーの特性をあらかじめ評価した上で、実験の要求性能からプロセスやトランジスタサイズを決めるのが効率的な開発になると考える

26

KEK E-sysでの最近のASIC開発について

27

ASICの概要

- 12x12のアレー状に構成されたピクセルセンサーの読み出し回路
- 製造プロセスはTSMC社の0.35 um　アナログ・デジタル混載型集積回路プロセス
- チップサイズは5 mm x 5 mm、ピクセルピッチは270 um x 270 um
- ピクセルに対応してセンサーとの接続用の50 um x 50 umのボンディングパッドがある。
- 電源電圧は3.3 Vで使用するトランジスタは、nch, pchのみ、抵抗はポリ抵抗、容量はPIPを使用
- ボンディングパッドには、容量低減を目的としてフローティングのN+打ち込み層を使用

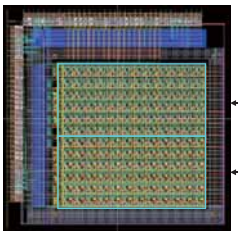
以前のチップの性能

TABLE I
SUMMARY OF THE CHIP PROPERTIES

Chip size	5 mm × 5 mm
Pixel size	270 μm × 270 μm
Number of pixels	144 (12 × 12)
Gain	150 mV fC^{-1} (high gain mode) 80 mV fC^{-1} (low gain mode)
Peaking time	8 μs (normal mode)
Noise	77 ± 11 e$^-$ (normal mode) 241 ± 18 e$^-$ (slow-rate limited mode)
Power supply	± 1.65 V
Power consumption	200 μW pixel^{-1} (normal mode) 175 μW pixel^{-1} (slow-rate limited mode)

IEEE TNS 58, 1370

ASICのレイアウト



放射線耐性用にELTとH-shape FETを使用 (12 x 6)

通常のFETを使用 (12 x 6)

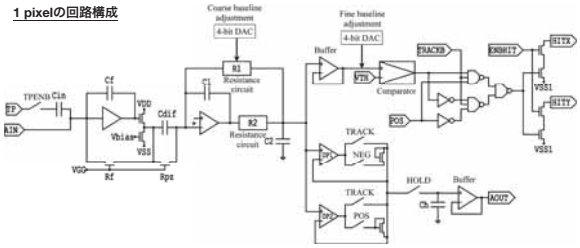
2017.05.10サブミット

28

アナログ信号処理回路

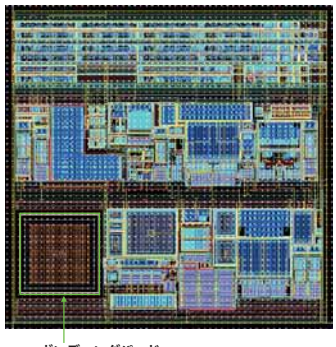
- 回路は電荷有感型増幅器、CR-RC波形整形回路、コンパレータとピークホールド回路(PH)で構成
- 両極性の入力電荷に対応

1 pixelの回路構成



29

1 pixelのレイアウト



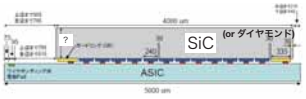
270 um

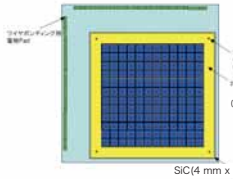
ボンディングパッド

30

センサーとの接合構造

- プロセスで使用するTopメタルの材質がAlCuのため通常のハンダボールではなく、Auバンプを検討
- センサーは、ダイヤモンド、SiC、CdTe、Siピクセル検出器を想定





ガードリング？

(ここら辺はCdTe pixelの時の議論です)

SiC(4 mm x 4 mm程度がベスト)

CdTeとの接合イメージ

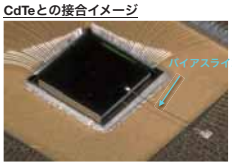
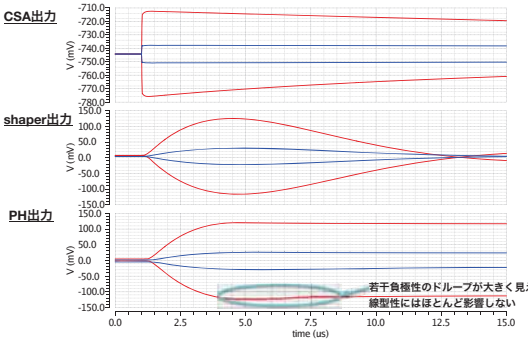


Fig. 10. A photograph of the 144-channel CdTe pixel hybrid. The CdTe sensor has dimensions of 4 μc 4 mm^2 and a thickness of 0.5 mm.

31

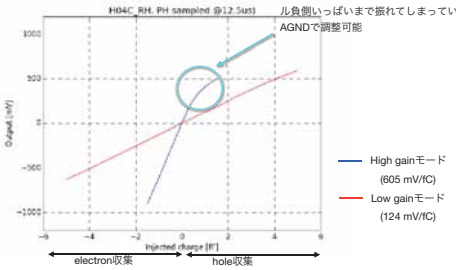
SPICEシミュレーション波形



32

ダイナミックレンジ

CSA部のフォードバック容量を小さくして
ゲインを大きくしたため、CSA出力がレベ
ル負側いっぱいまで振れてしまっている
AGNDで調整可能



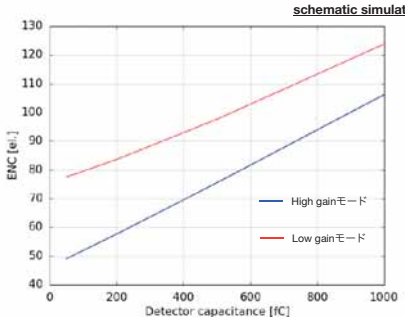
	ε 値
ダイヤモンド	13.3 eV
シリコン	3.61 eV
SiC	7–8 eV
CdTe	4.43 eV

※CdTeで100 keV photonが3.62 fCに相当
ダイヤモンドで1 MIP in 100 um thickが0.57 fCに相当

33

ノイズ性能

schematic simulation



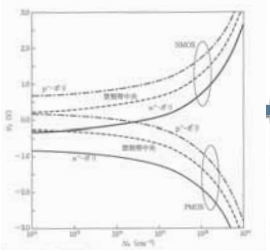
寄生容量の影響で実際は、1.5倍程度のノイズの増加が予想されるが、
0.35 μm CMOSのVA1などは20 Mrad程度までノイズの増加は見られない

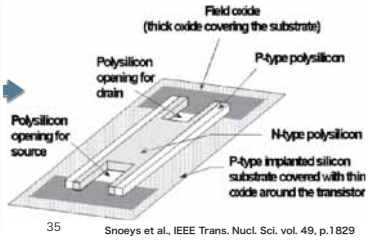
34

H-shapeトランジスタ

通常はFOX部が放射線によって正電荷が蓄積するため、その部分が
漏れ電流経路となる(常にONの寄生トランジスタ)

FETの閾値電圧が、ポリシリコンのタイプ(n型 or p型)によって1 V程度変わる
その差を利用して寄生トランジスタの閾値をあげるのが目的





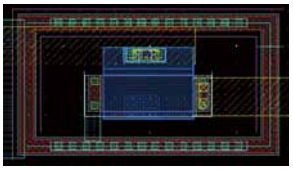
35

Snoeys et al., IEEE Trans. Nucl. Sci. vol. 49, p.1829

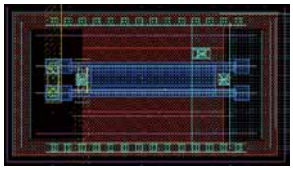
トランジスタのレイアウト例

性能比較のため通常のnchとH-shapeのnchを含む

通常のnch



H-shape nch



どちらもW=2.1 μm, L=5.2 μmだが、ゲート構造の違いからジオメトリが異なる
H-shape FETがnormal FETとの性能の違い、放射線耐性などを試験することで将来的に
より微細なプロセス(65 nmなど)に応用できる

以上です。

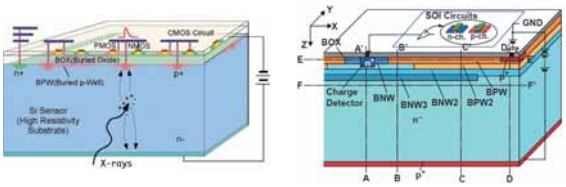
36

高感度ピクセル量子ディテクタ BPSPIXの試作と評価

川人祥二、亀濱博紀、Sumeet Shrestha、中西駿太、香川景一郎、安富啓太、寺西信一（静岡大学）
武田彩希(宮崎大学)
鶴剛（京都大学大学院理学研究科）
新井康夫, 倉知郁生（高エネルギー加速器研究機構）

No.17: 2017年6月29日(木)

BPSPIX(Backgate-Pinning SOI Pixel)による SOI Pixelの性能向上

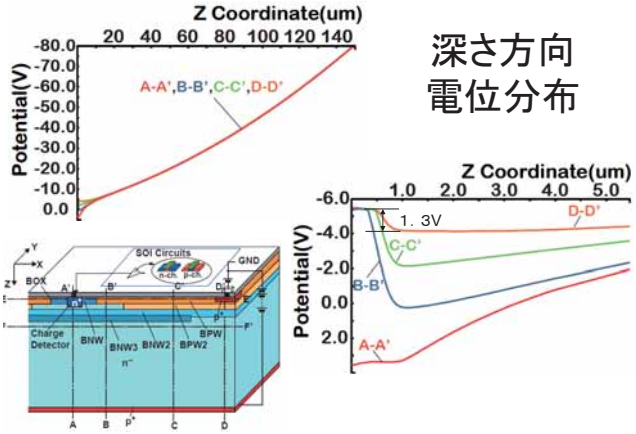


(従来構造)
- BPWによる電荷(hole)検出
  - 電荷収集に課題
  - BPW大面積化によりディテクタ容量：大 (低ノイズ化が困難)
  - BPWとSOI回路との容量結合 (回路の不安定動作)
- BOX界面の大部分が空乏化 (R-G電流による暗電流, トラップによるキャリアの捕獲（電荷収集の問題）

(BPSPIX)
- BOX下のほぼ全面に高濃度BPWを形成し, 中性化, 微小電荷(e-)検出部(n+), 水平方向へのドリフト電界を形成
  - 電荷収集効率をほぼ100%に
  - ディテクタ容量を微小に（低ノイズ化）
  - SOI回路とディテクタを静電シールド (SOI回路の安定動作)
  - 暗電流低減(R-G電流減), トラップによるキャリア捕獲を抑制(高電荷収集効率)

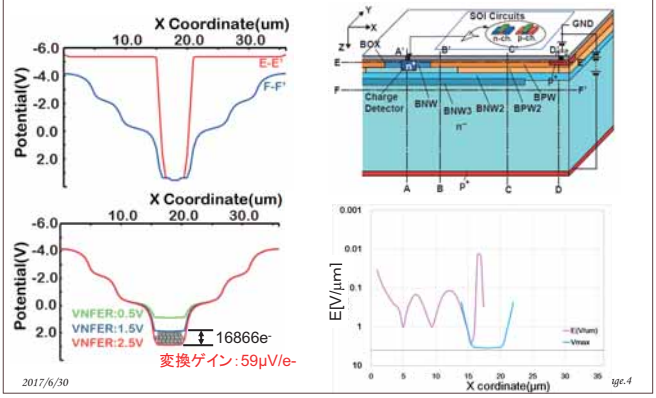
2

深さ方向 電位分布



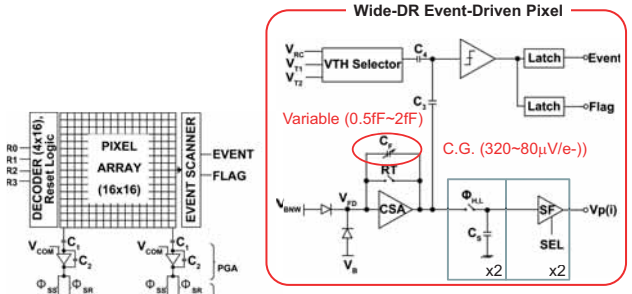
2017/6/30 Page.3

水平方向ポテンシャル



2017/6/30 Page.4

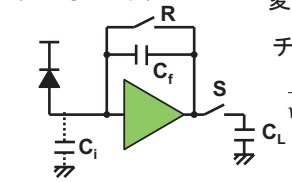
低ノイズ広ダイナミックレンジ・イベント駆動画素



- X線フォトンのエネルギーに対して, アダプティブに変換ゲインを変更
- ピクセル内CDSをなくし, 周辺回路でCDS
- カラムPGA(Programmable Gain Amp.)を設け, ノイズ低減

Charge Amp.のノイズ

(Charge Amp.)



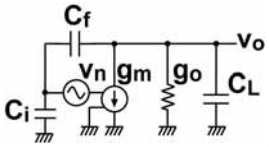
変換利得: $C.G. = \frac{q}{C_f}$

チャージアンプのノイズ（CDS後）:

$$\overline{v_o^2} \cong 2\frac{k_B T}{C_L}\xi\left(1+\frac{C_i}{C_f}\right)$$ （熱雑音）

$$+2N_f\left(1+\frac{C_i}{C_f}\right)^2(\varepsilon+\ln\omega_{cA}T_{CDS})$$ （1/f雑音）

(等価回路)

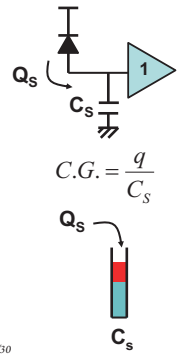


$$C_i = C_{DET} + C_{IN,AMP}$$

ディテクタの静電容量C_{DET}, アンプの入力容量$C_{IN,AMP}$を低減することが重要.

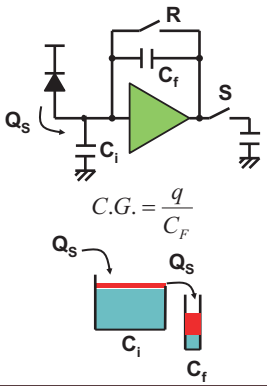
チャージアンプの低ノイズ化

ディテクタも含めて低容量電荷検出部ができれば, 高感度・低ノイズ



$$C.G. = \frac{q}{C_S}$$

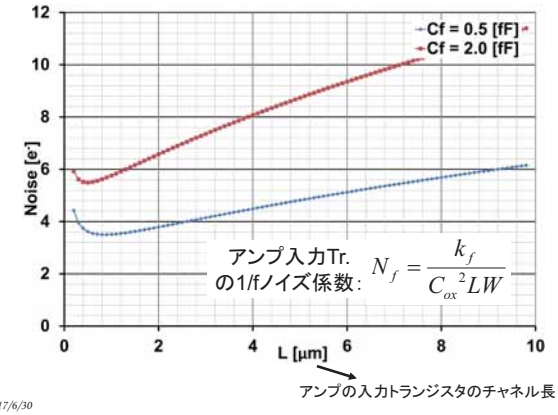
ディテクタ, 入力部の容量が大きい場合のチャージアンプ



$$C.G. = \frac{q}{C_F}$$

2017/6/30 Page.7

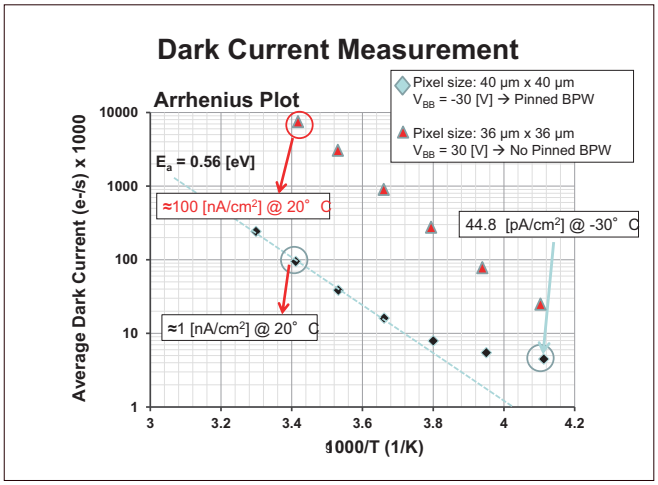
チャージアンプのノイズ最小化(C_{DET}=4fF)



アンプ入力Tr.の1/fノイズ係数: $N_f = \frac{k_f}{C_{ox}^2 LW}$

アンプの入力トランジスタのチャネル長

2017/6/30 Page.8



読み出しノイズGain=1@-35℃ (電子数換算)

	COL 1	COL 2	COL 3	COL 4	COL 5	COL 6	COL 7	COL 8
ROW 1		10.93	10.21	10.51	9.24	9.72	10.78	10.39
ROW 2		11.66	9.44	9.98	10.75	10.48	9.79	9.68
ROW 3		9.83	10.36	9.82	9.83	10.24	10.8	10.61
ROW 4		10.5	10.28	10.07	10.96	10.43	9.67	11.7
ROW 5		11.2	9.39	11.11	9.45	10.36	10.69	10.34
ROW 6		11.09	9.67	10.18	11.3	12.01	10.39	10.32
ROW 7		10.3	10.11	9.7	10.29	10.12	10.16	10.06
ROW 8		9.84	10.31	11.04	10.72	10.98	11.33	10.49

1カラム目はタイミングの都合上考慮しない。

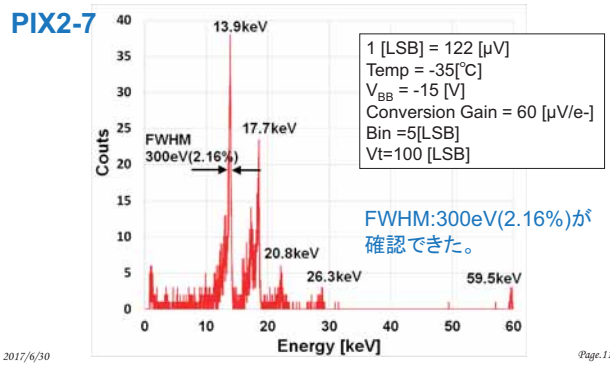
キャプチャ数：1000枚
蓄積時間：1msec
V_{BACK}:−15V
V_{BPW}:−2V

読み出しノイズ(最小)は 9.24e⁻
全画素平均は10.39e⁻

左図に示す9ピクセルに絞り、Am−241のシングルピクセルイベントの測定を行った。
暗電流ショットノイズは，約1.3電子

2017/6/30 Page.10

STEG16V1のAm-241スペクトルデータ(横軸Energy)@Vt=100LSB



2017/6/30 Page.11

まとめ

- BPSPIXの技術がほぼ完成した.
  - BPW Pinning層
  - 水平方向ドリフト電界
  - 微小電荷検出ノード
  - BPWからのホール注入回避
    - → 低暗電流 (SOI Tr.のリークの問題は解決する必要)
    - → 高電荷収集効率
    - → 低ノイズ（現状：10電子）
      (ディテクタ部のルール（構造）見直しでさらに低ノイズ化可能

2017/6/30 Page.12

新学術領域研究会@宮崎大学 2017.06.29-30

新規3次元積層プロセスに向けたSOI設計環境の構築とリリース

池辺将之（北大） 倉知郁生 新井康夫（KEK）
元吉真（T-Micro） 葛西大樹（Lapis）

2017.06.29

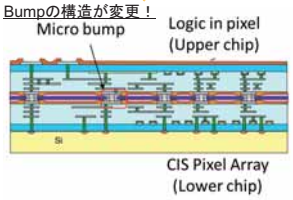
内容

- 3D積層チップ設計および環境整備
  - Virtuoso用設計サポート
  - Design rule check(DRC)
  - Logic vs schematic(LVS)
  - Dummy生成
- まとめ

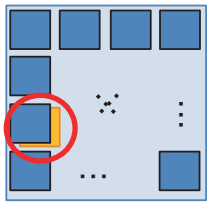
3D積層チップ環境整備

手配線のレイアウトでは、
3次元積層時のレイアウト検証が困難。

Bumpの構造が変更！



積層時のズレ



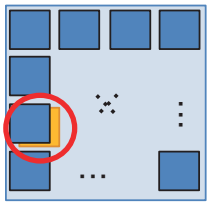
目視で確認することは不可能

3D積層チップ環境整備

手配線のレイアウトでは、
3次元積層時のレイアウト検証が困難。

リリース済み環境
・Virtuoso LayoutでのVIAサポート
・Calibre
LVS1（積層チップ群の検証）
LVS2（Bumpポート接続の検証）
DRC（Bumpポートのデザイン検証）
DRC_Dummy：Dummy（ダミー生成）

積層時のズレ



目視で確認することは不可能

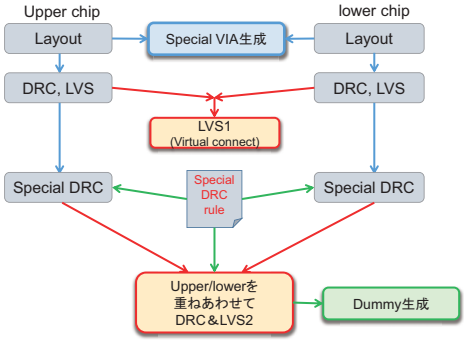
3D積層検証ルールファイル群

- DRC
  - 3d_kek_DRC_ike.rule （ポート接続、バンプデザイン）
  - ubump_dummy_fill_lv2.rul, lbump_dummy_fill_lv2.rul （ダミー生成）
- LVS
  - 3d_kek_LVS_ike.rule （通常チェック用）
  - 3d_kek_LVS2_ike.rule （ポート接続チェック用）
  - caribre_lvs_options.rul
- Technology file
  - 020soi_kek.tech（LAPIS提供3D専用Tech）
- Layermap file
  - PC_020umSOI_KEK.layermap（LAPIS提供）
- display.drf, 3D_Align_Mark

3D積層検証Tutorialファイル群

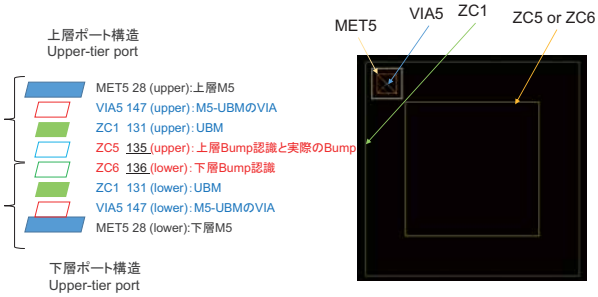
- DRC, LVS
  - 3D_rules_tutorial_v3.pdf
    例を用いたVirtuoso設定、Caribre設定
- Dummy
  - 3D_dummy_tutorial_v2.pdf
    例を用いたCaribre設定

3D積層検証Framework



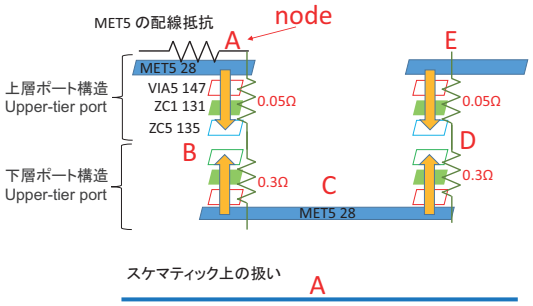
全ての検証を、Virtuoso、Calibre DRC/LVS上で行う

3次元積層レイヤー追加（重要）



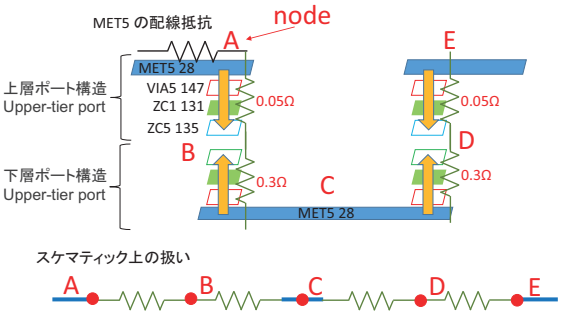
Layer 番号は、PC_020umSOI_KEK.layermapに準拠

uBump個別認識とノード(1)



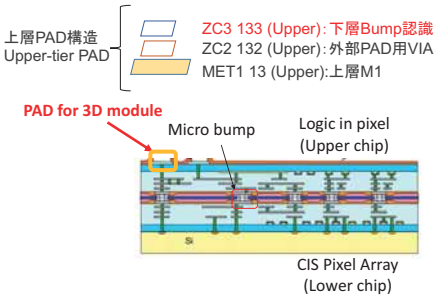
仮想抵抗として扱わない場合，スケマティック上では同一ノードの扱いになり，
B点，D点のバンプを個別に判別することができなくなります。

uBump個別認識とノード(2)



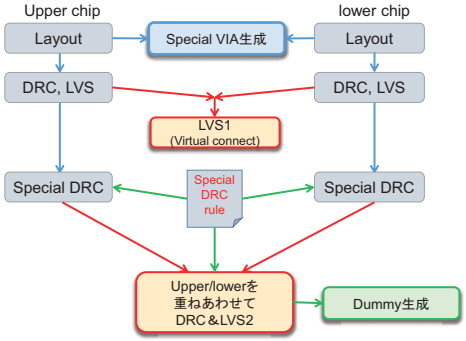
仮想抵抗として扱った場合，スケマティック上では別ノードの扱いになり，
B点，D点のバンプを個別なネット情報として判別できます。

積層用PADへの対応(重要！)



外部に接続するためには，Bonding用の特殊PADが必要です。
必ず，上記PADを記述してください。最終PAD用LVSはZC3でラベル定義

3D積層検証Framework(再掲)

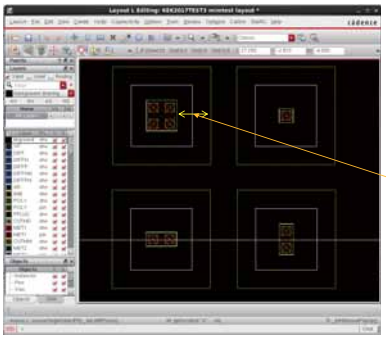


全ての検証を、Virtuoso、Calibre DRC/LVS上で行う

本Techファイルを使用したLibralyでは

- VIAコマンド"o"で3D_VIA ,uBumpを打てます。
  - UBMM5 （M5/ VIA5/ UBM）
    - M5からの上層に必須
  - M1BNDPAD （M1/ VIA0/ 3D_PAD）
    - 3D積層用のモジュールBond PADに必須
  - UPUBM （UBM/ ZC5）
    - Upper Tier のuBump本体
  - LOUBM （UBM/ ZC6）
    - Lower Tier のuBump識別用
- display.drfで正しいLayer表示となります。

実例)Techファイルを用いたバンプ生成

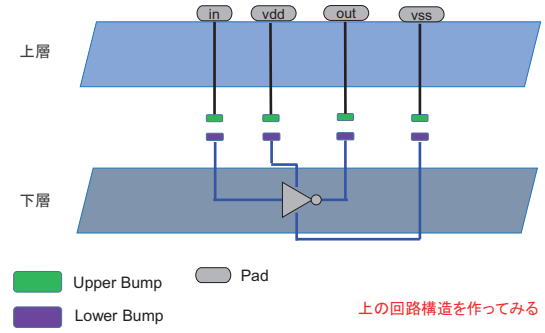


許される構造は、左図の
4つのみです。
VIA5は端に置けません！！
中心のみです。Stacked VIA
による生成を推奨します。
(VIA5が自動で中心配置)

この間隔が最小です。
(ルール指定による)

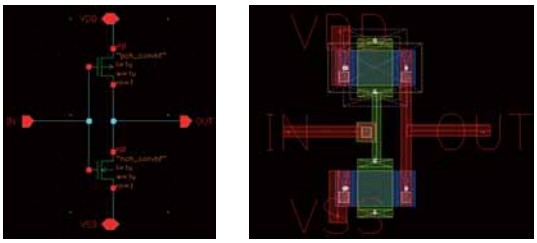
実例)3D積層のイメージ

例。下のようなインバータ



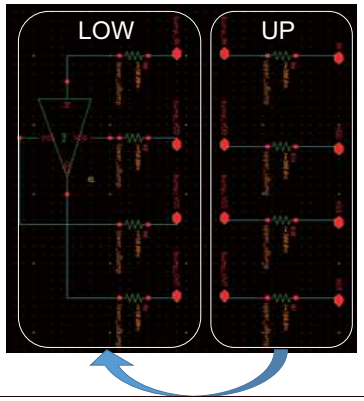
上の回路構造を作ってみる

実例)INV回路を用意する



検証に使う回路(ここではインバーター)を用意する。

実例）schematic



Bumpは

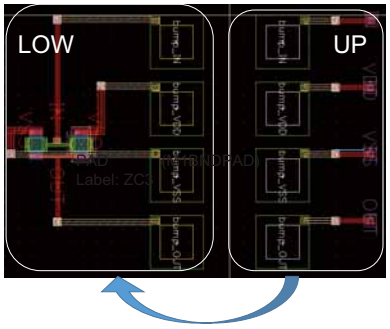
PC_020umSOI_KEK
|
etc
|
res_lbump & res_ubump

また、lbumpは0.05Ω
ubumpは0.3Ω

として設定する。

各ノードにBumpをつける

実例）layout



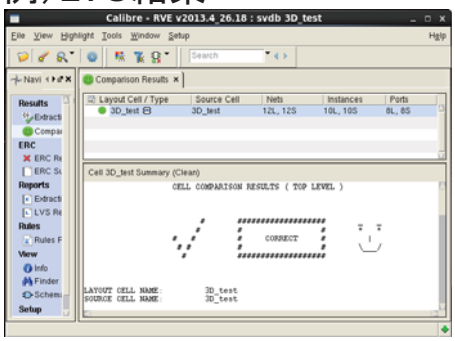
PAD (M1BNDPAD)
Label: ZC3

Up_Bump
(UPUBM)
Label: ZC5

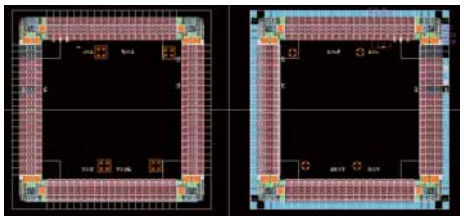
Low_Bump
(LOUBM)
Label: ZC6

INV 回路

実例）LVS結果



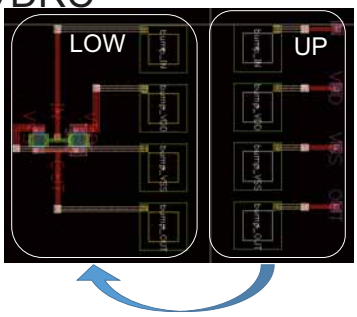
実際のチップデザインでは



この状態で3D_LVS:

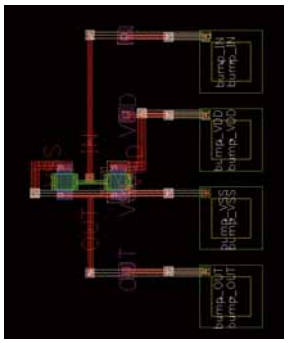
Bumpの鏡反転位置に注意

実例）DRC

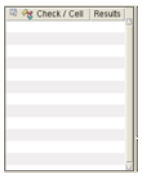


上層、下層を重ね合わせるので、Upを反転させる

実例）DRC

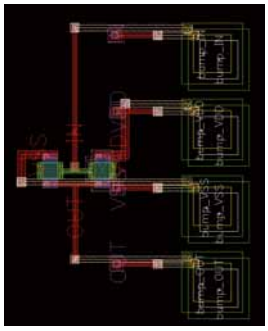


①bumpが重なっている場合



エラーなし

実例）DRC



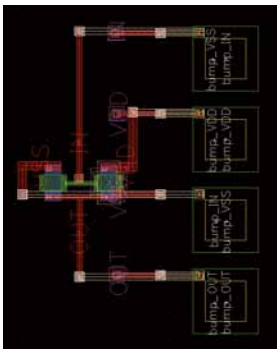
①bumpが重なってない場合

エラー

実例）DRC

- 配布DRCは、
  - ZC5,ZC6の重なり（ポート接続）
  - VIA5/UBM側面の間隔チェック
  - VIA5とPVのチェック
    （倉知先生のご指摘より）

実例）LVS2

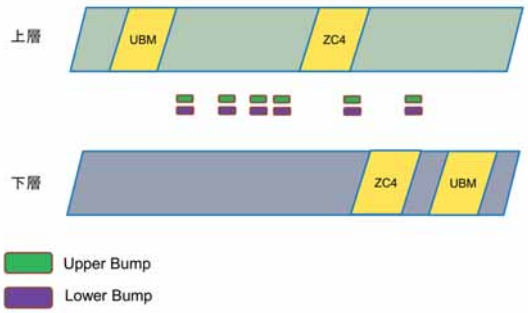


bumpが重なっているが,名前が異なる場合

WarningsにShort circuitが出る

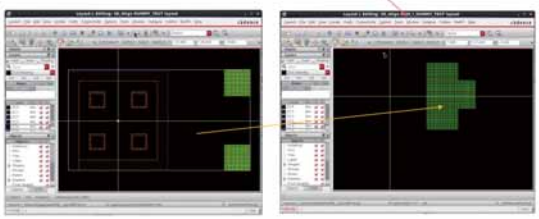
ダミー生成Framework

Dummy uBumpは、Upper/Lower chipのUBM,ZC4を避けて規則配置されます
ZC4は、ダミー禁止レイヤーとなります。



実例）ダミー生成

例Cellview:Layout "DUMMY_TEST" にDUM_UNITを配置し、生成したGDSは、
接頭辞DUM_I_"付きの"DUM_I_DUM_test"というDummy lower専用のセルとなります。



ZC4、UBMを避けた状態のDummy uBump（UBM 8um×8um, Pitch:10um）が生成される。

まとめ検証の流れ

① 上層,下層それぞれ一般のDRC,3D_LVSを通す

↓

② 上層,下層をひとつのcellにまとめ3D_LVSを通す

↓

③ 上層,下層を重ねて3D_DRC&3D_LVS2を通す

ダミー生成

3D_DRC: 上層のBump、下層のBumpのずれを検証
3D_LVS2: 上層のBump、下層のBumpのポートを検証

3D環境を用いた設計動向

- 設計動向
  - SOFIST 3D
  - XRPIX 3D
  - JAXA
  - T-MICRO 3D_TEG
- 今後の課題
  - Pinの扱いが大変
    （uBumpをデバイスと認識、折り返し配線を考慮しているため）
  - PEX確認（仮対応済み）

SOI 新学術領域研究会@宮崎大　　2017. 6. 30

A01-2班

プラズモンフィルタを用いたマルチバンドカラーフィルタリング

静岡大学　電子工学研究所

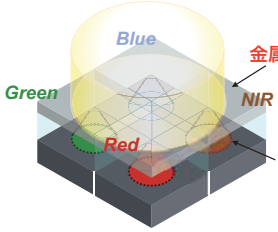
小野篤史，宮道篤孝

1

研究目的

可視域から近赤外域にかけて高色再現性を有するイメージセンサの開発

可視光(RGB)と近赤外光(NIR)を同一センサ上にて
同時弁別可能な新規イメージセンサ



金属薄膜１枚でカラーフィルタリング
厚さ~100 nm

各ピクセルにビーム状に光透過するため，ピクセル間の光クロストークがなく高色再現性を示す．

プラズモニクスを適用

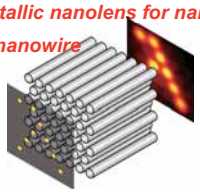
2

Our research activities related on plasmonics

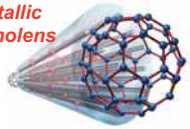
Metallic nanolens for nano-imaging

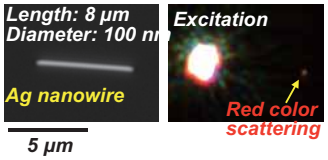
Ag nanowire

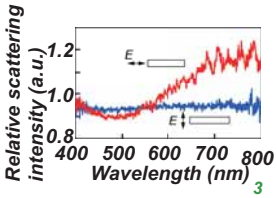
A. Ono et al., Phys. Rev. Lett. 2005
S. Kawata et al., Nature Photon. 2008



Metallic nanolens



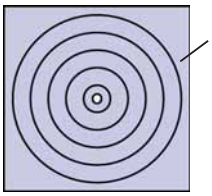


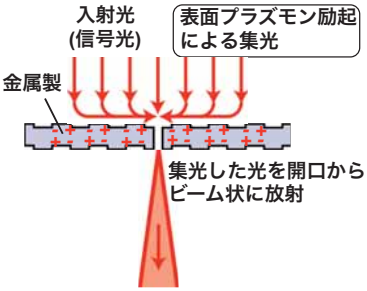


3

提案するイメージセンサ用プラズモンフィルタ

同心円状凹凸周期構造





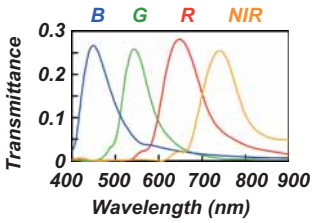
周期に対応した波長のみカップリングし，透過する．

⇨ フィルタ効果

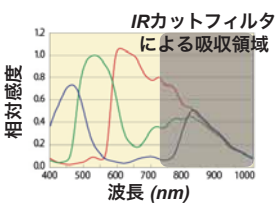
c.f. T. W. Ebbesen et. al, SCIENCE 297 (2002)

4

提案プラズモンフィルタの透過スペクトル計算結果



従来の色素カラーフィルタ



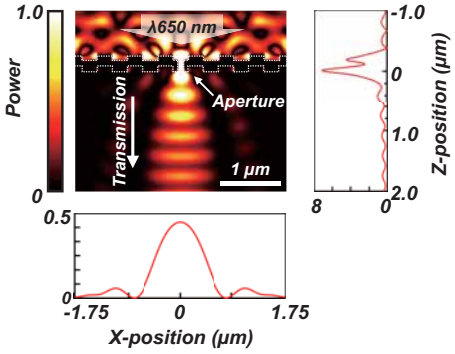
R, G, Bの各フィルターに近赤外領域にも2次透過あり．

赤外領域の光を除去する赤外吸収フィルタを必要としないため可視イメージと近赤外イメージの同時取得が可能

5

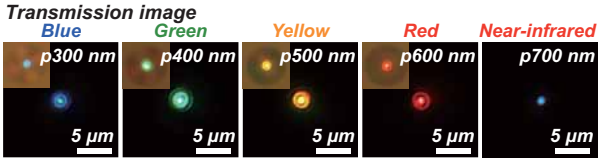
Power intensity map @ 650 nm

Corrugation period: 500 nm

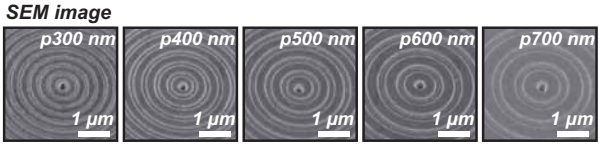


6

Transmission image



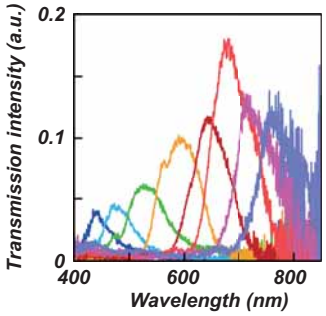
SEM image

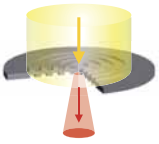


7

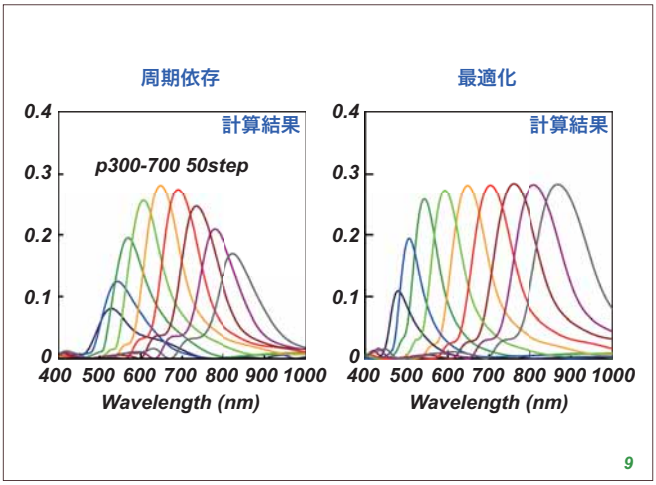
Multi-band color filtering from visible to near-infrared

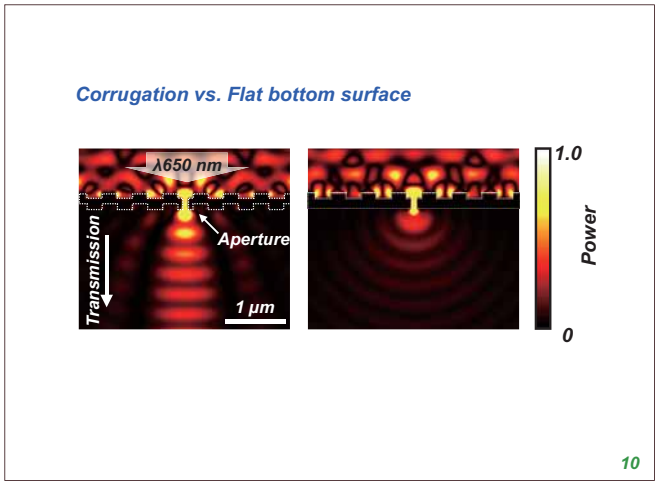
p350 p400 p450 p500 p550 p600 p650 p700

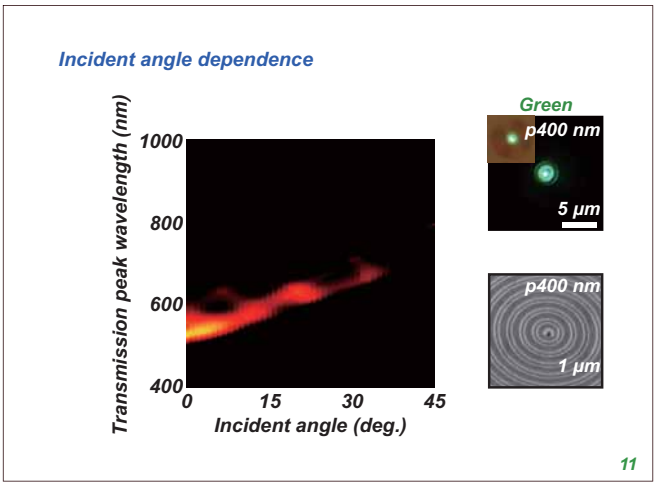


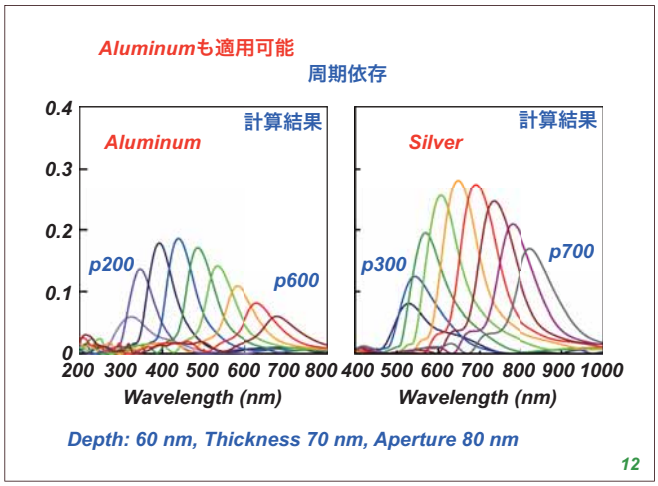


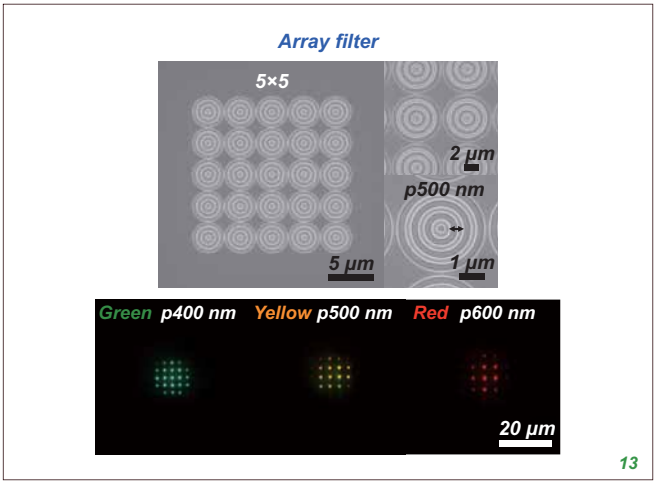
8

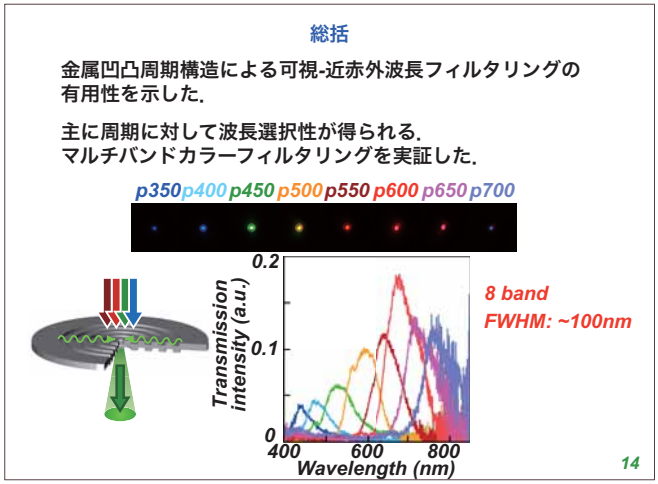

周期依存
最適化
計算結果
計算結果
p300-700 50step
0.4
0.3
0.2
0.1
0
400 500 600 700 800 900 1000
Wavelength (nm)
9


Corrugation vs. Flat bottom surface
λ650 nm
Aperture
Transmission
1 μm
1.0
Power
0
10


Incident angle dependence
Transmission peak wavelength (nm)
1000
800
600
400
0 15 30 45
Incident angle (deg.)
Green
p400 nm
5 μm
p400 nm
1 μm
11


Aluminumも適用可能
周期依存
計算結果
計算結果
Aluminum
Silver
p200
p600
p300
p700
0.4
0.3
0.2
0.1
0
200 300 400 500 600 700 800
400 500 600 700 800 900 1000
Wavelength (nm)
Wavelength (nm)
Depth: 60 nm, Thickness 70 nm, Aperture 80 nm
12


Array filter
5×5
2 μm
p500 nm
5 μm
1 μm
Green p400 nm
Yellow p500 nm
Red p600 nm
20 μm
13


総括
金属凹凸周期構造による可視-近赤外波長フィルタリングの
有用性を示した.
主に周期に対して波長選択性が得られる.
マルチバンドカラーフィルタリングを実証した.
p350 p400 p450 p500 p550 p600 p650 p700
Transmission intensity (a.u.)
0.2
0.1
0
400 600 800
Wavelength (nm)
8 band
FWHM: ~100nm
14

2光子ガンマ線検出型
高感度分子イメージング装置の開発
(A01-1)

島添 健次 、上ノ町水紀、水町裕貴、中田直樹、小山晃広、吉原有里
（東京大学）、鎌田圭(東北大学)、高橋美和子（東大医）
武田彩希（宮崎大学）、鶴剛, 田中孝明, 内田裕之, 松村英晃, 林秀輝, 原田颯大(京都大学)、小貫良之 (東大理)、 新井康夫（KEK, OIST）

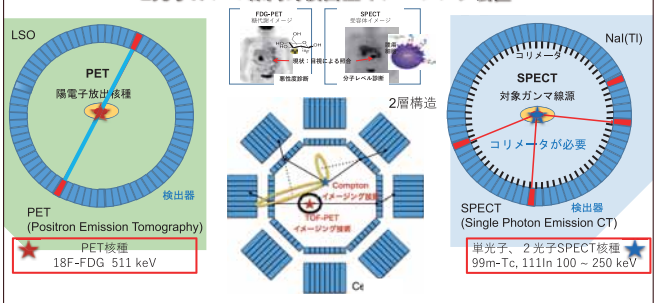
新学術研究領域研究「３次元半導体検出器で切り拓く新たな量子イメージングの展開」
第8回研究会 2017/6/28-30 @ 宮崎大学

Agenda

背景: 2光子ガンマ線高感度分子イメージング装置
進捗:
ー 2光子同時検出コンプトンカメラ
ー 電子トラッキング型コンプトンカメラ

まとめ

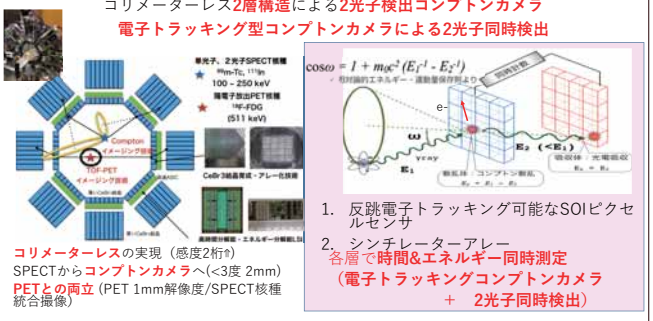
2光子ガンマ線同時検出型イメージング装置



→PET(18F)/SPECT(111In)の多核種同時撮像, 新たな核医学診断装置

2光子ガンマ線同時検出型イメージング装置

コリメーターレス**2層構造**による**2光子検出コンプトンカメラ**
電子トラッキング型コンプトンカメラによる2光子同時検出

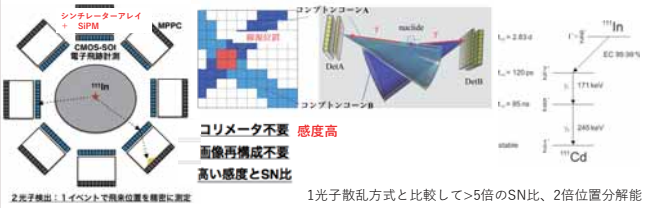


コリメーターレスの実現（感度2桁↑）
SPECTから**コンプトンカメラ**へ(<3度 2mm)
PETとの両立 (PET 1mm解像度/SPECT核種統合撮像)

1. 反跳電子トラッキング可能なSOIピクセルセンサ
2. シンチレーターアレー
各層で**時間&エネルギー同時測定**
（電子トラッキングコンプトンカメラ
＋ 2光子同時検出）

2光子ガンマ線同時検出型イメージング装置

1. **２光子同時計測コンプトンカメラ**
＝コンプトン運動学に基づくコンプトンコーンの重ねあわせにより1イベントで位置を一意に特定



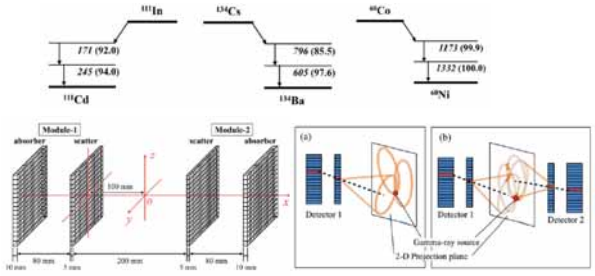
コリメータ不要 **感度高**
画像再構成不要
高い感度とSN比

1光子散乱方式と比較して>5倍のSN比、2倍位置分解能

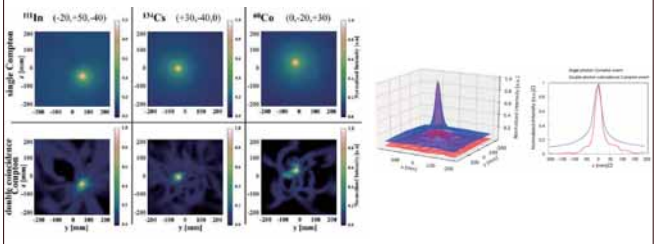
2. **電子トラッキングコンプトンカメラ, (TOF?)**
＝コンプトンコーン -> コンプトンアークへの制限による高感度化、１点への特定
イベントドリブン(トリガー型時間情報が得られる） 高解像度センサが必要 (SOI, XRPIX series)
計数率 ~>10k, ピクセルサイズ = 10 μm, エネルギー分解能, 反跳電子飛跡非同期計測 (~μs)

GEANT4 モンテカルロシミュレーション(2光子コンプトンカメラ)

カスケードガンマ線放出核種



GEANT4 モンテカルロシミュレーション(2光子コンプトンカメラ)



Yoshihara, Y., Shimazoe, K., Mizumachi, Y., & Takahashi, H. (2017). Evaluation of double photon coincidence Compton imaging method with GEANT4 simulation. *NIMA*

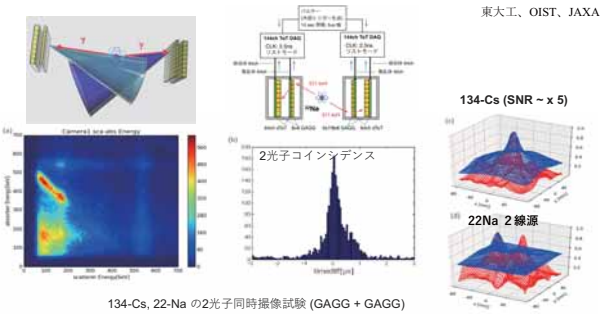
GEANT4 モンテカルロシミュレーション(2光子コンプトンカメラ)

Table 3: Comparison between single Compton and double photon Compton imaging methods

	Emergence efficiency of single Compton events	Spatial resolution [mm]	SNR
^{111}In	2.78×10^{-3}	42.46 – 43.28	6.68
^{134}Cs	3.33×10^{-3}	44.39 – 46.57	6.51
^{60}Co	2.43×10^{-3}	51.45 – 52.68	6.34
	Emergence efficiency of double coincidence Compton events	**Spatial resolution [mm]**	**SNR**
^{111}In	3.56×10^{-6}	28.13 – 29.87	35.97
^{134}Cs	5.67×10^{-6}	31.92 – 34.18	29.59
^{60}Co	3.09×10^{-6}	26.61 – 36.30	32.57

GAGG-GAGGコンプトンカメラによる2光子コンプトンカメラ

東大工、OIST、JAXA



134-Cs, 22-Na の2光子同時撮像試験 (GAGG + GAGG)

Scintillator selection

For better angular resolution, the scintillators described below is chosen

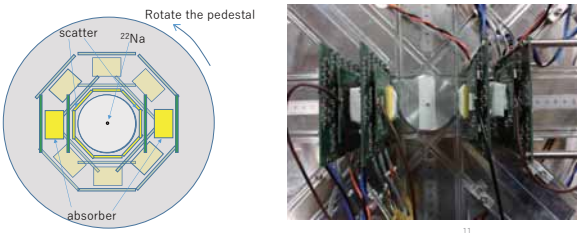
Scintillation properties of conventional scintillators and semiconductor detectors

	Ce:GGAG	$CeBr_3$	Eu:SrI_2	Si半導体	CdTe半導体
Eff. Atomic Number	54	46	49	14	50
Density (g/cm3)	6.63	5.2	4.6	2.33	5.85
Energy resolution @662keV	5.2% (APD使用)	3-4%	3~4%	1-2%	3%
wavelength(nm)	520	380	420	-	-
Light yield (photon/MeV)	56000	70000	70000	-	-
Decay time(ns)	88	19	1400	-	-
Hygroscopicity	None	Strong	Strong	None	None
Self radiation	None	None	None	None	None
Note				Cannot thicken	Cannot thicken

10

Imaging ability test

✓ Compton Experimental setup



11

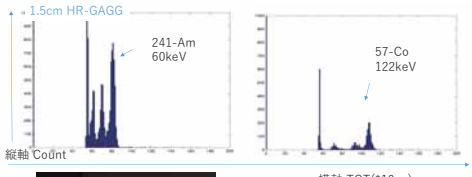
Fabricate the scintillator array

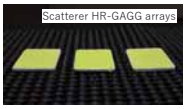
Problematic of hygroscopicity with halide scintillator

Although it is difficult to miniaturize the halide scintillators, 2.5 x 2.5 x 1.5mm³ Eu:SrI2 array were successfully fabricated in a dry room under an air atmosphere with < 2 % humidity.

12

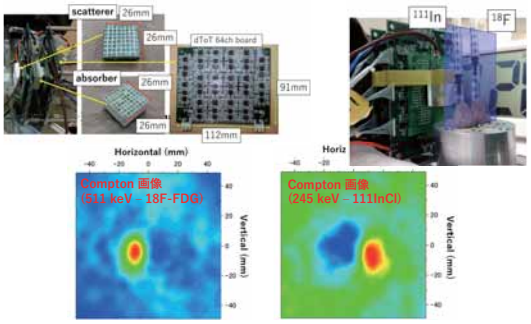
Typical spectrum (TOT) HR-GAGG+MPPC



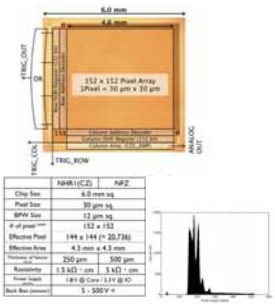


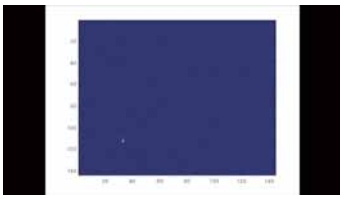
3mm pixel device (64ch parallel readout)
Shows enough performance for PCCT

HR-GAGG 型コンプトンカメラによる検証 (Compton同時撮像例)



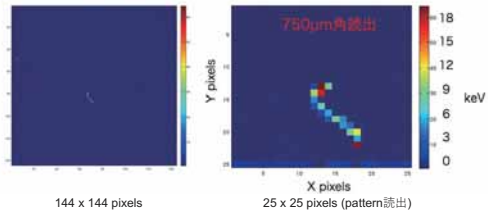
SOIセンサーの開発状況 – (XRPIX2bでの電子トラッキング)





CZ wafer Vbias=5V room temperature integration time = 1000us

SOIセンサーの開発状況 – (XRPIX2bでの電子トラッキング)



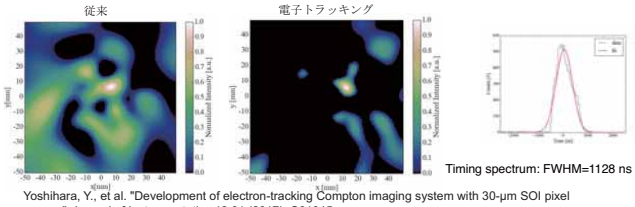
144 x 144 pixels　　25 x 25 pixels (pattern読出)

Shimazoe, K., et al. "Electron Pattern Recognition using trigger mode SOI pixel sensor for Advanced Compton Imaging." *Journal of Instrumentation* 11.02 (2016): C02030.

SOIセンサーの開発状況 – (XRPIX2bでの電子トラッキングCC)

XRPIX2b + GAGG-MPPC Compton Camera

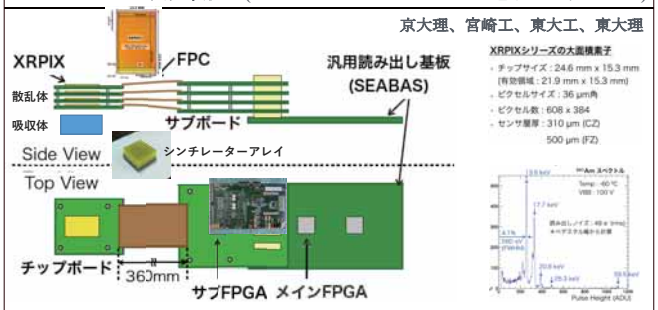
1MBq ^{137}Cs (検出器中心, 散乱体表面から距離3cm)
コインシデンスイベント検出率：~1 cps
フレームセレクト率: 0.6 %



Yoshihara, Y., et al. "Development of electron-tracking Compton imaging system with 30-μm SOI pixel sensor." *Journal of Instrumentation* 12.01 (2017): C01045.

SOIセンサーの開発状況 – (Stack-XRPIX5 + HR-GAGG 電子トラッキング)

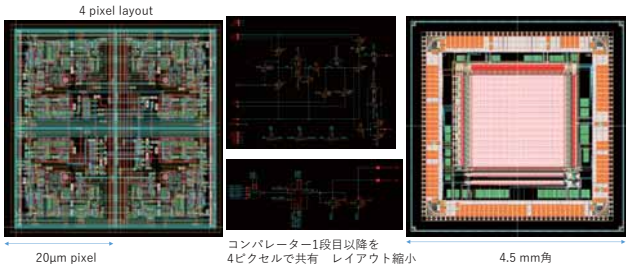
京大理、宮崎工、東大工、東大理



イベントがあった素子の ①素子ID, ②タイミング, ③アドレス, ④エネルギー を全て計測 + 吸収体との同期

SOIセンサーの開発状況 – (20μm ピクセル 96 x 96 pixels)

2017/6サブミット ピクセルサイズ縮小 (36μm -> 20 μm) デザインはXRPIXを踏襲



まとめ、今後の研究計画

2光子コンプトンカメラ
GEANT4 simulation (SNR ~ x 5 を確認)
原理検証試験 (SNR ~ x 5 を確認)
HR-GAGG型コンプトンカメラの構築
(18F, 111In PET/SPECT核種同時撮像を確認)

Stack-XRPIX システム (設計)
20μm Electron Tracking 17 submit

今後の計画

Stack-XRPIX + HR-GAGG コンプトンカメラ
電子トラッキング2光子コンプトンカメラの検証

20

計画研究 D02
質量分析による高解像度分子イメージングに向けた半導体検出器MALPIXの開発

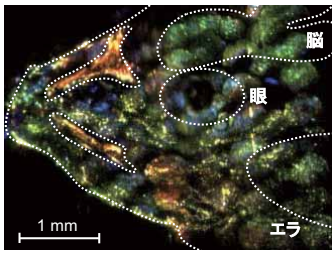
間 久直[1], 本堂 敏信[1], 松岡 久典[1], 青木 順[2], 藤田 陽一[3],
新井 康夫[3], 池辺将之[4], 河井 洋輔[2], 豊田 岐聡[2], 粟津 邦男[1,5,6]

[1]大阪大学 大学院工学研究科, [2]大阪大学 大学院理学研究科,
[3]高エネルギー加速器研究機構, [4]北海道大学 大学院情報科学研究科
[4]大阪大学 大学院生命機能研究科, [5]大阪大学 国際医工情報センター

大阪大学 OSAKA UNIVERSITY　北海道大学 HOKKAIDO UNIVERSITY

イメージング質量分析によるメダカ体内のセシウム観察例（ディレイライン検出器使用）

ヨウ化セシウム(0.05 mol/L)を含んだ水溶液中で2週間飼育したメダカの頭部

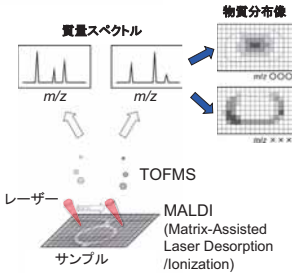


青:Cs^+ (m/z = 133)
赤:Na^+ (m/z = 23)
緑:K^+ (m/z = 39)

- 本実験ではセシウムの非放射性同位体^{133}Csを用いており、放射性物質の体内動態を非放射性同位体で安全かつ簡便に測定できる可能性が示された
- セシウムは眼に蓄積しやすい可能性があること、NaやKと分布が異なることがわかった

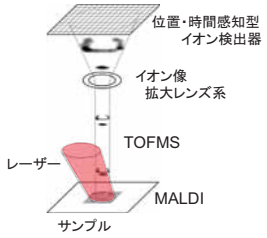
イメージング質量分析の手法

1. プローブ走査型



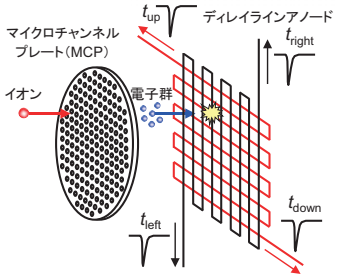
- 空間分解能はレーザーの集光径で制限される(10~100 μm)
- スキャンするため時間がかかる

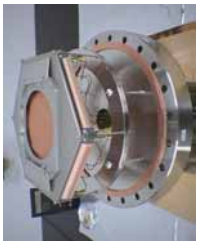
2. イオン光学像投影型



- 空間分解能がレーザーの集光径に制限されない
- スキャンしないので短時間で分析可能

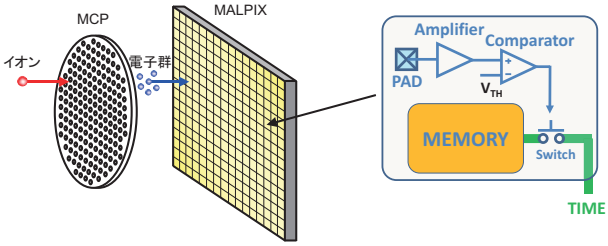
従来の位置・時間感知型イオン検出システム（ディレイライン検出器）





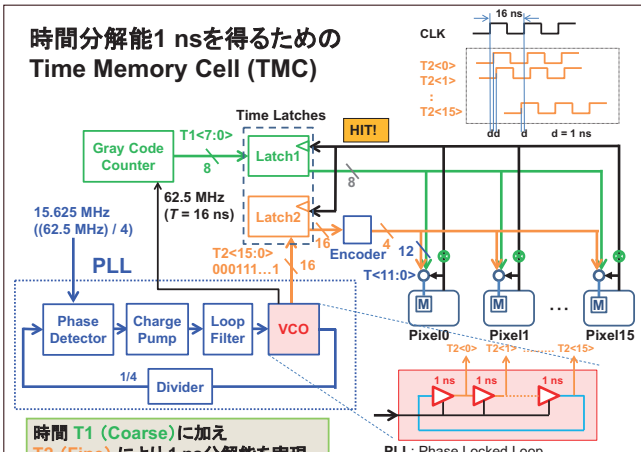
- ディレイラインアノードの両端に信号が到達する時間とそれらの差からイオンが入射した位置と時間を求めることができる
- 短時間に複数のイオンが別の位置に入射すると、それらを区別できず、1 μs あたり1個の頻度でしかイオンを検出できない

投影型イメージング質量分析用新規検出器 MALPIX



Pixel size	50 μm x 50 μm	Time resolution	1 ns
Number of pixels	512 x 512	Readout	40 ns/pixel, 10 ms/frame
Sensor Area	25.6 mm x 25.6 mm		
Time Dynamic Range	14-bit		

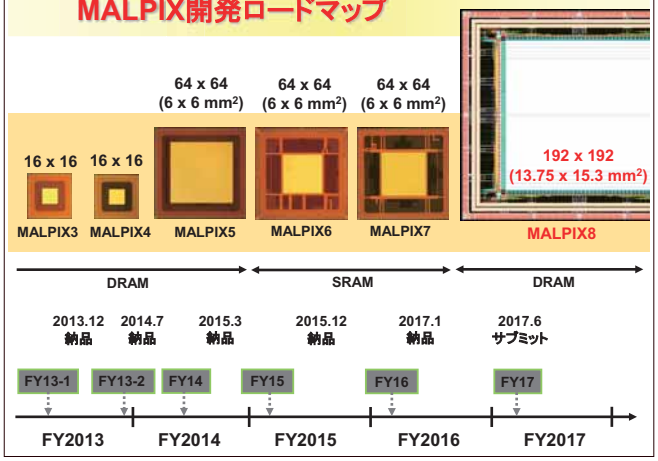
時間分解能1 nsを得るための Time Memory Cell (TMC)



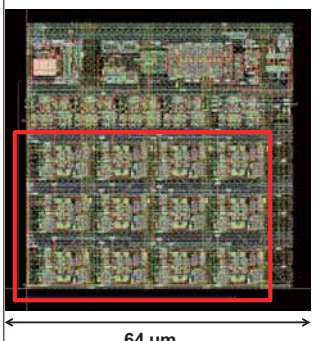
時間 T1 (Coarse)に加え T2 (Fine) により 1 ns分解能を実現

PLL: Phase Locked Loop
VCO: Voltage Controlled Oscillator

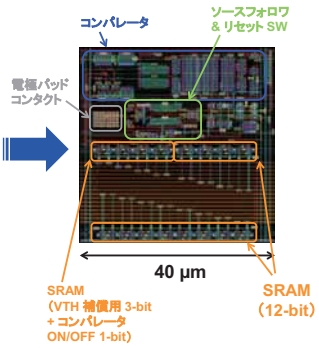
MALPIX開発ロードマップ



MALPIX5のピクセル内レイアウト（大部分がメモリ(DRAM)）

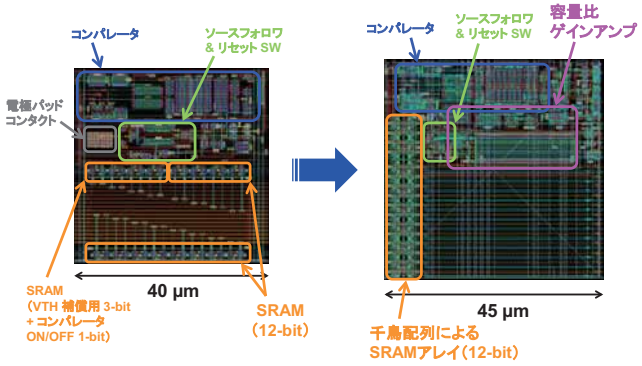


MALPIX6のピクセル内レイアウト（メモリを小型化）



- MALPIX6では、メモリに接続されているライン間でクロストークが生じていた

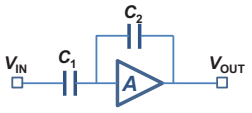
MALPIX6のピクセル内レイアウト　MALPIX7のピクセル内レイアウト



- 容量比ゲインアンプは正常に動作し、予定の8割程度のゲインが得られた
- メモリについては応答が遅く、読み出し時にエラーが見られることもある

最終版MALPIX8の設計方針

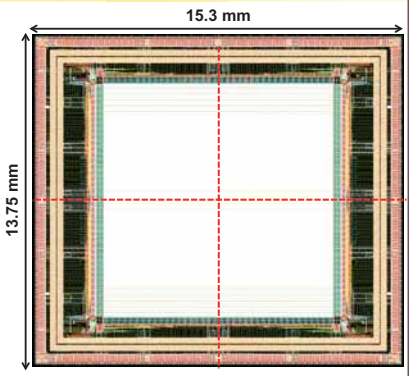
- MALPIX6、7のどちらもSRAMの動作に不具合が見られたことに加え、レーザーショット毎に全てのSRAMを一斉にリセットすることができない
- MALPIX5では不完全ではあるが画像とTOFスペクトルの取得ができている
- MALPIX8では動作実績のない回路の使用は避けたいため、DRAMを用いたMALPIX5をベースとして、MALPIX6、7で行ったグレイコードカウンター、TMCの改良、および容量比ゲインアンプを加えたものをMALPIX8とした
- 念のため、容量比ゲインアンプはスイッチの切り替えでバイパスできるようにした



If $A \to \infty$ $\quad \frac{V_{OUT}}{V_{IN}} = -\frac{C_1}{C_2}$

MALPIX8レイアウト

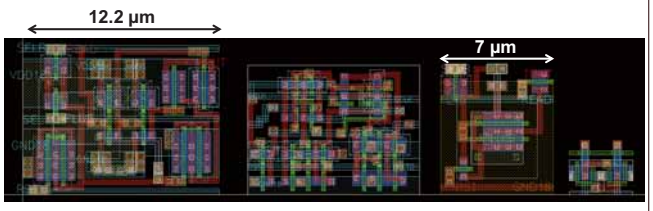
- DRC Errors
  - MAX AREA（MET1、MET2、MET3、MET4）
    - 50 mm² を超えるチップではメタルの最大面積が10000 μm² まで
- 内部電源リング
  - 内側
    - 上部: Core GND
    - 下部: VCO Analog GND
  - 外側
    - 上部: Core 1.8 V
    - 下部: VCO Analog 1.8 V
- 最外周電源リング
  - GrayCounter および VCO Digital



扱いを容易にするために4分割し、上下・左右対称のミラーリング配置とした

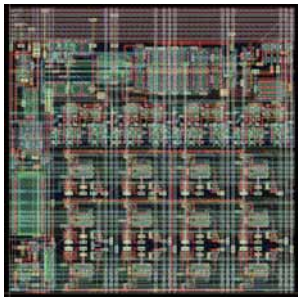
DRAMの改良

- MALPIX1～5においてDRAMは変更していなかったが、無駄な部分を省くことで小型化できた
- DRAM 容量は 37.5 fF（MALPIX5, MALPIX8）

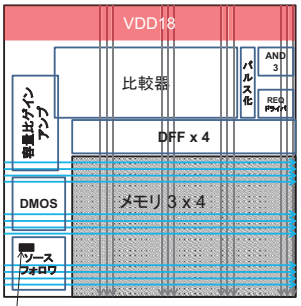


DRAM (MALPIX5)　DFF　DRAM (MALPIX8)　SRAM

MALPIX8のピクセル内レイアウト



50 μm



電極パッドとのコンタクト

TIN<0:11>
TOUT<0:11>

ま と め

- 192 x 192 pixels (13.75 x 15.3 mm²) のMALPIX8をサブミット完了
- 通常のセラミックパッケージに収まらない大きさであるが、特注で大型セラミックパッケージを製作する予算がないため、ミニ基板にチップを直付けする予定
- MCPとMALPIXのみを真空中に設置し、基板を大気中に設置するための設計を検討中
  → SPring-8で過去に試作されたフィードスルーを利用？

KEK/PF での SOPHIAS による X 線回折・小角散乱実験と計数型ピクセル評価の状況

計画研究 D01

KEK IMSS　橋本 亮、岸本 俊二、熊井 玲児、五十嵐 教之
KEK IPNS　新井 康夫、三好 敏喜
理研　初井 宇記、工藤 統吾
IHEP　Yunpeng Lu、Qun Ouyang
総研大　西村 龍太郎

最近の状況

研究内容
放射光実験用計数型 SOI 検出器開発
SOPHIAS を用いた放射光実験

最近行ったこと
・CNPIX1 計数回路動作確認@テストベンチ
・SOPHIAS による
1). クロコン酸サンプルの回折実験
2). ブロック共重合体昇温過程における準結晶からフランク・カスパーのシグマ相への移行の様子の時分割測定による追跡
・軟 X 線試験用 75 μm 厚 CPIXPTEG2 ボンディング完了

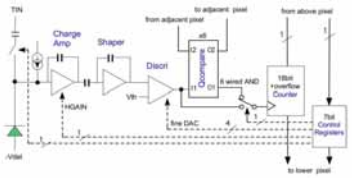
最近の状況

研究内容
放射光実験用計数型 SOI 検出器開発
SOPHIAS を用いた放射光実験

最近行ったこと
・CNPIX1 計数回路動作確認@テストベンチ
・SOPHIAS による
1). クロコン酸サンプルの回折実験
2). ブロック共重合体昇温過程における準結晶からフランク・カスパーのシグマ相への移行の様子の時分割測定による追跡
・軟 X 線試験用 75 μm 厚 CPIXPTEG2 ボンディング完了

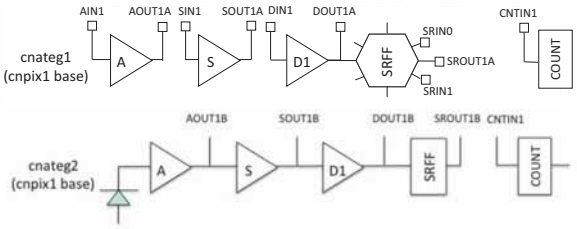
CNPIX1 計数回路動作確認

チップはサブボードに実装
電源は
・制御ボード (Xilinx・KC705)
・電源モジュール
の二系統から供給でき、スイッチで切り替えられるため PC・制御ボード無しで回路評価ができる。

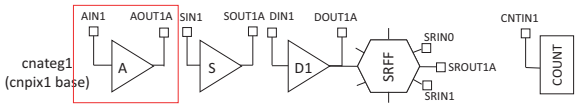


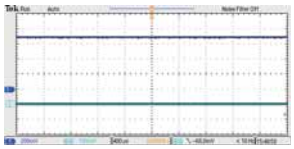
CNPIX1 計数回路動作確認

使用したピクセル TEG の回路模式図

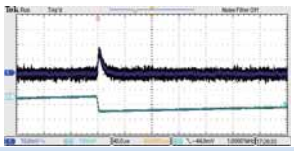


Preamplifier



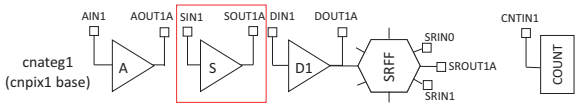


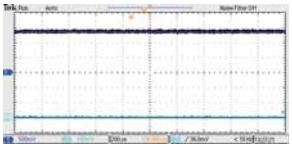
リセットレベル



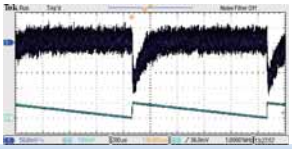
出力信号
入力信号

Shaper amplifier



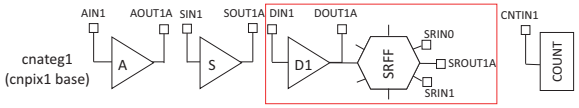


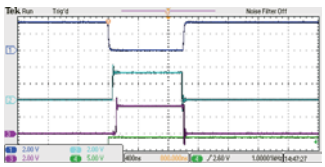
リセットレベル



出力信号
入力信号

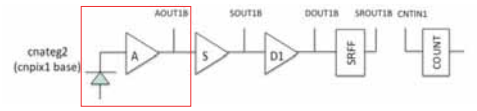
Discriminator・SRFF



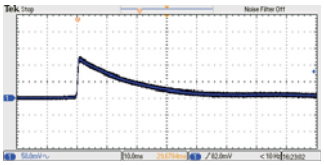


Ch1 : 入力信号
Ch2 : Discri. 出力
Ch2 : SRFF 出力
Ch4 : Function generator の Sync 信号 (trigger に使用)

センサー・Preamplifier



緑色レーザーに対するセンサー → preamplifier の応答の様子



カウンターを除く計数回路について、動作確認完了。

電場刺激によるクロコン酸構造変化測定

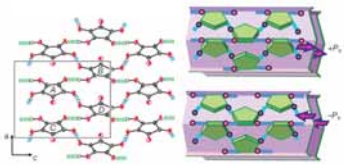
サンプル：クロコン酸
古くから黄色の染料として使われている。

クロコン酸単結晶に対する物性的な興味：有機強誘電体である。
測定された自発分極の最大値は 30 μC/cm^2 で流通している代表的な誘電体セラミックスよりも高い。
http://www2.kek.jp/imss/news/2017/highlight/05CRCA/
物構研ハイライト 2017.05.31

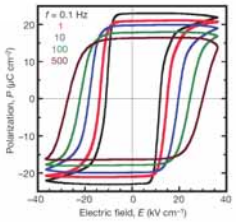
今回は、サンプルへの電圧印加で起こる分極反転に伴う構造変化を SOPHIAS で測定。

電場刺激によるクロコン酸構造変化測定

クロコン酸結晶の模式図

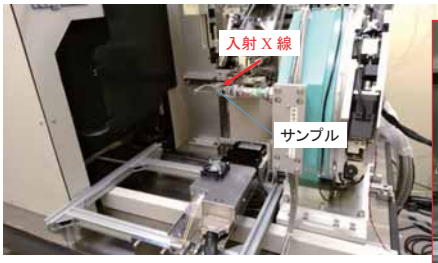


分極状態のヒステリシス曲線

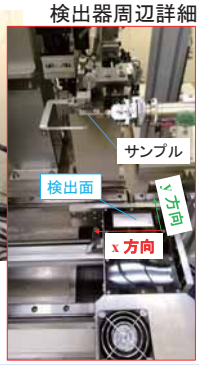


クロコン酸測定セットアップ@BL-8A

エネルギー　12.4 keV



検出器周辺詳細

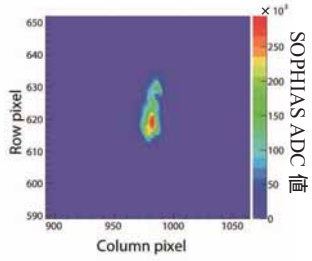


IP 架台上で SOPHIAS を
2θ = ～ 90°　付近に配置した。

クロコン酸回折像

-650 V ～ 650 V の範囲で印加電圧を変化させて測定
取得画像の一例

指数 (7, 4, 11)



0.5 秒相当の X 線照射

以降、ピーク領域を二次元ガウシアンでフィットし印加電圧ごとのピーク位置を導出。

回折ピーク位置の電場依存性

都合によりこのページはカットしています。

まとめ

- CNPIX1 計数回路が動作していることを確認。
  放射光を用いた評価は CNPTEG1 で行う。

- SOPHIAS によるクロコン酸試料の回折像測定で、回折ピーク位置の電場依存性を取得。
  → 誘電分極に伴った格子長の変化を実験的に観測できた。

今後の計画
SOPHIAS を用いた実験を継続するとともに
- CPIXPTEG2 放射光試験の準備
  最初は 10 keV 程度の X 線を使用。
  軟 X 線試験に向けて真空中での実験セットアップの準備。
- CNPTEG1 制御システムの開発・放射光試験の準備

INTPIXの現状
(利用状況)

新学術領域研究
「3次元半導体検出器で切り拓く新たな量子イメージングの展開」
第8回研究会
2017年6月29日(木) 朝 ～ 30日(金)昼
宮崎大学 木花キャンパス 工学部B棟2階 B209
メイン・テーマ： ～ SOIPIXの完成と次に向けて ～

2017.6.30 三好敏喜(KEK)
宮崎大学

1

SOIPIXセンサー普及活動

まずは使っていただく

使ってみてどういうものを作りたいのか考える(ブレーンストーミング)

(例)
XRPIXシリーズ(京都大) INTPIX3 → XRPIX開発開始
重粒子イメージング(放医研→群馬大) DIPIX → SOPHIASが適していることがわかり、移行
金沢大 INTPIX4 → ???
筑波大 INTPIX3, 3e, INTPIXh2,... → FPIX2...(微細ピクセルセンサー開発)
Krakow,AGH INTPIX3,DIPIX,INTPIX6,7... → ???

一方で、第1印象が大事で、使い勝手が悪いとそっぽを向かれることもある
(企業にデモに行った時に痛感)

センサー開発だけでなく
システム作りもよく考えないといけない
小規模: セットアップが簡単, 気軽に試験できる
　　使える機能が限られる
大規模: より多くの設定ができ、機能が充実している
　　セットアップが大変

2

汎用INTPIXの利用

INTPIX4
DIPIX
INTPIX5
INTPIX6
INTPIX7
INTPIX8
(基板/パッケージ実装)

+ DAQ board
　SEABAS1
　SEABAS2
　KC705

電源(低圧用、高圧用)、
ノートPC(Windows, Linux)
(+ 固定治具etc...)

3

4

INTPIX比較

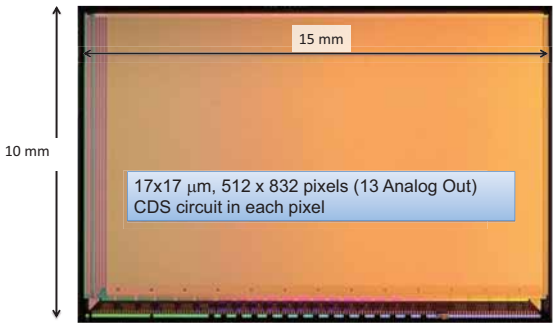
	FY2009	FY2011	FY2012	FY2013	FY2014
	INTPIX4	INTPIX5	INTPIX6	INTPIX7	INTPIX8
Process	MX1350	MX1501	MX1594	MX1655	MX1786
ピクセルサイズ	17 um 角	12 um 角	12 um 角	12 um 角	16 um 角
画素数 (pix)	512 x 832 (425,984 pix)	896 x 1408 (1,261,568)	896 x 1408 (1,261,568)	1408 x 1408 (1,982,464)	640 x 1024 (655,360)
チップサイズ	10.2 x 15.4mm2	12.2 x 18.4 mm2	12.2 x 18.4 mm2	18.4 x 18.4 mm2	12.2 x 18.4 mm2
感応領域	8.7 x 14.1mm2	10.7 x 16.9 mm2	10.7 x 16.9 mm2	16.9 x 16.9 mm2	10.9 x 17.4
Global Shutter	有り	有り	有り	有り	有り
Rolling Shutter	無し	有り	有り	有り	有り
Frontend Amp	PMOS Source Follower	PMOS Source Follower	PMOS Source Follower	PMOS Source Follower	PMOS Charge Amp
CDS	In Pixel CDS	Column CDS	Column CDS	In Pixel CDS	In Pixel CDS
感度	~14uV/e-	~2.5/15 uV/e-	~2.5/15 uV/e-	~16 uV/e-	~12/18/36/80 uV/e-
Gain Sw	無し	有り(1bit)	有り(1bit)	無し	有り(2bit)
出力チャンネル数	1 又は 13	1 又は 11	1 又は 11	1 又は 11	1 又は 16
ウエハータイプ	n 型	n 型	INTPIX6n(n 型、n-DSOI) INTPIX6p(p 型)	p 型、p-DSOI	n 型

MX1413(FY2010) DIPIX: 256x256,14um-pixel,in pixel cds, wafer type(n,p)

4

INTPIX4（積分型イメージセンサー）

2009



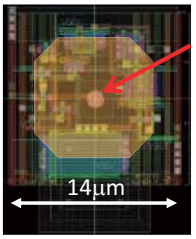
未だに現役
金沢大、名古屋大等々 使用中
N-type (Cz/FZ) sensor only. Double SOI 未対応

5

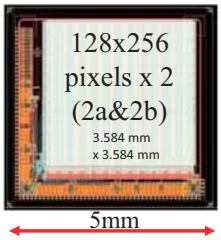
DIPIX pixel & top layout

2010

Pixel layout



Chip layout



p-n implant are reversed each other

DIPIX1 n-type: BPW+BP2 (the same size) ←→p-type: BNW+BN2
DIPIX2 n-type: BPW only and BPW & BNW
(256x128x2)　　←→p-type: BNW only and BNW & BPW

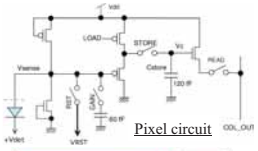
核融合研、岡山大等で使用中

6

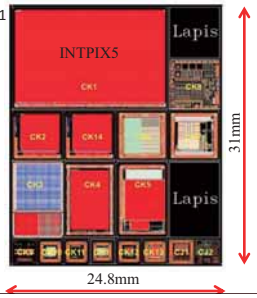
NCZ/NFZ INTPIX5

2011

INTPIX5 (FY11)
1408 x 896 pixels (>1Mpix)
Pixel size 12 x 12 μm
Effective area
　16.896 x 10.752 mm



FY2011
MPW



高精細ピクセルセンサーであり、
いくつかの企業の試用があった

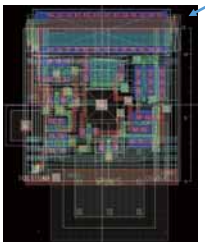
ピクセルサイズ12um、大面積
NFZ基板がなくなりつつあるので
補充予定

NCz, NFZ only

7

INTPIX6N & 6P

2012



!!!

面積はINTPIX5と同じ

Krakow-AGH group が評価試験を行った
(JINST proceeding)

INTPIX6N
大きなTr.(~GND)がピクセル間にあり、
ここの電位のせいでチャージシェアリングが
大きくなる

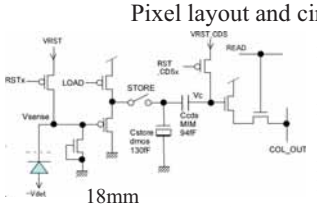
INTPIX6PではピクセルにBNWがあるため
解決しているが、INTPIX7の方が
似たようなスペックで面積が大きいので
代用できる

DSOI(n) 不感領域があり、原因不明

8

Pixel layout and circuit (INTPIX7)

2013



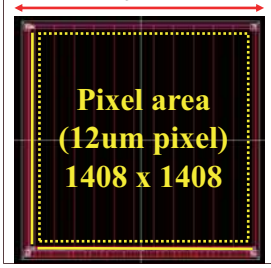
Pixel size 12μm
CDS circuit in pixel

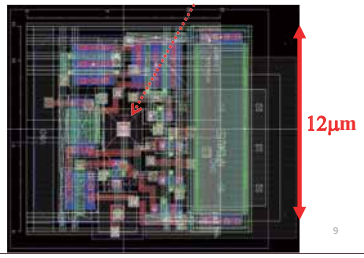
Sense node 1
+ Transistor 9
+ MIM capacitor 1
in 12 μm²

KEKでは最大面積のセンサー
読み出しに時間がかかる
まだあまり使用実績はない
P-type(ver.1,ver.2)
DSOI

BPW
BNW
SOI2
Layerを含む

18mm

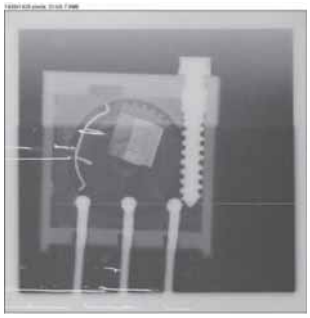




9

X線像の例

X-ray tube, W target,50kV20mA
With Al-2mm, Back illumination,
2ms x 68枚

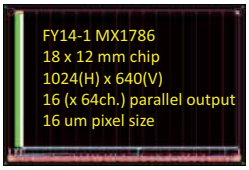


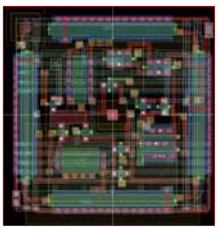
X-ray tube, Cu target,20kV30mA
Front illumination, 2ms x 69枚
300V, 27deg.

P型INTPIX7 (3JB)
比抵抗が小さいため(1kOhm),低感度
基板数が少ないので増産予定

10

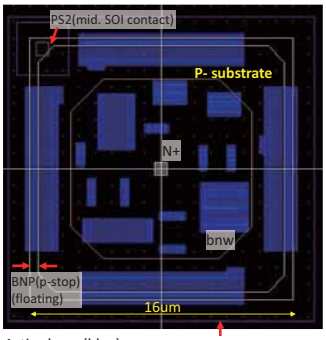
Integration-type p-type DSOI sensor - INTPIX8 (FY14-1)





Pixel layout 16 x 16 um

active,
ps1, ps2,
soi2



Active layer (blue)

Soi2 for DSOI

PFZ, DSOIpで利用可

11

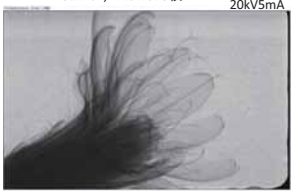
X線像の例

PFZ,back illumination, 200v
Gain 01, 2ms x 373枚

Cu Target
20kV5mA

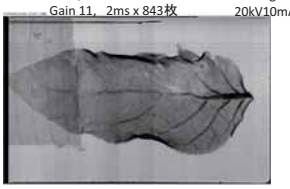
PFZ,back illumination, 200v
Gain 01, 2ms x 378枚

Cu Target
20kV5mA



DSOIp,front illumination,300v
Gain 11, 2ms x 843枚

Cu Target
20kV10mA



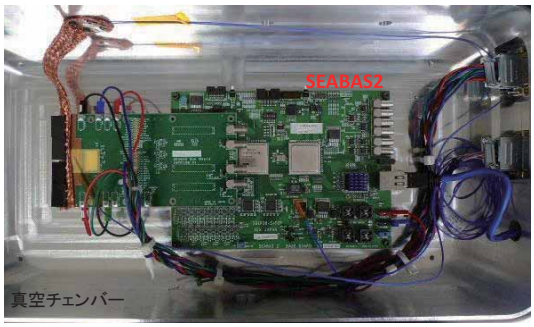
DSOIp, back illumination, 300v
Gain 11,2ms x 378枚

W Target
50kV20mA
With Al 2mm

Gain 00(最大),10,01,11(最小)

12

SOIの真空中での利用

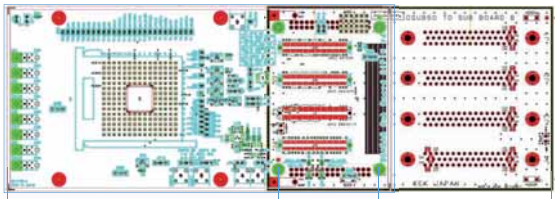


~500mm

SEABASを含めると信号出力ポートはシンプルになる(イーサネットのみ)
SEABASを含めると大型・SEABASの発熱の問題

13

サブボード-DSUB汎用変換基板



25+80+29=134 | 50 | 45+40=85

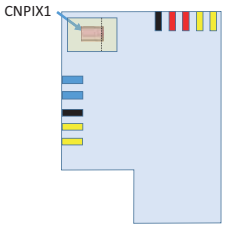
参考:SEABAS1
ネジ穴から反対端
224-54=170

SEABAS1/2を使うすべての基板で使える
コンパクト
真空中でセンサーを使用するとき、DSUB50(信号), dsub15(電源)がついた
フランジを使用

名古屋大で利用

14

CNPIX1 sub-board + DAQ

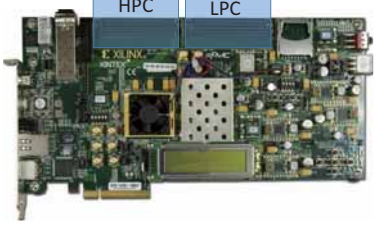


Dsub50
x2

ADC 8ch x 2
DAC x 4ch x 2

HPC

LPC



詳しくはポスター(総研大・西村)参照
KC705

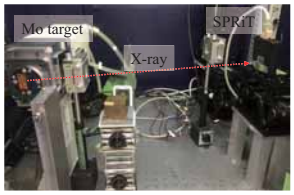
アナログ出力を処理したい場合は、
LPCコネクタ側に
アナログ基板(ADC,DAC搭載)
を接続する
(製作中)

FPGAが古くなってきたので、
KC705を参考にしてSEABAS3の
開発にも着手する

将来像?

SPRiT (SOI Portable Radiation imaging Terminal)

ポータブルなSOIイメージセンサーを試作
仕様
4.3インチ 480 x 272 dot
TFTカラー液晶, タッチパネル
リチウムポリマーバッテリー
TIF形式,遠隔操作
色相モード/グレースケール
拡大・縮小,リアルタイムクロック
本体ケース 144 x 100 x 17 mm
センサー部ケース 80 x 80 x 20 mm
センサー部・ファームウェア交換可能
ただし、現在はINTPIX4のみ使用可能



X線試験の様子

16

4-20. INTPIX の現状

まとめ

気軽に汎用INTPIXを使っていただくことで、
ブレーンストーミングができ、様々な新しいアイデアが
生まれてきました。

今後も引き続き、ご興味がありましたら
汎用INTPIXを使っていただきたいと思います。

セットアップやDAQについての要求に応えるべく、
新規基板製作、DAQアップグレードを進めていきます。

17

INTPIX4を用いた X線応力測定

― 重要部品の強度評価のためのリアルタイム
小型X線回折装置 ―

(金沢大学)佐々木敏彦，三井真吾
(総研大)西村龍太郎
(KEK)三好敏喜，新井康夫

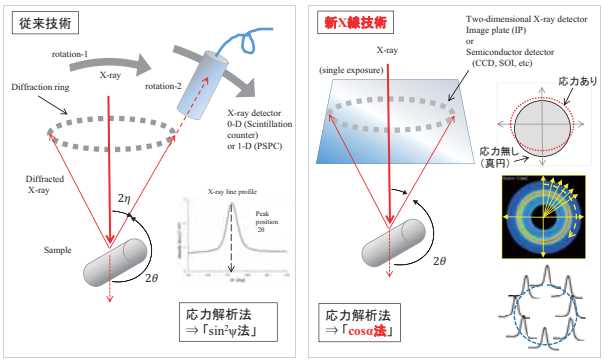
残留応力の測定
X線応力測定装置(従来技術)

リガク 1970年頃～
(事実上、日本のスタンダード)

海外製(X線残留応力測定装置)
PROTO Manufacturing社(カナダ)

金沢大学「新X線技術」
二次元検出器の適用による応力測定

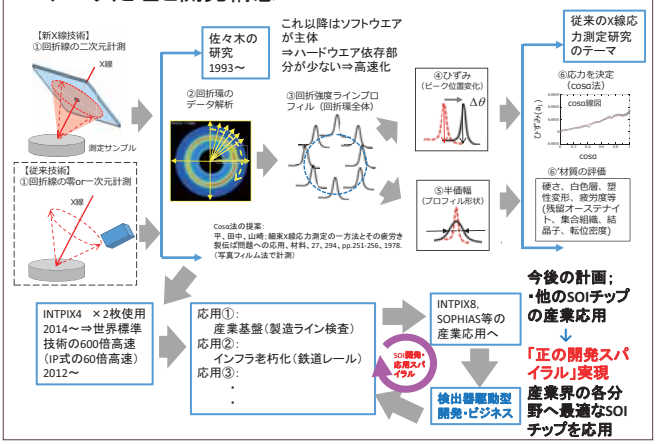
＊金沢大学 1993～



1950年代頃から今の原型が開発された古い技術のため，その当時のX線検出技術である0次元検出方式に応じた測定原理や装置の体系となっている．その後，1次元検出器が採用されたが基本部分は同様のままである．

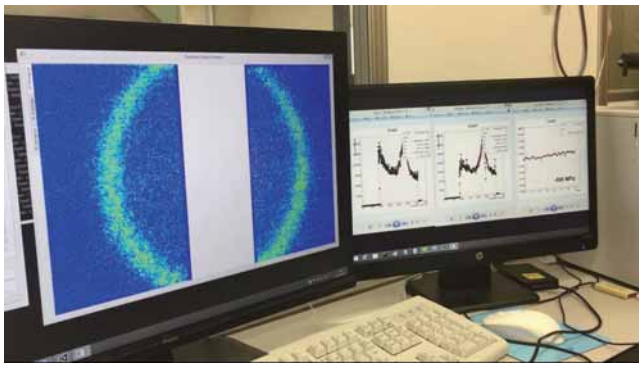
二次元検出器で回折環を計測する方法により、測定の高速化、装置の小型化、データ数増大、回折環の視覚化が可能になる

データ処理と開発構想



X線応力測定技術の動向

INTPIX4 × 2枚
SOIピクセル検出器による基礎検証(残留応力測定，サンプル：鋼)



CrKα, αFe-211)

2016 サブボードの改良①
応力測定に適した背面反射のデバイリング計測用

ワイヤーボンディング基板(WB)

- ケーブル接続＋縦8 cm×横7cmへ小型化
- ハードウェア，ソフトウェア，ファームウェアは共通

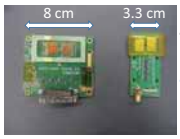
- Cr管球、直径3 cm
- 最大出力25 kV 5 mA
- 光路長を短く設定可能
（回折X線強度が強くなる）

9

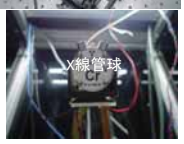
2017 サブボードの改良②
更なる小型化・FCでボードに直付け

フリップチップ基板(FC)

⇒三井：JSTマッチングプランナープログラムで試作



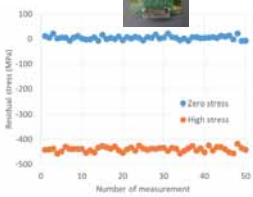
- FC基板化により，直径5 cmに収まる
- 横向き測定可能



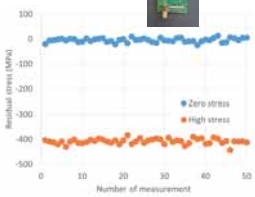
10

オンライン　測定時間1秒
INTPIX4×2枚による基礎検証（応力測定精度）

WB基板



FC基板



無応力片　(公称値0±14 MPa)	
WB基板：5±7 MPa	FC基板：-9±9 MPa
高応力片　(公称値-443±35 MPa)	
WB基板：-437±9 MPa	FC基板：-409±11 MPa

目標値(S.D.)：　±30MPa以下

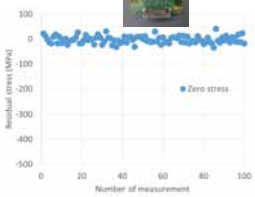
世界標準法：10分以上（600倍）
IP方式：1分以上（60倍）

- X線管球：20 kV 4 mA
- 入射角：35度
- 露光時間：100 ms x 8枚 = 0.8秒
- 測定時間：1秒/回

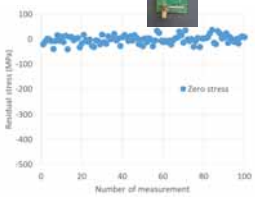
11

オフライン　測定時間0.1秒
INTPIX4×2枚による基礎検証（応力測定精度）

WB基板



FC基板



無応力片　(公称値0±14 MPa)	
WB基板：-2±14 MPa	FC基板：1±16 MPa

目標値(S.D.)：　±30MPa以下

世界標準法：10分以上（6000倍）
IP方式：1分以上（600倍）

- X線管球：25 kV 5 mA、入射角：35度
- 露光時間：70～80 ms x 1枚 = 0.08秒
- 測定時間：0.1秒/回

12

今後の開発課題

産業用
1. SOIチップの温度制御（2時間以上連続測定）
2. 種々の材質に対する応力測定精度の確保
3. 曲面に対する応力測定精度の確保

レール（鉄道）
1. 速度40km/h以上で走行しながらX線応力測定
2. 実際の線路軌道上での計測・データ収集

遠赤外線画像センサー開発の現状

和田武彦(宇宙研)、
金田英宏、大薮進喜、鈴木仁研、渡部豊喜、花岡美咲、志知和幸、前田浩希(名大)、
池田博一、長勢晃一、磯部 直樹、山本啓太、馬場俊介(宇宙研) 、
渡辺健太郎(東大) 、中屋秀彦、宮地晃平 (NAOJ) 、
新井康夫(KEK),大野守史(AIST)

B02(宇宙赤外班)計画概要

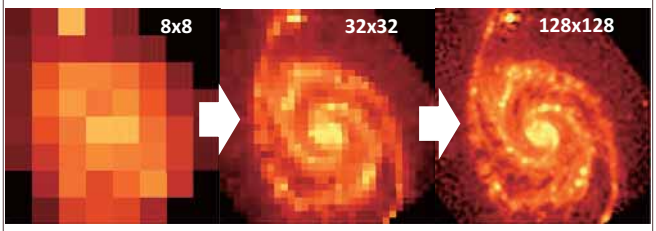
- 遠赤外線は天文学最後の未開拓波長領域
- 星や銀河から放射されるエネルギーの50%は、一旦ダストに吸収され遠赤外線で再放射される
  - エネルギー源: 星(核融合) or ブラックホール(重力エネルギー)?
- 遠赤外線での本格的画像センサーを開発し、高分解能観測によりダストに隠された宇宙のエネルギー源を明らかにする
  - FD-SOIテクノロジによる極低温集積回路の実現
  - p+ / i型(BIB型)ゲルマニウム遠赤外線検出器の実現
  - それらを組み合わせた、世界初の本格的遠赤外線画像センサの実現

未開拓波長　遠赤外線

- 遠赤外線天文観測を阻んできたもの
  - 不透明な大気
    - 飛翔体搭載望遠鏡が解決(気球、ロケット、天文衛星)
  - 膨大な背景熱放射による雑音
    - 冷却技術の進歩が解決(宇宙用1.7K冷凍機の実用化)
  - 「高性能画像センサーの欠如」が残る問題
    - 画素の少なさ(最新鋭の「あかり」衛星ですら3x20画素)
    - 応答の複雑な光伝導型ゲルマニウム検出器
    - 極低温で不安定な読み出し集積回路

応答が素直なBIB型ゲルマニウム検出器と
極低温でも動作するFD-SOI　CMOS集積回路により
現状を打破する

多画素赤外線イメージングの威力



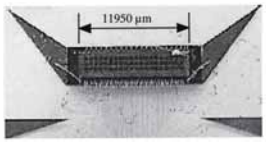
あかり衛星 (2006年打ち上げ)	本研究で達成 (2015年度/3年目)	本研究で達成 (2017年度/5年目)

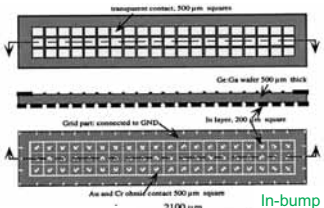
個々の星形成領域を分解しつつ、
銀河全域にわたって詳細に観測できる！

目次

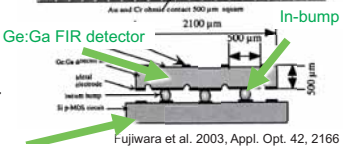
- 光検出器
- 読み出し回路
- 画像センサーに向けて
- 真の赤外線SOIPIX

遠赤外線画像センサー





- 世界初の遠赤外線画像センサー
- 3x20 Ge:Ga array と PMOS ROICをInバンプで結合
- あかり衛星（2006年打ち上げ）で使用
- ただし、波長120μmまでしか感度がない。



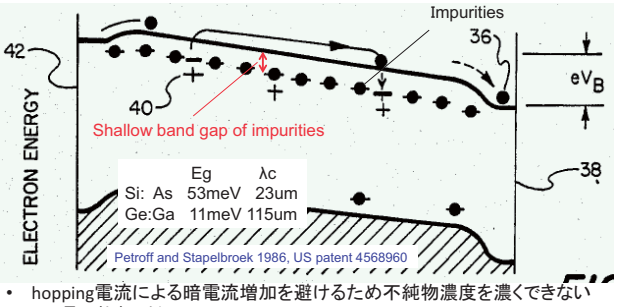
Fujiwara et al. 2003, Appl. Opt. 42, 2166

遠赤外線画像センサーの難点

- 赤外線検知部であるGe:Ga光伝導素子の性能が不十分
  - 光応答が不安定
  - 遠赤外線波長域全域をカバーするには圧縮が必要
- 低温では読出集積回路の性能が不十分
  - 30K以下では通常のSi LSIが正常動作しない
  - 特殊な(PMOS) LSIは動作するが性能が不十分、発熱が大きい
- 赤外線検知部材料（Ge）と読み出し回路（Si）との熱膨張係数の差による破壊

ゲルマニウム
BIB型遠赤外線検出器の開発

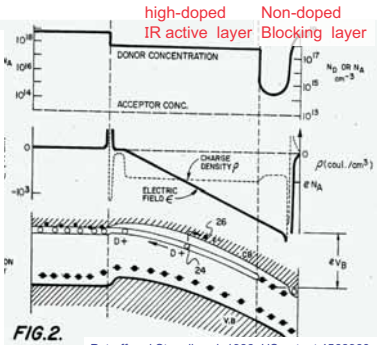
光伝導素子



- hopping電流による暗電流増加を避けるため不純物濃度を濃くできない
  - 量子効率の低下
- 緩和が光電流(暗電流)によって行われる
  - 感度の不安定性
- Ge:Gaでは波長50-100umをカバー
  - -200umまでカバーするには、圧縮が必要。

Blocked impurity band (BIB) detector

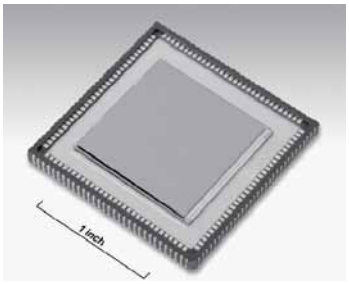
- 高純度層を配置
  - トンネル暗電流を抑制
- 不純物濃度を濃くできる
  - 感度の向上
- 不純物バンドの形成、
  - 緩和が不純物バンドで起こる
  - 感度が安定
- 圧縮無しに-200umまでをカバー



Petroff and Stapelbroek 1986, US patent 4568960

高品位の結晶が必要。
大きな不純物濃度勾配の実現($10^{14}/10^{16}$ /cc with 1um)

Si系BIB型光伝導素子開発

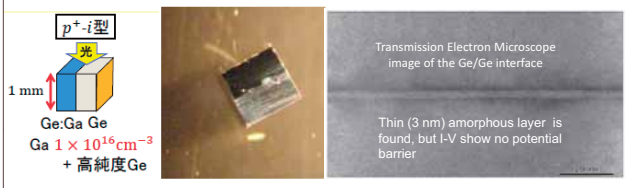


Photograph of Si:As 1Kx1K for JWST/MIRI (Love et al., 2006, SPIE 6276, 62761Y)

Ge系BIB型光伝導素子開発

- ドープ量の異なるGe層を積層するのが困難
- 新たなアプローチ
- 表面活性常温接合技術
  - 高真空中でイオンビームなどにより表面酸化物などを除去し、原子間力により接合。
- IR-active 層とブロック層を別々につくり、接着剤無しに直接、張り合わせる。
- それぞれの層にベストなウエハーを選んで接合できる。

表面活性化接合で作成した検出器



The Ge/Ge bonding was done by Mitsubishi heavy industry.

Watanabe et al. 2011

Summary of Ge BIB detector by SAB technique

- BIB operation is confirmed
  - responsivity : 1.5 A/W, QE: 1% (without cavity)
- Reduction of dark current by blocking layer
  - Less than 5 fA/mm^2
- NEP of <2x10^{-17} W/sqrt(Hz) 検知部のミニチュア化により達成可能
  - 2x10^{-19}W/sqrt(Hz) can be achieved if we remove non-sensitive area and reduce the detector area down to 0.1 mm x 0.1 mm.
- Longer cut-off wavelength without stressing
  - From 120 to 160 um (240 um is also fabricated)

極低温動作読み出し集積回路の開発

極低温環境での FD-SOI MOSFETの優位性

従来型 N-ch MOSFET

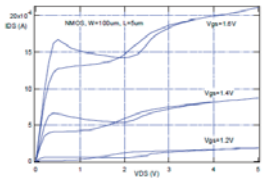
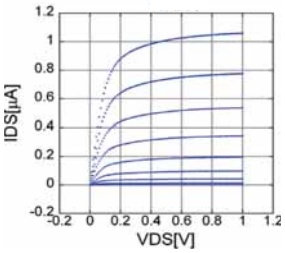


Figure 3 : I_{DS} in a NMOS transistor as a function of V_{DS} for various Gate Source voltages at 4.2 K. Kink and hysteresis effects are clearly visible.

Merken et al., SPIE 5498, p.p. 622--629 2004

FD-SOI型 N-ch MOSFET



(Nagata et al. 2009)

PMOSだけでなく、NMOSも安定して動作する!
CMOS回路技術が使える！
集積回路としての性能が向上。

なぜFD-SOI MOS FETは極低温でも動作するのか？

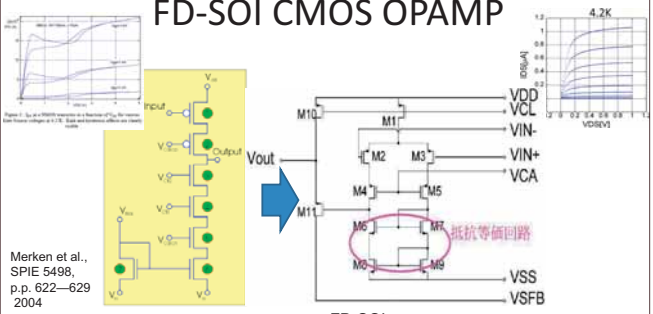
- 極低温では、格子散乱が減少し、キャリア(電子)が加速されるため、衝突電離により電子・正孔が生成する。
- 通常のMOS FETは、ゲート直下に非空乏層が存在する。そこに正孔が捕獲・蓄積されて、実効的なゲート電位が変移してしまう。
- FD-SOI MOS FETは、ゲート直下が完全に空乏化している。正孔は速やかにソース側に排出される。

この衝突電離効果は移動度の速い電子、つまりNMOSで顕著

J-P. Colinge, IEEE Electron Device Letters 9, 97, (1988)

2017/06/28-29 SOIPIX WS 2017 at Miyazaki Univ. 32

FD-SOI CMOS OPAMP



Merken et al., SPIE 5498, p.p. 622—629 2004

Herschel PACS:
CMOS AMP (not OPAMP)
複雑/多種のバイアス電圧で
微妙な調整

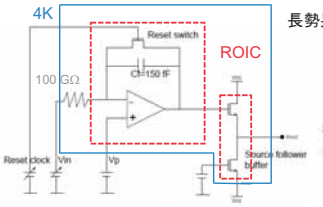
FD-SOI:
CMOS OPAMP
シンプル/教科書的な回路で、
高ゲイン、安定、
低消費電力、
電圧範囲大

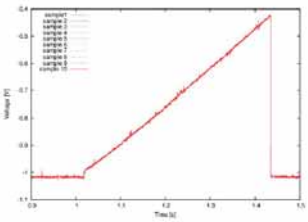
Nagata et al. 2011

2017/06/28-29 SOIPIX WS 2017 35

CTIA動作に成功 (@4K)

長勢晃一 2016 総合研究大学院大学 学位論文



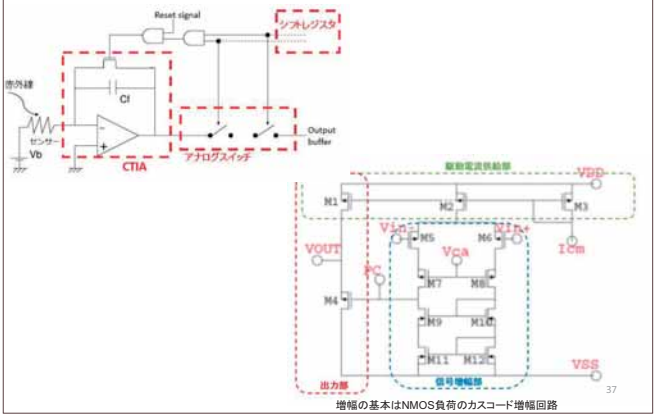


	本研究	先行研究(Farhoomand 2010)
雑音（1 Hz CDS）	89電子	250電子
最大蓄積電荷	1×10⁶電子	0.4×10⁶電子
ダイナミックレンジ	11000	1600
消費電力	1μW	1μW

2017/06/28-29 SOIPIX WS 2017 at Miyazaki Univ. 36

32x32ROICの設計

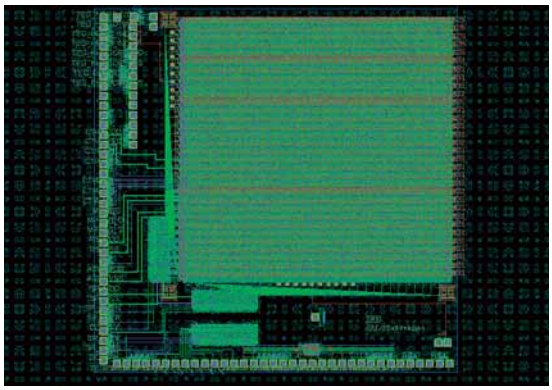
積分容量=150 fF



増幅の基本はNMOS負荷のカスコード増幅回路

37

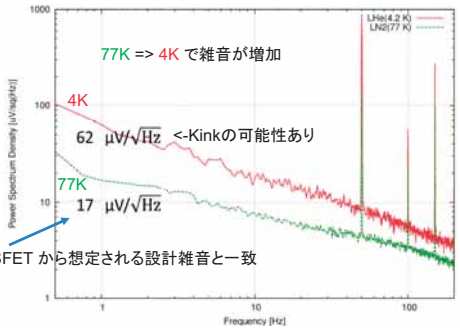
32x32 ROIC (FY2015-1)



(Baba et al. 2017 submitted to Trans. JSASS, Aerospace Technology Japan)

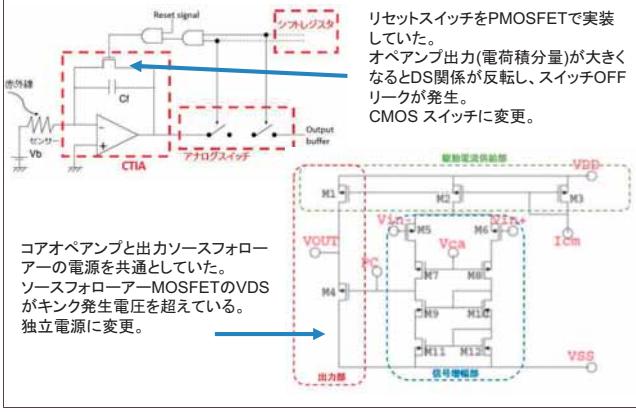
2017/06/28 38

CTIA出力雑音のスペクトル



40

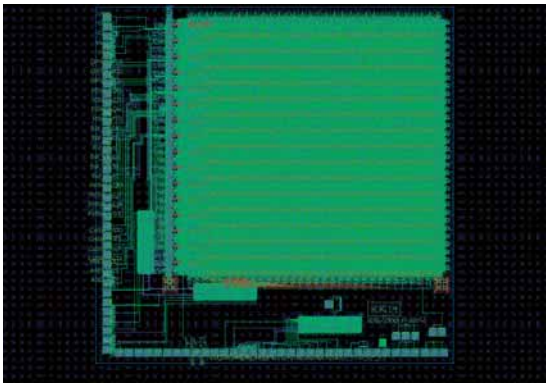
改良型 32x32 ROIC



リセットスイッチをPMOSFETで実装していた。
オペアンプ出力(電荷積分量)が大きくなるとDS関係が反転し、スイッチOFFリークが発生。
CMOS スイッチに変更。

コアオペアンプと出力ソースフォローアーの電源を共通としていた。
ソースフォローアーMOSFETのVDSがキンク発生電圧を超えている。
独立電源に変更。

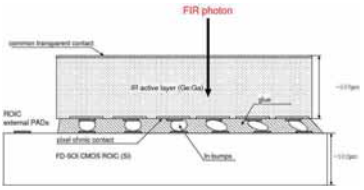
32x32 ROIC (FY2017-1, KK14)



2017/06/28-29) 42

検出器と読み出し集積回路の間の熱膨張係数差の克服

シリコン以外の検出器とシリコン集積回路の組み合わせ



Large thermal expansion mismatch between Ge detector and Si ROIC.

CTE for Si : 2.6 x 10^{-6} K^{-1}
CTE for Ge : 5.8 x 10^{-6} K^{-1}

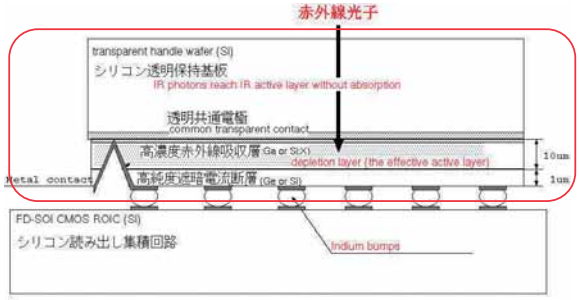
検出器とROICを組み合わせたhybrid型画像センサー

free from thermal expansion mismatch between detector wafer and ROIC

(Wada et al. 2016)

Hybrid化に向けた工夫

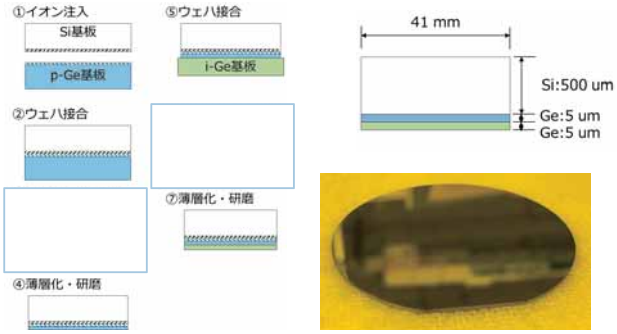
GeBIB on Si wafer



薄いGeBIB検出器を厚いSi waferで支持： 検出器(Ge)とROIC(Si)間の熱膨張係数の違いを緩和

Si/Ge接合面の強度が問題だったが、表面活性化による常温接合で、冷却サイクルに耐える強固な支持ができることを実証した。 公地千尋 修士論文 2015

シリコン支持型Ge BIBウェハ作製

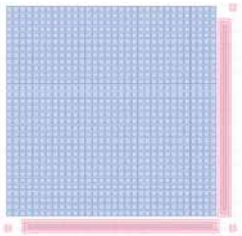


インハウス（宇宙研）で行っていた薄層化・研磨も含め、
請け負ってくれる業者さんが見つかった

検出器構造作製プロセス概要

プロセスチャート

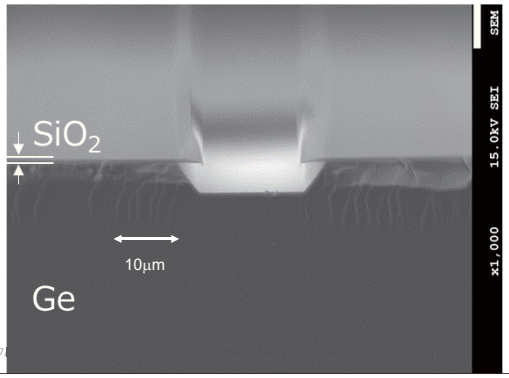
	工程	
1	初期洗浄	自然酸化膜除去
2	アライメントマーク（＋ダイシングマーク＋バンプ用アライメントマーク）	SiO2デポ
3		SiO2リソ
4		SiO2エッチング
5		Ge エッチング
6	透明電極コンタクトトレンチ	SiO2デポ
7		SiO2リソ
8		SiO2エッチング
9		Ge エッチング
10		SiO2除去
11	パッシベーション	SiO2デポ
12		SiO2リソ
13		SiO2エッチング
14	素子電極	リフトオフ用リソ
15	劈開、断面SEM観察	



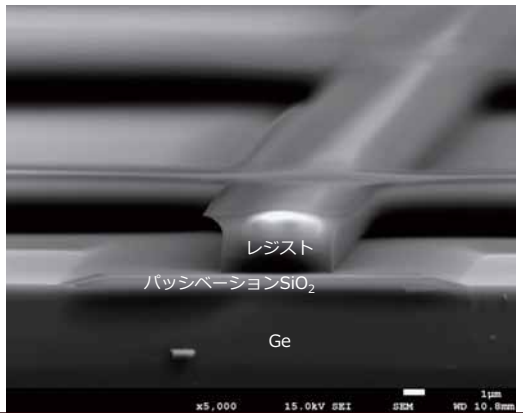
32x32アレイパターン

インハウス（宇宙研、東大）でプロセス。
すべての工程の条件出しが完了
1st lot が進行中。 最後の電極金属蒸着に取り掛かっている。
どなたか、ゲルマニウムプロセスを請け負ってくれる業者さんをご紹介ください

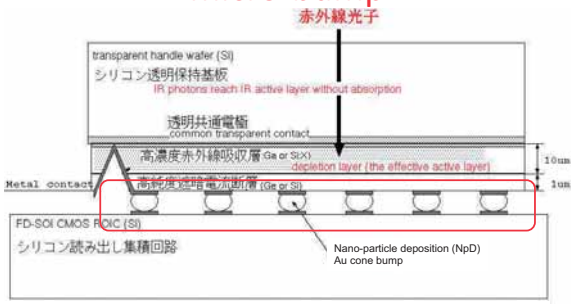
Ge異方性wetエッチングによるV字溝形成



リフトオフ用のレジスト形成

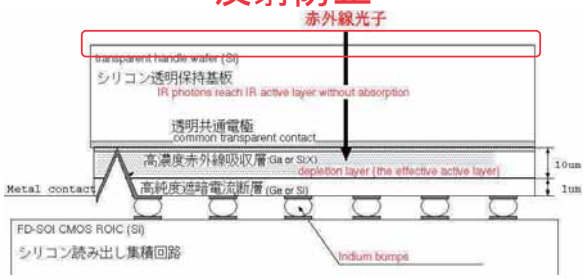


Hybrid化に向けた工夫
micro-bump



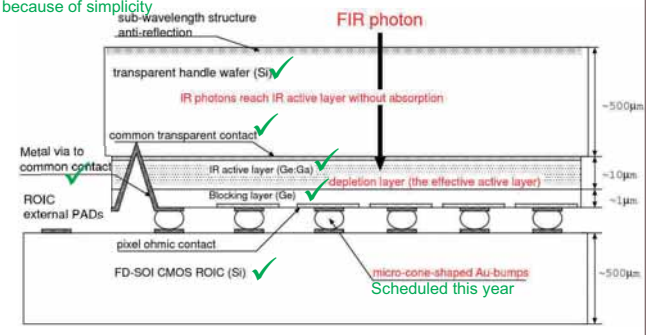
•三菱重工業: 金スタットバンプ
•実績有。 微細化困難。
•東北マイクロテック株式会社: 金ナノ粒子バンプ
•接着剤不要。微細化容易。

Hybrid化に向けた工夫
反射防止

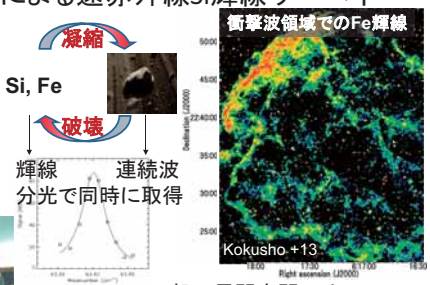


シリコンは赤外線に対し透明だが、屈折率が大きくフレネル反射ロスが大きい
誘電体多層膜による反射防止膜は材料の制限で難しい。また、冷却時の熱膨張係数の差で剥離。
サブ波長構造を用いた反射防止層を形成
(Wada et al. 2010)

Technology is ready, but not planned for this demonstration because of simplicity



気球望遠鏡による遠赤外線Si輝線サーベイ



遠赤外線センサの性能実証
インドTIFR1 m望遠鏡を利用
長年(~15年)の共同研究

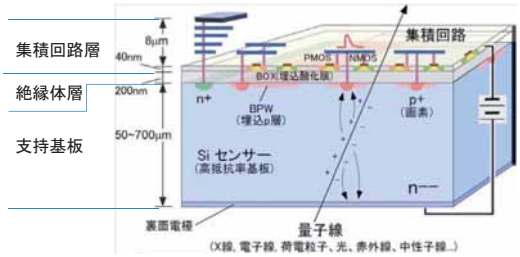
Fe, Si: 一般の星間空間では、95 %以上が塵(鉱物)に存在。
強い輝線: 衝撃波が塵を破壊する現場。
遠赤外Si輝線は、高温環境でなくとも、存在すれば光る(⇔近赤外Fe輝線)。
【例】SNRの宇宙線加速現場を探る。

年次計画(2017/06/28)

- 2013 表面入射検出器 25読出集積回路(ROIC)
- 2014 Si支持型Ge検出器
- 2015 5x5/32x32検出器　32x32ROIC
- 2016 Geプロセス開発/ROIC 4K動作
- 2017 気球観測　　ハイブリッド化

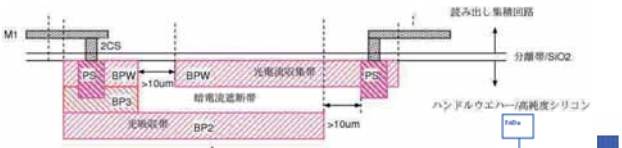
次世代赤外線天文衛星SPICA (大口径2.5m; 冷却 8K)
打上　2022=>2027/28
技術FIX 2014=>2017/18
NASA次世代赤外線望遠鏡 (大口径8～16m; 冷却 8K)
打上　2030年代？

SOI PIXセンサー



SOI: Silicon on insulator. 絶縁体層の上に集積回路を形成するシリコン層がある。
支持基板: 通常は「支持」するだけ。
SOI PIX: この支持基板に高純度シリコンを用いることで、種々の「量子」を検出器と集積回路がpixelレベルで融合している。
ただし、われわれ宇宙赤外線班は、
FD-SOI集積回路が極低温でも動作することを利用

ハンドルウエハーを赤外線検出器とする真の SOI PIX 赤外線画像センサー



Bump排除による検出器のミニチュア化 -> 低雑音

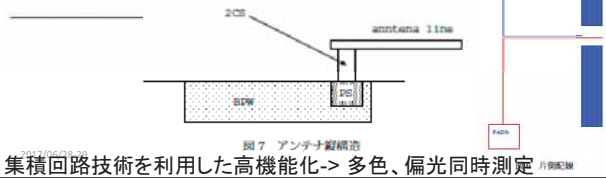
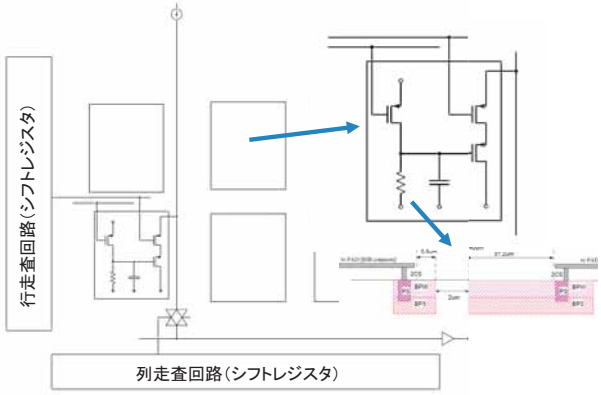


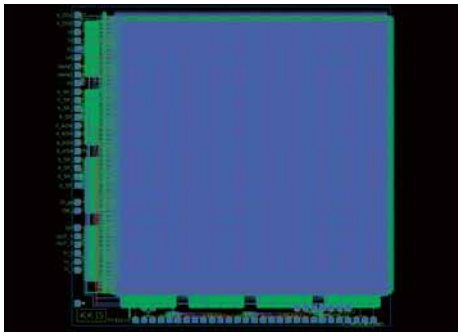
図7 アンテナ構造

集積回路技術を利用した高機能化-> 多色、偏光同時測定

128x128 BPW-IR SOIPIX



128x128 BPW-IR SOIPIX (FY2017-1, KK15)



まとめ

- Si支持型Ge検出器開発成功
- 4KでのCITA動作に成功
- NpD Au cone bump 4K　冷却試験成功

- 5x5　Ge BIB 画像センサー(wire bonding)
- 32x32　Ge BIB 画像センサー(3D)
- 気球観測実験
- 真の赤外線SOIPIX
- 本年度中に、「絵」を。。。

reference

- Ge:Ga BIB FIR sensor
  - MBE: Wada et al. 2010, IRMMW-THz 2010
  - SAB: Watanabe et al. 2011, JJAP, 50, 015701; Kaneda et al. 2011, JJAP 50, 066503
  - Transparent contact: Suzuki et al. 2012, PASP 124, 823
  - Spectral response: Hattori et al. 2012, 2013; Hanaoka et al. 2016, JLTP 184, 225.
- FD-SOI CMOS ROIC
  - Cryo CMOS FET: Nagata et al. 2009, AIPC 1185, 286
  - Cryo CMOS OP-AMP: Nagata et al. 2011, IEICE Trans. Commun. E94-B, 2952; Wada et al. 2012, J. Low Temp. Phys. 167, 602; Nagase et al. 2016, JLTP 184, 449.
  - Cryo CMOS Analog switch: Nagase et al. 2013, WOLTE10
- GeBIB/FD-SOI FIR Imaging sensor
  - Si supported array: Wada et al. 2016, JLTP 184, 217.
- SWS-AR
  - Wada et al. Appl. Phys. Express 3 (2010) 102503
  - Makitsubo, Wada et al. 2016, Infrared Milli Terahz Waves doi:10.1007/s10762-016-0328-z
  - Makitsubo 2013, Ph.D. thesis, Univ. of Tokyo

極低温SOI可視光センサーと CMB観測用光学系評価への応用

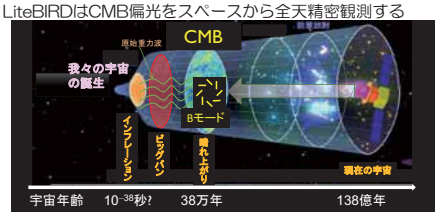
石野宏和（岡山大学）

2017年6月28日

第8回SOIPIX研究会@宮崎大学

目的：宇宙マイクロ波背景放射(CMB)を用いたインフレーションの検証

- インフレーション宇宙仮説は原始重力波の生成を予言
- 原始重力波はCMBの偏光マップにBモードと呼ばれる大きな渦模様の痕跡「インフレーションの指紋」を残す
- LiteBIRDはCMB偏光をスペースから全天精密観測する



LIGOの観測は古典的重力波
CMB偏光のターゲットは「真空の量子ゆらぎで生まれる重力波」

B-mode power spectrum measurements

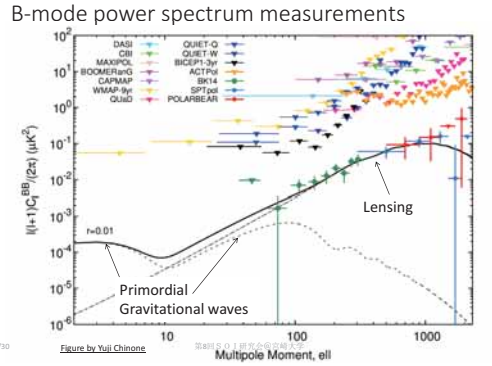


Figure by Yuji Chinone

B-mode power spectrum measurements

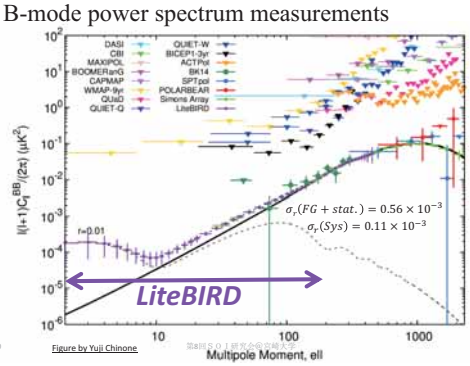
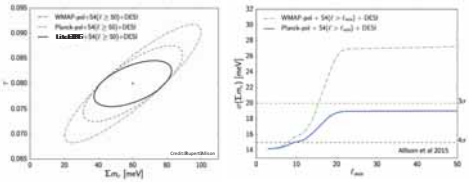


Figure by Yuji Chinone

τ(optical depth) and neutrino mass

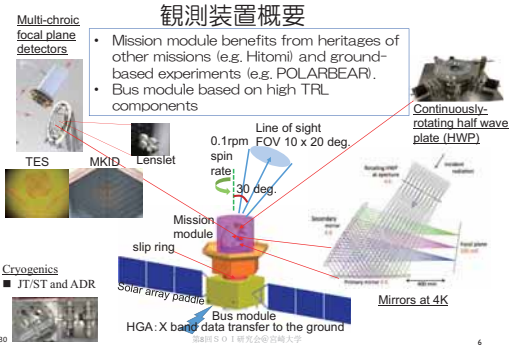
- τの測定精度をEモードの測定により改善できる。
- それにより、ニュートリノ質量和の測定精度も改善できる。



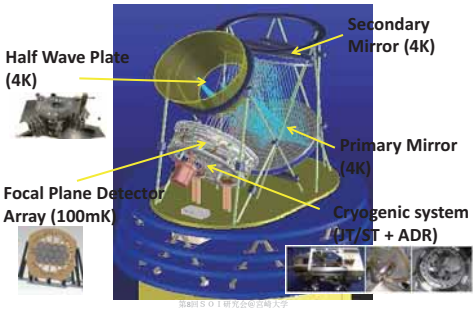
ニュートリノ質量和のためにも小さいτの測定が重要！

観測装置概要

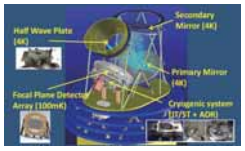
- Mission module benefits from heritages of other missions (e.g. Hitomi) and ground-based experiments (e.g. POLARBEAR).
- Bus module based on high TRL components



Mission components



動機・目的



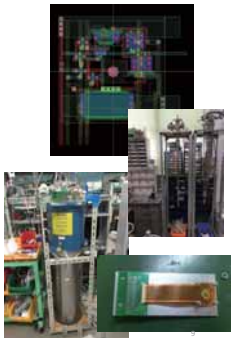
科学衛星計画LiteBIRDの光学系の性能評価

LiteBIRD：宇宙マイクロ波背景放射（CMB）の偏光を究極の感度で測定し、原始重力波を検出することを目的とする次世代の科学衛星

- 宇宙からくるCMB(ミリ波、波長～2mm)を焦点面に集光する光学系には2枚の鏡を用いる。
- 鏡自身が発する熱放射を抑えるため、鏡を4Kに冷却する。
  - 冷却すると、熱収縮による歪みや、アライメントのずれが生じる。
- 光学系を低温で評価したい。
  - Planckでは、低温チェンバーから光線を外に出して評価。測定系が大規模で複雑。
- 低温(77~4K)で動作するSOI回路を用いた可視光SOIセンサーを用いれば、直接焦点面におくことにより、評価を素早く行うことが可能。
  - 可視光レーザー光線を光学系に入れて、焦点面での照射位置を温度を変えながら測定したい。照射位置の変化から、鏡面の形状と位置のずれを推定する。

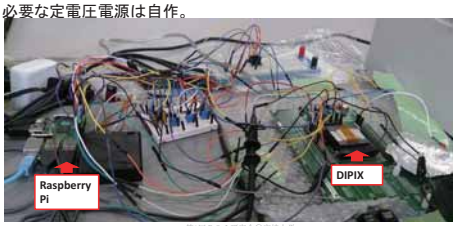
これまでの進展

- MPW run (MX2040)　chip-jk15にサブミット
  - DIPIXに基づくデザイン（新井先生、川人先生）
  - 基本的なIV測定は完了（樹林）
- 極低温での読み出しシステムの構築
  - 液体ヘリウムデュワー
  - 試料棒
  - ケーブル
  - フレックスサーキット
- 読み出しエレキ
  - DIPIXの読み出し
  - ラズベリーパイを用いた読み出し（原田・樹林）

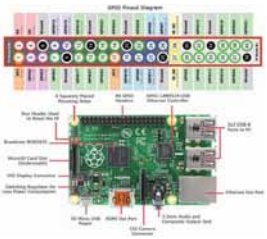


状況

- RaspberryPiでDIPIXの読み出し（原田・樹林）
  - 検出器を極低温に置くので、通常の読み出しシステム（SEABAS)は使えない。
  - RaspberryPiで制御したディジタル信号を生成し、ピクセルのアナログ出力をADCで記録する。
  - 必要な定電圧電源は自作。



RaspberryPi

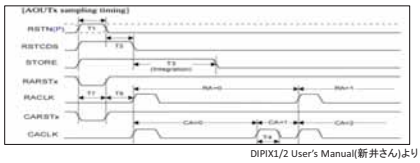


- Raspberry Pi 2 Model B
- 40 pins total
  - 17 GPIO (General Purpose Input and Output) pins
  - 5 SPI (serial peripheral interface) pins
    - MOSI (master-out slave-in)
    - MISO (master-in slave-out)
    - SCLK (serial clk)
    - CE0, CE1 (chip enable, for 2 devices)
  - 3.3 V
  - GND

DIPIXの読み出しシステムの開発(制御信号の生成)

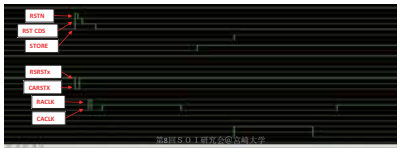
原田

マニュアルの制御信号

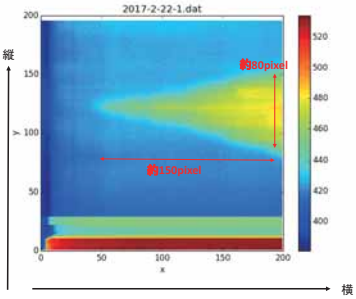


DIPIX1/2 User's Manual(新井さん)より

作成した制御信号



原田



Pixelの大きさ　14um×14um

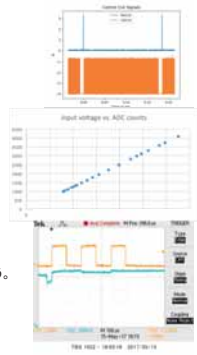
横･･･150×14um=2.1× 10^{-3}[m]
=0.21cm

縦･･･80×14um=1.12× 10^{-3}[m]
=0.12cm

ブラックシートに穴をあけた

読み出しエレキのまとめ

- 光の信号らしきものは見えた。
- 再現性を確認しようとしているが、挙動が不安定。
- 安定な動作を目指す。
  - 一つ一つの信号線のオシロスコープでのチェック。
  - 電源電圧・電流の安定性チェック。
  - ADCのチェック
- いろいろ行いましたが、やはり安定せず。。。
  - RaspberryPiの動作が不安定
  - CPUの能力不足？
    - ADCの出力カウントを書きだすプログラムが途中でこけてしまう。
    - こける位置がCPUの使用状況により異なる。
  - よりパワフルなCPUを用いる。



読み出しエレキについての今後

- Raspberry Piを使うことはいったんペンディングにすることに。
  - 同じ信号を出力でき、CPUパワーがより大きなハードウェアの検討
- DIPIXでとにかく動かすことにした。
  - シーバスシステムを最近購入。
  - FPGAのインストール。

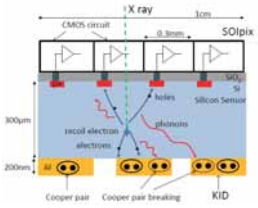
ピエゾステージ

- 焦点面における検出器の位置を移動するステージ。
  - 真空・極低温下でも作動可能。
  - 数nmの精度
  - 立ち上げて、通信することは確認。

ゆくゆくは、SOIKIDの開発につなげたい

SOI pixel detector+ Kinetic Inductance Detector

- SOIピクセル検出器と超伝導検出器KIDを組み合わせた検出器
  - 電離信号をSOIピクセル検出器で検出し、位置を決定
  - フォノン信号をKIDで検出し、エネルギー測定、
  - 半導体検出器を超えるエネルギー分解能の達成を目標
    - c.f. 120eV @ 6keV（シリコン検出器）
    - 70eV @ 6keV (STJ、M. Kurakado et al.)
- チャレンジングな開発要素
  - 0.3Kで、100uWの消費電力



まとめ

- LiteBIRDの光学系を極低温で評価するアプリケーション
- SOI素子
  - DIPIXに基づいたチップの作製：chip-jk15
- 読み出しシステムとしてラズベリーパイを考慮
  - 像は取れたが、安定せず。ラズベリーパイのCPU不足？
- 今後の予定
  - DIPIXの利用の実績を上げる→既存のシーバスでまずは動かす
  - ラズベリーパイに代わる読み出し装置の開発
    - 極低温での読み出しを目指す
  - ピエゾステージを用いた光学系評価システムの構築。

SOI技術を用いた中性子検出器の開発と弱い等価原理の検証実験

Yoshio Kamiya, Koji Yamada, Kenta Uchida, and Sachio Komamiya
The Univ. of Tokyo

東京大学 素粒子物理国際研究センター
理学系研究科 物理学専攻 駒宮研究室
kamiya@icepp.s.u-tokyo.ac.jp
http://www.icepp.s.u-tokyo.ac.jp/~kamiya/

第8回SOIPIX研究会@宮崎大 2017 6月29-30

Special Things about Gravity

Gravity is the commonest force experienced in every day life, however the most unusual from the view of particle physics. ⟶ Very fascinating!

- Extremely weak!

Gravity between protons is weaker than Coulomb force by 10^{-36}
(ratios between the other forces are 2 to 3 orders by contrast)

Electroweak scale ~ 1 TeV (Vacuum Expectation Value of the Higgs)

Gravitational Interaction scale ~ 10^{16} TeV (the Planck mass)

Q1

Is there any force with intermediate strength? — fifth force search experiment
Y. Kamiya, K. Itagaki, M. Tani *et al.*, PRL 114, 161101 (2015)

Special Things about Gravity

Gravity is the commonest force experienced in every day life, however the most unusual from the view of particle physics. ⟶ Very fascinating!

- Geometric! as a result of the weak equivalence principle (WEP)
This feature is a base for general relativity.

The principle has been tested in several ways, but most of them are in the classical frameworks.

Q3

Is the weak equivalence principle OK in the framework of quantum mechanics? — test of WEP in quantum system

Q2

Is there any observation of quantum effects due to the gravitational field? — test of quantum effects in gravitationally bound state
There were not so many.

G. Ichikawa, S. Komamiya, Y. Kamiya *et al.*, PRL 112, 071101 (2014)

Story Line

Q1

Is there any force with intermediate strength? — fifth force search experiment
Y. Kamiya, K. Itagaki, M. Tani *et al.*, PRL 114, 161101 (2015)
"Constraints on New Gravitylike Forces in the Nanometer Range"

Q2

Is there any observation of quantum effects due to the gravitational field? — test of quantum effect in gravitationally bound state
There were not so many.

G. Ichikawa, S. Komamiya, Y. Kamiya *et al.*, PRL 112, 071101 (2014)
"Observation of the Spatial Distribution of Gravitationally Bound Quantum States of Ultracold Neutrons and its Derivation using the Wigner Function"

We got new microscopic probe for gravity at the micron range!

Q3

Is the weak equivalence principle OK in the framework of quantum mechanics? — test of WEP in quantum system
now designing an experiment

Fifth force might violate the WEP at the microscopic range!

Story Line

Q1

Is there any force with intermediate strength? — fifth force search experiment
Y. Kamiya, K. Itagaki, M. Tani *et al.*, PRL 114, 161101 (2015)
"Constraints on New Gravitylike Forces in the Nanometer Range"

Q2 ⟵

Is there any observation of quantum effects due to the gravitational field? — test of quantum effect in gravitationally bound state
There were not so many.

G. Ichikawa, S. Komamiya, Y. Kamiya *et al.*, PRL 112, 071101 (2014)
"Observation of the Spatial Distribution of Gravitationally Bound Quantum States of Ultracold Neutrons and its Derivation using the Wigner Function"

We got new microscopic probe for gravity at the micron range!

Q3 ⟵

Is the weak equivalence principle OK in the framework of quantum mechanics? — test of WEP in quantum system
now designing an experiment

Fifth force might violate the WEP at the microscopic range!

Story Line

Q1

Is there any force with intermediate strength? — fifth force search experiment
Y. Kamiya, K. Itagaki, M. Tani *et al.*, PRL 114, 161101 (2015)
"Constraints on New Gravitylike Forces in the Nanometer Range"

Q2 ⟵

Is there any observation of quantum effects due to the gravitational field? — test of quantum effect in gravitationally bound state
There were not so many.

degenerate

G. Ichikawa, S. Komamiya, Y. Kamiya *et al.*, PRL 112, 071101 (2014)
"Observation of the Spatial Distribution of Gravitationally Bound Quantum States of Ultracold Neutrons and its Derivation using the Wigner Function"

We got new microscopic probe for gravity at the micron range!

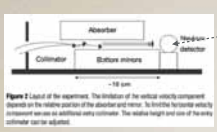
Q3 ⟵

Is the weak equivalence principle OK in the framework of quantum mechanics? — test of WEP in quantum system
now designing an experiment

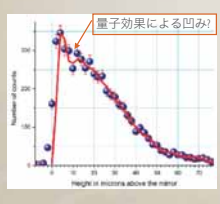
Fifth force might violate the WEP at the microscopic range!

重力場による量子束縛実験

V. V. Nesvizhevsky et al., Eur. Phys. J. C 40, 479 (2005)



位置感度のある中性子検出器を用いて、存在確率分布の特徴的な変調を観測する



Nesvizhevskyの実験で位置の変調を観測したと言うのは、さすがに厳しいと思う

測定器

- CR39(プラスチック)に ^{235}U を厚さ 0.5 microns で成膜
- 中性子 - ^{235}U の核反応からの破片が CR39 に欠陥を作る
- アルカリでエッチングして欠陥を大きくし、顕微鏡で位置を測定する

1 micron ぐらいの位置分解能が得られるとされている
CR39 板に湾曲がある場合があり、扱いが難しい

1/14

Testing of Gravitationally Bound State of Neutrons

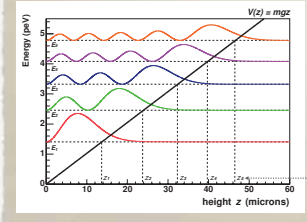
V. V. Nesvizhevsky et al., Nature 415, 297 (2002)

重力の下での シュレディンガー方程式

$$\{-\frac{\hbar^2}{2m}\frac{d^2}{dz^2}+V(z)\}\psi_n(z)=E_n\psi_n(z) \quad \text{where } V(z)=\begin{cases} mgz, & z\geq 0 \\ \infty, & z\leq 0 \end{cases}$$

無次元化 $\xi_n \equiv z/z_0 - E_n/E_0$ をして $(\frac{d^2}{d\xi_n^2}-\xi_n)\psi_n(\xi_n)=0$

解は Airy 関数で書ける



系の典型的スケールは

$$z_0 = (\frac{\hbar^2}{2m^2g})^{1/3} \sim 6\ \mu\text{m}$$

$$E_0 = (\frac{mg^2\hbar^2}{2})^{1/3} \sim 0.6\ \text{peV}$$

天井が十分に高い場合、中性子の存在確率分布は、左の固有状態の重ね合わせとなる

⟶ 分布に特徴的な変調(量子効果)が現れる

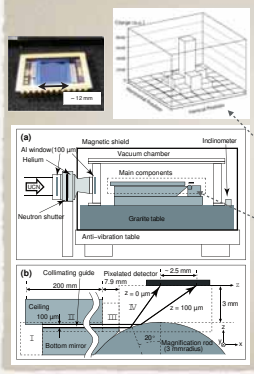
⟶ 分布の測定がしたい

古典論での折返し地点
$z_n \equiv z_0 E_n/E_0 \quad (\xi_n = 0)$

2/14

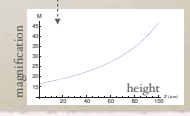
Quantum Bouncing of UCNs

G. Ichikawa, S. Komamiya, Y. Kamiya et al., PRL 112, 071101 (2014)



Detector S. Kawasaki, G. Ishikawa, M. Hino et al., NIM A 615,42 (2010)

- back-illuminated CCD with ^{10}B skin of 200 nm thickness
- n + ^{10}B -> 4He + 7Li + γ (Q=2.3 MeV)
  n + ^{10}B -> 4He + 7Li (Q=2.8 MeV)
- typical shape of charge cluster
- evaluate the position by waited center of the cluster
  → 3 micron spacial resolution by 24 micron pixels
- magnify the neutron distribution at the end of the guide using glass rod by 17~40 times

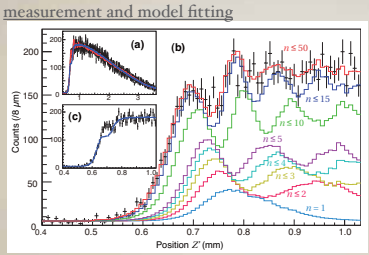


3/14

Quantum Bouncing of UCNs

G. Ichikawa, S. Komamiya, Y. Kamiya et al., PRL 112, 071101 (2014)

measurement and model fitting



scales of the system

$$z_0 = \left(\frac{\hbar^2}{2m^2 g}\right)^{1/3} \sim 6\ \mu m$$

$$E_0 = \left(\frac{mg^2\hbar^2}{2}\right)^{1/3} \sim 0.6\ \text{peV}$$

modulation of neutron distribution due to quantum effect was clearly observed!

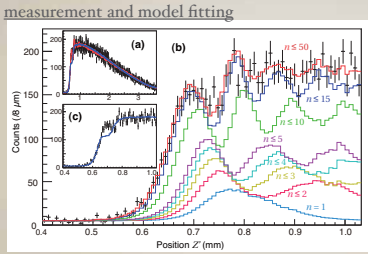
(a) expectations from quantum mechanics
(b) expectations from quantum mechanics (zoomed in)
(c) expectations from classical mechanics
consistent with quantum mechanics $\chi^2/\text{NDF} = 0.96$

4/14

Quantum Bouncing of UCNs

G. Ichikawa, S. Komamiya, Y. Kamiya et al., PRL 112, 071101 (2014)

measurement and model fitting



scales of the system

$$z_0 = \left(\frac{\hbar^2}{2m^2 g}\right)^{1/3} \sim 6\ \mu m$$

$$E_0 = \left(\frac{mg^2\hbar^2}{2}\right)^{1/3} \sim 0.6\ \text{peV}$$

modulation of neutron distribution due to quantum effect was clearly observed!

You can use this quantum system as a probe of a test of the weak equivalence principle in quantum regime!

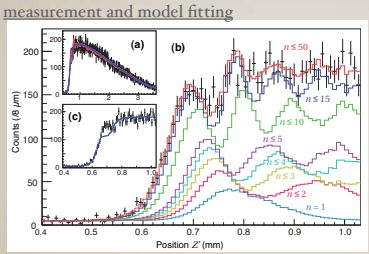
consistent with quantum mechanics $\chi^2/\text{NDF} = 0.96$

4/14

Quantum Bouncing of UCNs

G. Ichikawa, S. Komamiya, Y. Kamiya et al., PRL 112, 071101 (2014)

measurement and model fitting



scales of the system

$$z_0 = \left(\frac{\hbar^2}{2m^2 g}\right)^{1/3} \sim 6\ \mu m$$

$$E_0 = \left(\frac{mg^2\hbar^2}{2}\right)^{1/3} \sim 0.6\ \text{peV}$$

↓

$$z_0 = \left(\frac{\hbar^2}{2m_i m_g g}\right)^{1/3} \sim 6\ \mu m$$

$$E_0 = \left(\frac{m_g^3 g^2\hbar^2}{2m_i}\right)^{1/3} \sim 0.6\ \text{peV}$$

We can test the WEP by measuring length and energy scales of the system

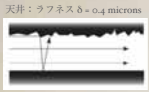
4/14

Quantum Bouncing of UCNs

中性子ガイドの役割・散乱/吸収モデル

G. Ichikawa, S. Komamiya, Y. Kamiya et al., PRL 112, 071101 (2014)

天井：ラフネス δ = 0.4 microns



床：ラフネス δ' = 0.03 microns

表面の凸凹に当った際に鉛直方向の運動量を持つことで、ガイドから逃げ出て減衰する

天井まで波動関数が届くような、量子数の高い状態を減らすことで、各準位の人口分布に偏りを作る

- これにより、変調分布のコントラストを上げる

この論文では、次の経験式で減衰を評価した

1. 天井での、各固有状態の単位時間あたりの減衰率は、δ の間に中性子が居る確率に比例するとする

$$\Gamma_n = \gamma \int_{h-2\delta}^{h} |\psi_n|^2 dz$$

2. 床での、各固有状態の単位時間あたりの減衰率は、古典的経路を考えた際の、バウンド回数に比例するとする

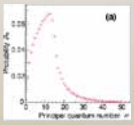
$$B_n = \beta \frac{g}{2\sqrt{2}} \sqrt{\frac{m}{E_n}}$$

→ 減衰率は、水平進行方向の速度で平均して

$$p_n \propto \left\langle \exp\left[-\frac{l}{v_x}(\Gamma_n + B_n)\right] \right\rangle_{v_x}$$

ガイドの長さ 200 mm

進行方向の速度
(mean 9.4 m/s, sigma 2.8 m/s のガウス分布)
測定値



ガイド出口での、各準位の人口分布
(ガイド入口では、各準位は等確率に存在すると仮定して)

Quantum Bouncing of UCNs

円筒面での反射

古典的には、円筒面への入射位置 z と入射角(運動量) Pz が同時に決まって反射方向が決まる

- 量子論では?

位相空間における量子力学の定式化 - Wigner 擬確率分布

定義: $W(z, p_z) \equiv \frac{1}{2\pi\hbar} \int_{-\infty}^{\infty} \delta\eta\, e^{-\frac{i}{\hbar} p_z \eta} < z + \frac{1}{2}\eta|\hat{\rho}|z - \frac{1}{2}\eta >$

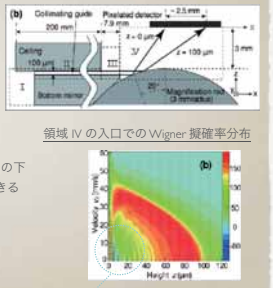
運動量で積分すると、位置の存在確率分布になる

$$\int_{-\infty}^{\infty} dp_z W(z, p_z) = < z|\hat{\rho}|z >$$

Wigner 分布の各位相点は、z の I 次ポテンシャル(V(z) = mgz) の下では、古典のLiouville 方程式に従って時間発展する - 計算できる

$$\left(\frac{\partial}{\partial t} + \frac{p_z}{m}\frac{\partial}{\partial z} - \frac{dV(z)}{dz}\frac{\partial}{\partial p_z}\right) W(z, p_z) = \sum_{l=1}^{\infty} U_l = 0$$

$$U_l = \frac{(-1)^l (\hbar/2)^{2l}}{(2l+1)!} \frac{d^{2l+1}V(z)}{dz^{2l+1}} \frac{\partial^{2l+1}}{\partial p_z^{2l+1}} W(z, p_z)$$

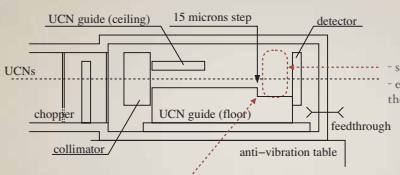


領域 IV の入口での Wigner 擬確率分布

負の値を取る - 量子効果

Testing WEP using the gravitationally bound state of UCNs

now designing an experiment for the test



- start to oscillate between the state
- energy scale can be evaluated by the oscillation frequency

non-adiabatic transition

make states

$$\psi_{(z,t=0)} = a_1\phi_{1(z)} + a_2\phi_{2(z)}$$

time evolution

$$|\psi_{(z,t)}|^2 = |\psi_{(z,t=0)}|^2 - 4a_1a_2\phi_{1(z)}\phi_{2(z)} \sin^2 \frac{(\varepsilon_2 - \varepsilon_1)}{2} t$$

energy scale

oscillating term

5/14

Testing the Weak Equivalence Principle

Classical Regime:

Lunar Laser Ranging Tests:	10^-13 level	PRL 93, 261101 (2004)
Torsion Balance:	10^-13 level	PRL 100, 041101 (2008)
Atom Interferometer:	10^-8 level	PRL 115, 013004 (2015)

Quantum Regime:

Neutron Interferometer:	10^-3 level	PRA 21, 1419 (1980)

However, some bias in analysis was pointed out by collaboration members.
Physica B151, 22 (1988)

Our target of 1st-stage experiment is 10^-3 level.

6/14

COW Experiment

R. Colella A. W. overhauser, and S. A. Werner, PRL 34, 1472 (1975)

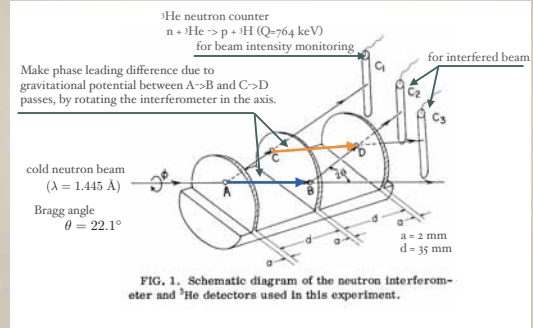


FIG. 1. Schematic diagram of the neutron interferometer and ^{3}He detectors used in this experiment.

COW Experiment - newest results -

S. A. Werner et al., Physica B 151, 22-35 (1988)

relative phase $\Delta\beta = -g\lambda(\frac{m_n}{\hbar})^2 S \cdot \sin\phi$ $\equiv q_{grav}$ $(S = 2d(d+a)\tan\theta)$ $(\sim 10^3\ \mathrm{mm}^2)$

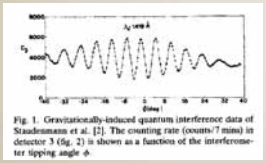


Fig. 1. Gravitationally-induced quantum interference data of Staudenmann et al. [2]. The counting rate (counts/7 mins) in detector 3 (fig. 2) is shown as a function of the interferometer tipping angle ϕ

Gravity-induced quantum phase was observed!

$q_{grav} = 58.72 \pm 0.03$ (Exp.)
$q_{grav} = 59.21$ (Calc.)

0.05% systematic uncertainty
0.8% difference

$q^2_{meas} = (q_{grav} + q_{bend})^2 + q^2_{Sagnac}$
$q_{bend} = 1.41$
$q_{Sagnac} = 1.45$

J. -L. Staudenmann, S. A. Werner, R. Colella, and A. W. Overhauser, PRA 21, 1419 (1980) is report < 0.4% difference between Exp. and Calc. However, S. A. Werner pointed that there is unwilling bias in analysis.

Testing WEP using Neutron Interferometer

J. -L. Staudenmann et al., PRA 21, 1419 (1980)
(Bias in analysis was pointed out.)

relative phase

$$\Delta\beta = -g\lambda(\frac{m_n}{\hbar})^2 S \cdot \sin\phi$$

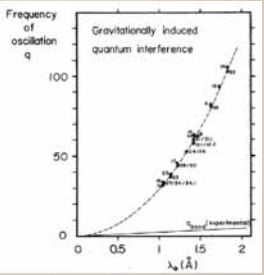
write inertial and gravitational masses explicitly

$$\Delta\beta = -g\lambda\frac{m_i m_g}{\hbar^2} S \cdot \sin\phi$$

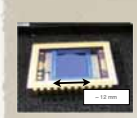
by measuring wavelength dependence of $\Delta\beta$

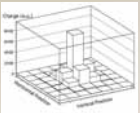
$(m_i m_g)^{1/2} = (1.675 \pm 0.003) \times 10^{-27}$ kg (Experiment)

$m_i = 1.6731 \times 10^{-27}$ kg (Particle Data Group)



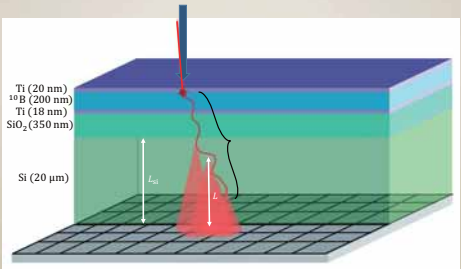
検出器のモデル



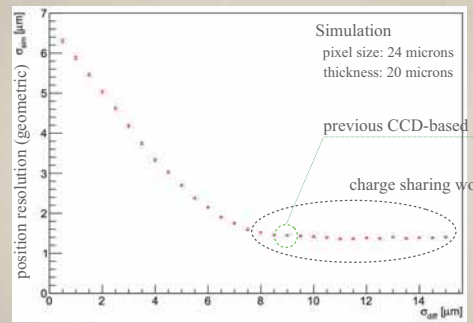


$n + {}^{10}B \rightarrow$
$\alpha(1.47\,\mathrm{MeV}) + {}^7Li^*(0.84\,\mathrm{MeV})$ (93.9 %)
$\quad \hookrightarrow {}^7Li(0.84\,\mathrm{MeV}) + \gamma(0.48\,\mathrm{MeV})$
$\alpha(1.78\,\mathrm{MeV}) + {}^7Li(1.01\,\mathrm{MeV})$ (6.1 %)

UCN



Charge Shearing Effect (geant4)



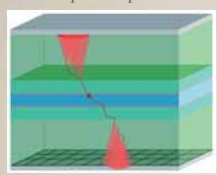
Charge Diffusing → **diffusion scale/pixel size** or **thickness/pixel size**

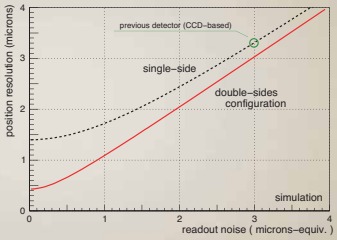
Sandwich (double-sides) Configuration

improves spacial resolution

two body decay

$n + {}^{10}B \rightarrow$
$\alpha(1.47\,\mathrm{MeV}) + {}^7Li^*(0.84\,\mathrm{MeV})$ (93.9 %)
$\quad \hookrightarrow {}^7Li(0.84\,\mathrm{MeV}) + \gamma(0.48\,\mathrm{MeV})$
$\alpha(1.78\,\mathrm{MeV}) + {}^7Li(1.01\,\mathrm{MeV})$ (6.1 %)





kinematic energy of ultra-cold neutron is around 200 neV

Preferable materials

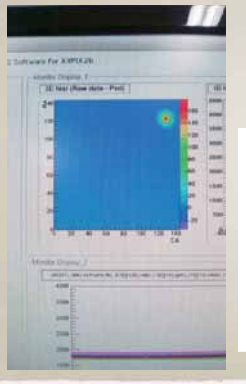
Mn, Ti, V, Cs, K, Rb, Ba, Na, S, Ca, Pr, I, Sr, Ce, Te, Br, Sn, P, Sb, Al,Si

Am による α線 照射テスト (XRPIX2b)

島添さん、吉原さん(東大工)
小貫さん、小瀬さん(東大理)
どうもありがとうございます!

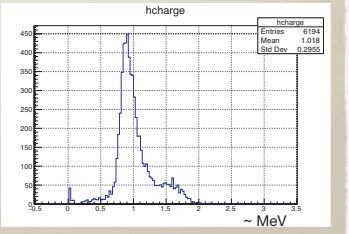
島添さんの、裏面照射用チップ
小貫さんのところの、恒温槽/DAQシステム

Am による α線 照射テスト (XRPIX2b)

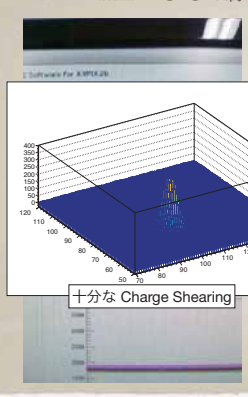


フレーム: 300 microns
温度: 5 度
バイアス: 100 V

クラスタサイズ 7x7 で charge を評価



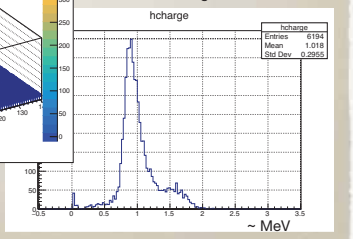
Am による α線 照射テスト (XRPIX2b)



フレーム: 300 microns
温度: 5 度
バイアス: 100 V

十分な Charge Shearing

サイズ 7x7 で charge を評価

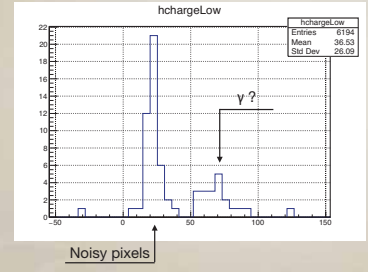


11/14

Am による α線 照射テスト (XRPIX2b)

$$^{241}\mathrm{Am} \rightarrow {}^{237}\mathrm{Np} + {}^{4}\alpha + \gamma(59.54\mathrm{keV})$$

低エネルギー側を拡大すると



α :
- 5.486 MeV : 85%
- 5.443 MeV : 13%
- 5.388 MeV : 2%

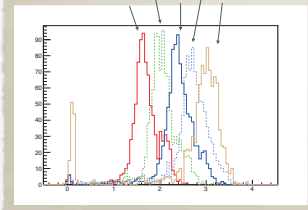
γ :
- 59.5409 keV : mostly
- 26.5 keV :
- 17.8 keV :
- 13.9 keV :

12/14

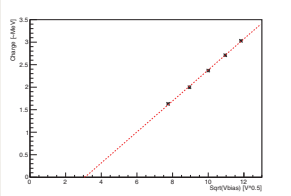
Bias Voltage vs Cluster Charge

クラスタサイズ 17x17 で charge を評価

Bias: 60V 80V 100V 120V 140V



空乏層の厚みを評価できるか?



$$\mathrm{Charge} = E_{\mathrm{Am}} - k(D-d)$$
$$= \alpha + \beta\sqrt{V_{\mathrm{bias}}}$$

E_Am: アルファ線のエネルギー
D: センサーの厚さ
d: 空乏層の厚さ

13/14

ToDo List

- 真空槽内でのα線照射 - キャリブレーション
  → ペルチェ素子などでクーリング

理科大のクーリングシステムを見学させてもらいました。
阪大 林田先生、理科大 幸村先生ありがとうございました。

- α線による位置分解能評価
- 10Bの成膜試験
- 超冷中性子の検出試験 - 超冷中性子の施設は夏ごろ使用可能かも
- 冷中性子による位置分解能評価

→ ・中性子ガイドの製作 - 実験システムの運用試験

14/14

IMaSS 名古屋大学 未来材料・システム研究所

第8回SOIPIX研究会@宮崎大学
2017年6月30日

SOIピクセル検出器の電子線イメージングへの応用

石田高史、篠﨑暉、桑原真人、齋藤晃
名古屋大学
三好敏喜、新井康夫
高エネルギー加速器研究機構

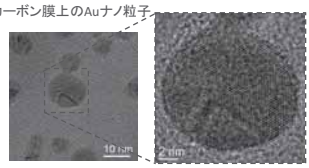
目次

1. 透過電子顕微鏡の現在と未来
   - 現在の透過電子顕微鏡
   - スピン偏極パルス透過電子顕微鏡
   - 本研究の目的
2. 実験セットアップ
3. 実験結果
   - INTPIX4での電子線イメージング
   - バックバイアス電圧依存性と電子線進入深さの関係
   - 積分時間と信号対雑音比の関係
4. まとめと今後の予定

現行の透過電子顕微鏡（TEM）

JEM-2100F Cs-corrected (JEOL)

カーボン膜上のAuナノ粒子



原子スケールの情報が得られる

一方で…

時間分解能はカメラの速度に律速される

スピン偏極パルス透過電子顕微鏡（SP-TEM）

＜特長＞

○電子源"GaAs型半導体フォトカソード"を搭載

円偏光レーザー → スピン偏極電子線

パルスレーザー → パルス電子線

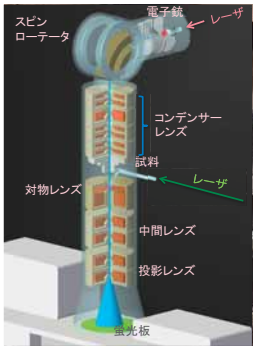
＜性能＞

○空間分解能 ~1nm

○エネルギー分散幅 0.24 eV

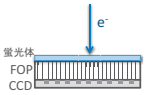
○**パルス幅 18 ± 3 ps**

○スピン偏極度 ~ 90 %

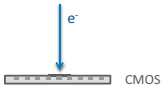


本研究の目的

CCDカメラ（蛍光体・FOP）
シンチレータで光に変換
高い量子効率は期待できない



ダイレクト電子検出器
直接検出により高量子効率
高速読みだし可能

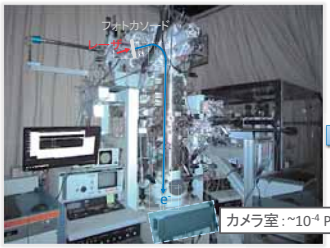


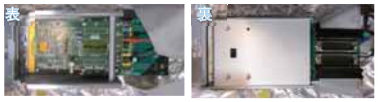
目的

SP-TEMとSOIピクセル検出器を組み合わせ、
ナノ秒・ナノスケールで起こる現象を可視化する

INTPIX4での電子線イメージングの結果について報告

INTPIX4のSP-TEMへの搭載





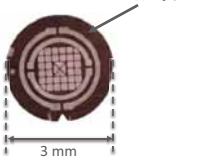
INTPIX4

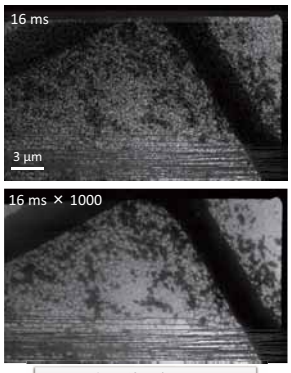
裏面から電子線が入射するように配置

結果：INTPIX4での電子線イメージング

＜観察条件＞
加速電圧：30 kV
試料：カーボン膜上のGaP
積分時間： 16 ms
バックバイアス電圧：250 V
温度： R. T. (約20℃)
ピクセル数：512 × 832

TEM試料

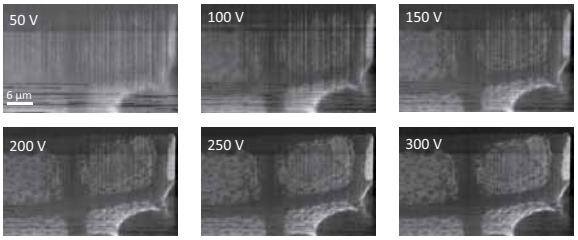




電子線で像が見えた！

結果：バックバイアス電圧依存性

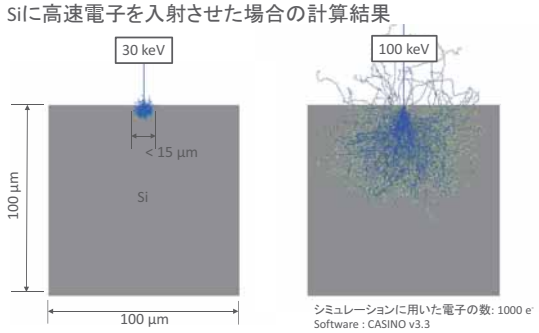
電子線の加速電圧：30 kV
試料：カーボン膜上のGaP粉砕試料
積分時間： 1 ms × 1000



200 ～ 300 Vで鮮明に像が得られた

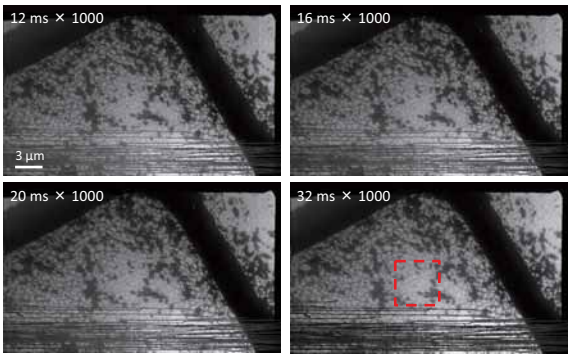
電子線のSiへの侵入深さ

- モンテカルロシミュレーション
- Siに高速電子を入射させた場合の計算結果



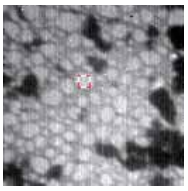
30 keVの電子線は8µm程度しかSiに侵入しない

結果：積分時間依存性

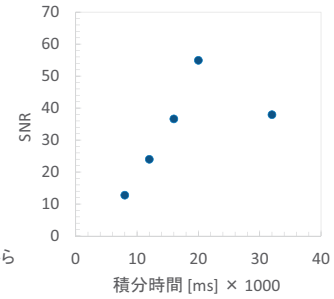


(V_d = 250 V)

信号対雑音比の積分時間依存性



真空領域 (8×8 pixels) の
平均カウント数とその分散から
信号対雑音比を算出



20 msまでは積分時間に比例してSNRが増加するが、
積分時間を延ばしすぎると（32 ms）逆に像質は低下する

まとめ

INTPIX4をスピン偏極パルス透過電子顕微鏡に搭載し

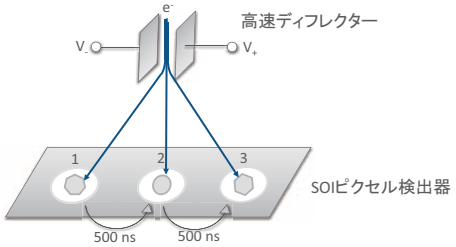
- INTPIX4で30keVの電子線を用いて像を取得できることがわかった
- バックバイアス電圧依存性を調べ、200~300 Vの電圧が適していることがわかった
- 信号対雑音比の積分時間の依存性を調べ、長時間（32 ms）の積分時間では信号対雑音比が低下した

今後の予定

- 30〜200 keVの電子線での基本性能（MTF・DQE）の計測
- 冷却機構の搭載
- パルス電子線（レーザー）・高速ディフレクターとの同期

最後に

静止画だけではなく動画で



SOI研究会に参加された皆様から様々なアドバイスを頂けると幸いです

5. 第８回新学術研究会
ポスター発表

2017年06月29日 宮崎大学
第8回SOI新学術領域研究会

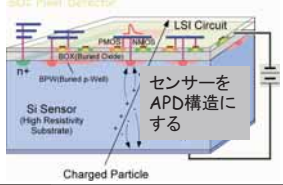
SOI技術を用いた線形増幅型検出器の開発

Development status of monolithically integrated linear-avalanche detector using SOI-technology

浜崎竜太郎[A],小山晃広[B], 島添健次[B],竹下徹[C],中村勇[D],岸本俊二[D],三好敏喜[D], 倉知郁夫[D], 新井康夫[D],
,他SOIPIXグループ （A .総研大　B.東大　C.信州大　D. KEK ）

Introduction

フォトディテクタ構造では直接検出の困難であった低エネルギーX線領域に感度のある検出器の開発を目指している. 特に微弱信号検出において位置, エネルギー, 時間情報が同時に測定できる線形増倍型のAvalanche PhotoDiode (APD)アレイ及び集積回路をSOI技術によりチップ上に一体化した高精細高感度の量子イメージング検出器の開発を行っている.そこで吸収層と増倍領域を分離したReach through型APD, 及びInterrupted-Finger APDについて開発を進めている. 本発表ではFinger構造における電流電圧特性, 増幅率の測定結果について報告する.



SOIAPD検出器の利点

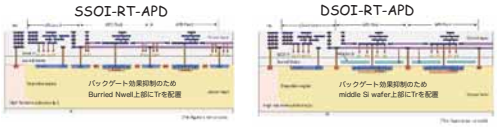
- ☑ SOI CMOSプロセス：複雑な信号処理回路の搭載, 過酷な環境（極低温, 放射線）でも使用可能
- ☑ APD：位置・エネルギー情報を保持, 10~100倍程度の線形増倍, SN及び時間特性向上

Reach through APD

Reach through型の構造及び開発項目

- 直接検出　・電場構造の安定性
- 完全空乏化　・熱電子による増幅

SSOI-RT-APD　　DSOI-RT-APD



- □ Pwell注入条件最適化, 読み出し回路設計
- □ エッジブレイクダウン&バックゲート効果抑制

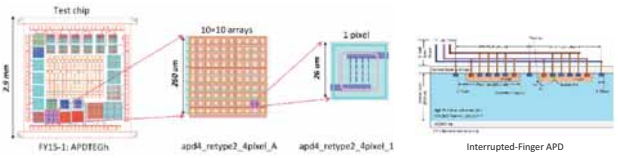
Interrupted-Finger-APD

Interrupted-Finger-APD設計

Buried PWellにおいて格子状にノード(n+)をインプラすることでFingerAPDを作製した.界面より浅い領域にも感度が有る,またエッジ部の電場集中を抑制していないため容易にアバランシェ増倍が期待できる.

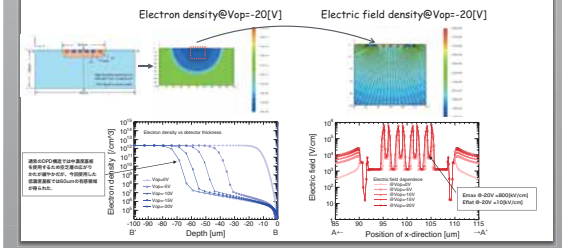
SOIAPD Test chip

- apd4_retype2_4pixel
- 10×10arrays
- 26um/1 pixel size
- N+/PW/Nsub. (NS/BPW+BP2/Layer)
- APD for Linear-mode
- w/o Quench R &JTE



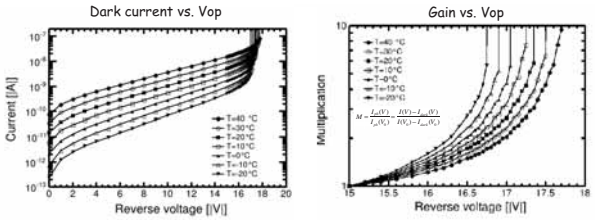
TCAD simulation

□ HyENEXSS TCADを用いてFinger APDのオリジナル・プロファイルを作製. 有感領域(空乏層)及び, PN接合エッジ部の電場構造について入力ファイルを作成.エッジ部とフラット領域について-20Vの電圧印加時で800,10[kV/cm]の電場となりブレイクダウンがエッジ部の局所電場起因であることが理解できる.



Test chip measurement

- □ 26um pitch ,10 x 10 pixels,SSOI-Interrupted-Finger-APD,
- □ フィバー出力型LEDの可視光(λ~530nm)をピクセルサイズに集光して照射(1.42uW)
- □ keithley source meterと恒温槽を用いて電流電圧特性及び温度特性を取得
- □ 基準バイアスと動作電圧において光電流値を除した値より増倍率を定義
- □ Vb~17[|V|],dVb/dT~12[|mV|/℃], Multiplication~10



Conclusion

- 線形増幅型の2次元イメージング検出器SOIAPDの基礎開発を進めている
- APD動作モード：リニアモード, APD構造：Interrupted Finger APD
- Vb~17[|V|],dVb/dT~12[|mV|/℃], Multiplication~10
- Finger APDの増幅特性として駆動動作電圧は小さいが実用可能性があることを検証した
- 今後,Reach through型について基礎測定及び半導体シミュレータを用いた素子構造の最適化を行い、優れた線形増幅型イメージング検出器の条件を抽出する

Reference

- S.L. Miller, "Ionization Rates for Holes and Electrons in Silicon," Phys.Rev.105,1246(1957).
- R.J.McINTYRE "Multiplication Noise in Uniform Avalanche Diodes"IEEE(1966).
- M.A.Karami,Tunneling in submicron CMOS single-photon avalanche diodes Chinese optics letters(2014).
- H. Zimmermann, Integrated Silicon Optoelectronics. Springer-Verlag Berlin Heidelberg, second edition, (2010).
- T.K. Woodward, A.V. Krishnamoorthy, "1Gbit/s CMOS Photoreceiver with Integrated Detector Operating at 850nm," Electron. Lett.,p1252, (1998).
- B. Ciftcioglu, L. Zhang, J. Zhang, J. R. Marciante, J. Zuegel, R. Sobolewski, and Hui Wu, "Integrated Silicon PIN Photodiodes Using Deep N-Well in a Standard 0.18um CMOS Technology," Journal of Lightwave Technology,(2009).

5-1. SOI 技術を用いた線形増幅型検出器の開発

2017年06月29日 宮崎大学
第8回SOI新学術領域研究会

SOI技術を用いた線形増幅型検出器の開発

浜崎竜太郎[A] ,小山晃広[B], 島添健次[B],竹下徹[C], 岸本俊二[B],中村勇[B],
三好敏喜[B],倉知郁夫[B],新井康夫[B],他SOIPIXグループ (A. 総研大 B. 京大 C. 信州大 D.KEK)

内容

線形増幅型アバランシェ・イメージング検出器SOIAPDの基礎開発を進めている

*、'SOI-Avalanche PhotoDiode'の略

センサーを
APD構造にする

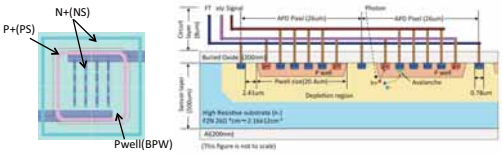
利点

☑ 複雑な信号処理回路の搭載、過酷な環境(極低温使用、放射線耐性)でも使用可能
☑ 位置・エネルギー情報を保持、10~100倍の線形増倍、SN及び時間特性向上

17/06/29 第8回新学術領域研究会@宮崎大学 1

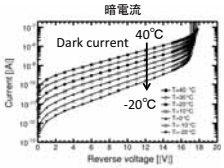
Interrupted-Finger APD

エッジ部でガードがないので容易にアバランシェ増倍が期待される構造

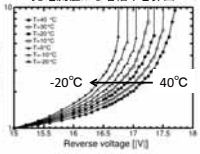


SOIAPD Test chip
- 10×10arrays
- 26um/1 pixel
- N+/PW/Nsub. (NS/BPW+BP2/Layer)
- APD for Linear-mode (w/o Quench R &JTE)

暗電流



光電流値から増幅率を算出



Vb~17(|V|),dVb/dT~12(|mV|/℃),Multiplication~10

詳細はポスターをご覧ください.

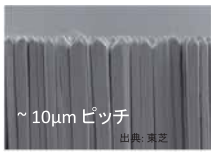
17/06/29 第8回新学術領域研究会@宮崎大学 2

X線Photon counting イメージングに向けたSOI-SiPMの開発

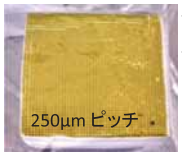
小山晃広[1], 浜崎竜太郎[2], 島添健次[1], 高橋浩之[1], 竹下徹[3], 三好敏喜[4],倉知郁生[4],中村勇[4],岸本俊二[5],新井康夫[4]
1 東大工, 2 総研大, 3 信州大, 4 KEK素核研, 5 KEK物構研

研究背景

X 線光子のエネルギーを光子ごとに判別することで、物質ごとの線減弱係数やK吸収端の違いを検出し、原子番号の推定を行う Photon Counting CT (PCCT) の実現が望まれている。本研究では微細分割構造を有するシンチレータの利用を視野に入れ、1 Mcps/pixel の高計数率下において、数10~数100 μmのピッチサイズでシンチレータの光子数を読み出し可能な光検出器をSOI技術により実現する。

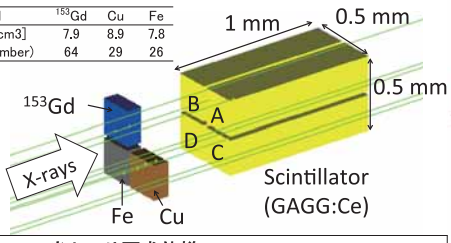


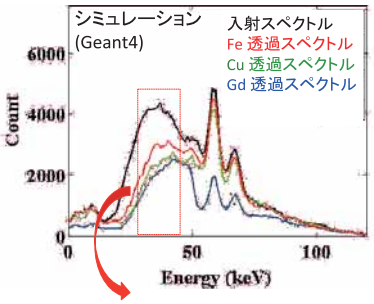
柱状CsIシンチレータ



ダイシング加工による
微細シンチレータアレイ

Material	^{153}Gd	Cu	Fe
Density [g/cm3]	7.9	8.9	7.8
Z (Atomic number)	64	29	26





	光センサ要求仕様
計数率	パルス分解能 100 ns~1 μs (100 k~ 1M Hzの計数率に相当)
ピクセルサイズ	10 ~ 500 μm
エネルギー弁別の 閾値数	GAGG:Ce (60000 photons/MeV)を使用する場合 シンチレータの二次光子を最低でも 1200 ~ 2400 photon 単位で検出

エネルギー窓を設けて再構成を行うことで
低エネルギーX線光子に対しても
定量的な測定が可能となる

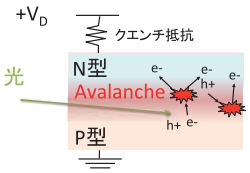
プリアンプ（パルス分解型を対象とする速いもの）のノイズレベルとして
LGAD [1] (2016) : 1000 e- < input capacitance 20 pF , >
APD-PET [2] (2007) : 1060 e- < input capacitance 20 pF > （ 600 e⁻ + 28 e⁻ / pF ）

➡ 単純なフォトダイオードでは
1000 photon 程度の出力だとノイズレベル

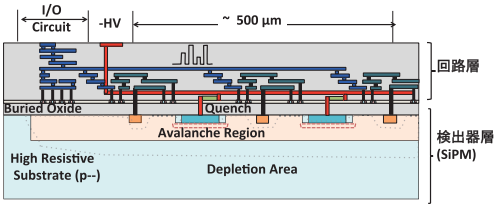
目的: シンチレータの出力を高計数率かつ高い位置分解能で読み出し可能な光検出器の開発

方法

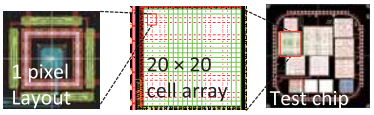
➢ SOI ウェハ上でSiPMを実現、読み出し回路層（プリアンプ、エネルギー弁別）を一体化
低雑音波高分析型ピクセル光検出器を実現する

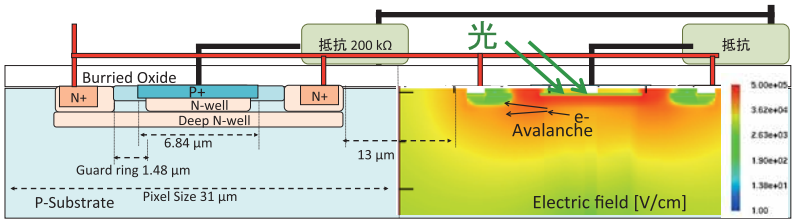


	PD[3]	Linear APD[4]	SiPM[5]
増幅率	1	10 ~ 1000	10^4 ~ 10^6
Rise time	0.5 μs ~	450 ps ~	~ 500 ps



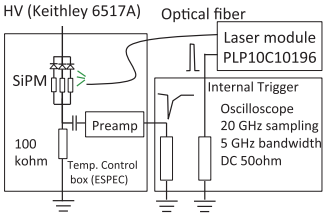
➢SOI ウェハでの Test chipの製作
表面電極のみのリバース型Geiger増幅モード素子を作成

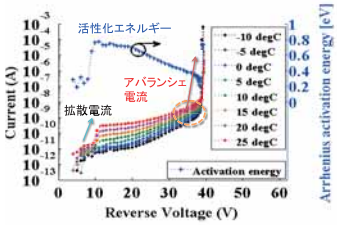


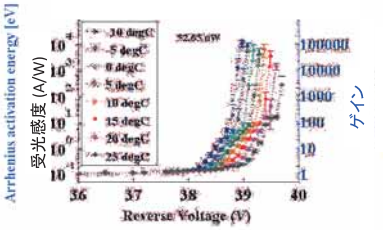


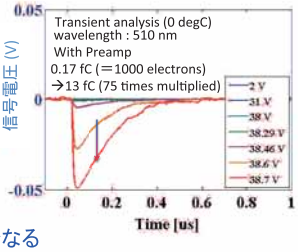
実験結果

Keithley4200 SCSを用いてリバース型Geiger増幅モード素子 (400 cell) の電流電圧(IV)特性、およびその温度依存性を測定した
510nm パルス光を表面酸化膜側より照射し、降伏電圧である37V付近からアバランシェによる出力電荷量の増加を確認した









37 ~ 40 V程度まで印加すると空乏層内での衝突イオン化（アバランシェ）による生成電流が支配的となる

結論

➢ 間接変換型X線Photon Counting検出に向け Geiger Mode APDをSOIウェハ上に配置したものを設計し、基礎実験を行った
➢ 温度依存性から暗電流成分の解析を行い、37 ~ 40 Vでアバランシェ生成電流が支配的となることを確認した
➢ 500 nm 波長のレーザーパルス (パルス幅 70 ps) を照射し光と同期した増幅信号を確認した

参考文献

[1] O.Alonso, N.Franch et al. PIXEL2016 (2016)
[2] K. Shimazoe, T.Orita, H.Takahashi, et al. NIMA, (2013)
[3] hamamatsu s1787,
[4] Laser Components S.A.S. SAE500VX ,
[5] FBK(2011, 2013)

5-2. X 線 Photon counting イメージングに向けた SOI-SiPM の開発

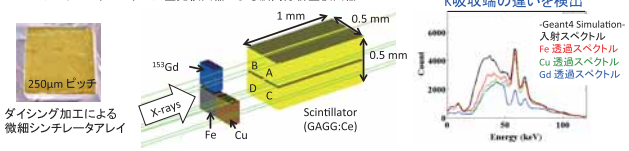
X線Photon Countingイメージングに向けたSOI-SiPMの開発

小山晃広[1], 浜崎竜太郎[2], 島添健次[1], 高橋浩之[1],
竹下徹[3], 三好敏喜[4],倉知郁生[4],中村勇[4],岸本俊二[5],新井康夫[4]
1 東大工, 2 総研大, 3 信州大, 4 KEK 素核研, 5 KEK物構研

研究背景及び目的

硬X線(20~120 keV)領域における Photon counting イメージング
→ シンチレータ+ピクセル型光検出器による波高分析型検出器

物質ごとの線減弱係数や
K吸収端の違いを検出



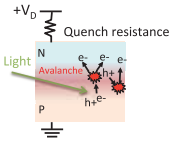
	光センサ要求仕様
計数率	パルス分解能 100 ns~1 μs
ピクセルサイズ	10 ~ 300 μm
エネルギー弁別の閾値数	シンチレータの二次光子を最低でも 1200 ~ 2400 photon 単位で検出

目的: シンチレータの出力を高計数率かつ高い位置分解能で読み出し可能な光検出器の開発

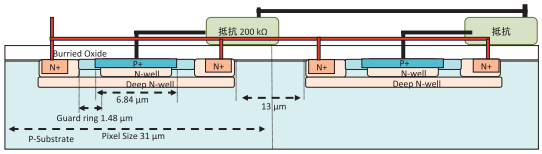
研究内容

- アバランシェ増倍と呼ばれる現象を利用して受光感度を向上させた光検出器をSOIウェハ上で実現する

	PD[4]	Linear APD[5]	SiPM[6]
増幅率	1	10 ~ 1000	10^4 ~ 10^6
Rise time	> 500 ns	> 450 ps	< 500 ps



- SOIウェハ上でガイガー増幅型ピクセル光検出器 (SiPM, MPPC, SPAD,..) プロトタイプを作成し 性能評価を行った

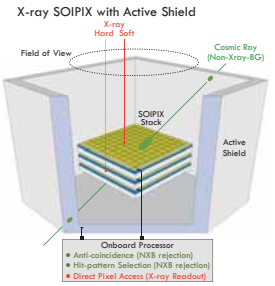


XRPIX6D,6H 性能比較

林秀輝, 鶴剛, 田中孝明, 内田裕之, 松村英晃, 立花克裕, 原田颯大 (京大理), 武田彩希, 森浩二, 西岡 祐介, 武林伸明, 横山聖真, 福田昂平 (宮崎大工), 新井康夫, 三好敏喜, 倉知郁生 (KEK), 幸村孝由, 萩野浩一, 根岸康介, 大野顕司, 鑓田敬吾 (東理大理工), 川人祥二, 香川景一郎, 安富啓太, 亀濱博紀, Sumeet Shrestha (静大工)

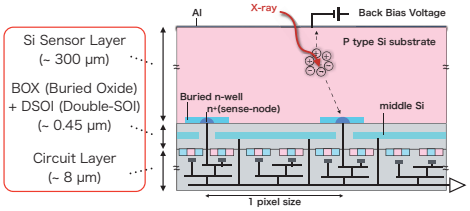
Introduction

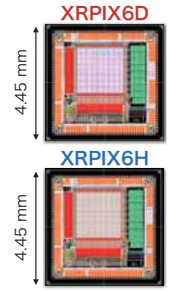
我々は、次世代のX線天文衛星「FORCE」搭載に向けて、X線SOIピクセル検出器「XRPIX」を開発している [1]。現在主流のピクセル検出器である X線CCD には、時間分解能が数秒と遅いことに起因して、~ 10 keV 以上の帯域で非X線バックグラウンド (NXB) が高いという問題がある。XRPIX は、CCD と同等の位置分解能と分光性能を持ちながら、各ピクセルにイベントトリガー機能を備えることで、~ 10 μs の時間分解能を可能とする。この高時間分解能により、NXB を除去する反同時計数法を用いることができ、0.5–40 keV の広帯域撮像分光を実現する。
今回、XRPIX6D, XRPIX6H という分光性能向上を狙いとした新たな素子を開発した。これらの素子の性能を比較し、その結果を報告する。



Device Description of XRPIX6D,6H

The cross-sectional view of XRPIX6D



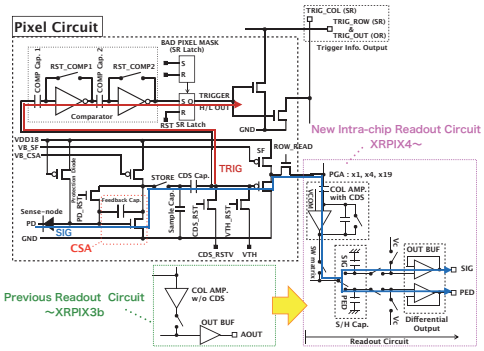


	XRPIX6D	XRPIX6H
構造	電子収集型 Double-SOI	ホール収集型 Single-SOI
ウェハータイプ	P-type CZ	N-type FZ
比抵抗	1 kΩ·cm	5.2–6.2 kΩ·cm
センサー層の厚み	300 μm	500 μm

XRPIX6D,6H ともに
ピクセルサイズ : 36 μm sq.
ピクセル数 : 48 × 48

※ 6D には様々なピクセル構造を入れており、ここに示す結果は、一番良いと判断したピクセル構造のデータである

Pixel Circuit of XRPIX6D,6H



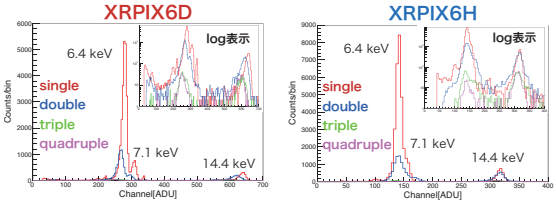
- CDS Cap. によりリセットノイズを抑制
- 各カラムラインに Programmable Gain Amplifier (PGA) 回路を搭載
- 電圧レベルを一度 Sampling Hold Cap. に保持
- 信号レベルとペデスタルレベルを差動出力
- 8 × 8 ピクセルをユニットとして読み出す (イベント駆動読み出しに最適化した構造)

Spectral Performance

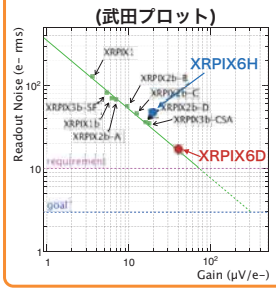
＊フレーム読み出し (イベント駆動読み出しではない)

^{57}Co (6.4, 7.1, 14.4 keV) を XRPIX6D,6H に表面 (回路層側から) 照射し、分光性能を比較する

温度 : –60 ℃、露光時間 : 1 ms
Vback (逆バイアス電圧) : –400 V (6D)
+400 V (6H)



ゲイン vs. 読み出しノイズ (武田プロット)

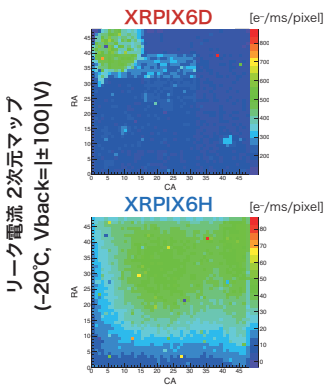


Chip Gain : 39.82 μV/e⁻
Readout noise : 17.41 e⁻ (rms)
2.84 ADU (rms)
FWHM (@6.4keV) : 296 eV (4.6 %)
※ single events で算出

Chip Gain : 19.62 μV/e⁻
Readout noise : 47.32 e⁻ (rms)
3.81 ADU (rms)
FWHM (@6.4keV) : 500 eV (7.8 %)
※ single events で算出

・XRPIX6D が 6H より分光性能が良いのは、DSOI により 6D のセンスノードサイズを 6H より小さくでき、センスノード容量が小さくなったことによって、ゲインが大きくなったためである
・XRPIX6H は、6D よりも分光性能は悪いが、single と double のピーク位置のずれがほぼなく、センサー層での電荷損失がとても小さいと考えられる [2]

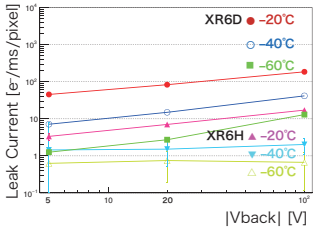
Leak Current



ウェハーの格子欠陥により模様が見えていると考えている
また、XR6D で四角の模様が見えているのはピクセル構造の違いによるリークの違いである

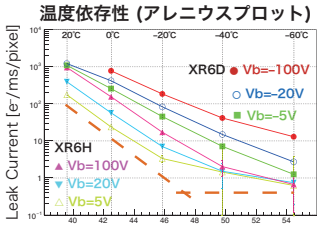
Vback 依存性

※ [RA,CA]=[5,10] のピクセルのリーク電流をプロット



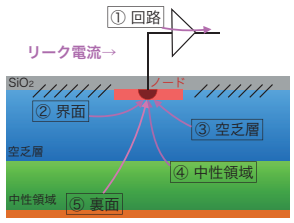
・XR6D の方が、6H より傾きが大きいことから、PCZ は NFZ より単位体積あたりのリークが大きいことが示唆される
・XR6D は、右の Leak Current の式の a に温度によるバラツキがある
-> ①回路リーク の温度依存は小さいと考えられるため、②④⑤の影響が大きいことが示唆されるが、その中でも ②界面リーク に注目して今後調査する

温度依存性 (アレニウスプロット)

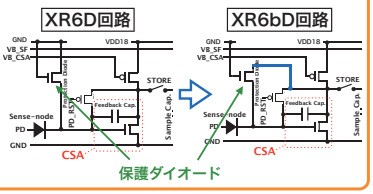


・温度を下げても、1 ~ 10 e⁻/ms/pixel までリーク電流が下がると、それ以降あまりリークが減っていかない現象が確認される
-> 温度に依存する成分 (②+③+④+⑤) と温度に依存しない成分 (①) の2成分で説明できるのではないか (左図 — —)
-> ①回路リーク の主な発生源として、右図の保護ダイオードが考えられる
-> 保護ダイオードの配線をつなぎ変えることで、リークの低減が期待できる XR6bD を開発した → 今後、リークを調査する

リーク電流発生源



$$Leak\ Current \sim \underbrace{a}_{(①+②+④+⑤)} + \underbrace{b \times \sqrt{V_{back}}}_{③}$$



Summary and Future

・「FORCE」搭載に向けて XRPIX の開発を進めており、今回、XRPIX6D, XRPIX6H という分光性能向上を狙いとした新たな素子を開発した
・XRPIX6D のゲインと読み出しノイズはそれぞれ、39.82 μV/e⁻, 17.41 e⁻ (rms) であり、XRPIX6H は、19.62 μV/e⁻, 47.32 e⁻ (rms) である
・リーク電流調査により、NFZ に比べて PCZ のリークが大きいことがわかり、また、回路リーク低減に向けて XRPIX6bD という素子を新たに開発したので、今後この素子のリーク電流評価を行う

Reference

[1] T.G.Tsuru et al., Proc. SPIE 9144 (2014) 914412.
[2] H. Matsumura et al., Nucl. Instrum. Methods Phys. Res. A 794 (2015) 255.

1

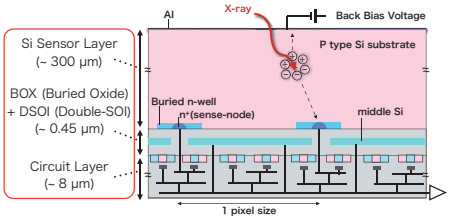
XRPIX6D,6H 性能比較

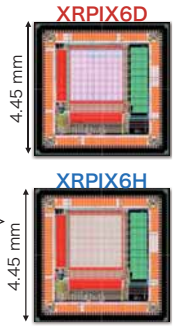
2017.6.29-30 第8回SOI研究会 @ 宮崎大
林 秀輝 (京都大学) hayashi@cr.scphys.kyoto-u.ac.jp
鶴剛, 田中孝明, 内田裕之, 松村英晃, 立花克裕, 原田颯大 (京大理),
武田彩希, 森浩二, 西岡 祐介, 武林伸明, 横山聖真, 福田昂平 (宮崎大工),
新井康夫, 三好敏喜, 倉知郁生 (KEK),
幸村孝由, 萩野浩一, 根岸康介, 大野顕司, 鑓田敬吾 (東理大理工),
川人祥二, 香川景一郎, 安富啓太, 亀濱博紀, Sumeet Shrestha (静大工)

2

XRPIX6D,6H について

The cross-sectional view of XRPIX6D





	XRPIX6D	XRPIX6H
構造	電子収集型 Double-SOI	ホール収集型 Single-SOI
ウェハータイプ	P-type CZ	N-type FZ
比抵抗	1 kΩ·cm	5.2–6.2 kΩ·cm
センサー層の厚み	300 μm	500 μm

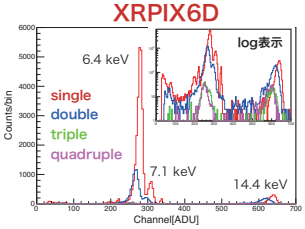
XRPIX6D,6H ともに
ピクセルサイズ : 36 μm sq.
ピクセル数 : 48 × 48

3

XRPIX6D,6H スペクトル比較

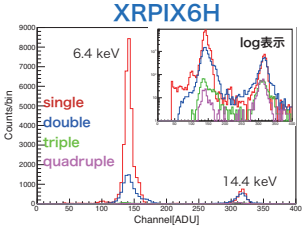
^{57}Co (6.4, 7.1, 14.4 keV) 表面照射 (回路層側から), –60℃, |Vback|=400V

XRPIX6D



Chip Gain : 39.82 μV/e⁻
Readout noise : 17.41 e⁻ (rms)
2.84 ADU (rms)
FWHM (@6.4keV) : 296 eV (4.6 %)
※ single events で算出

XRPIX6H

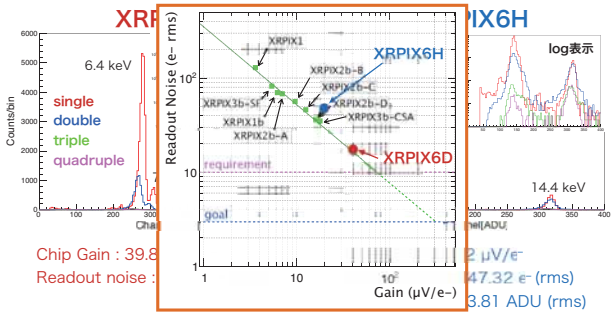


Chip Gain : 19.62 μV/e⁻
Readout noise : 47.32 e⁻ (rms)
3.81 ADU (rms)
FWHM (@6.4keV) : 500 eV (7.8 %)
※ single events で算出

4

XRPIX6D,6H スペクトル比較

^{57}Co (6.4, 7.1, 14.4 keV) 表面照射 (回路層側から), –60℃, |Vback|=400V

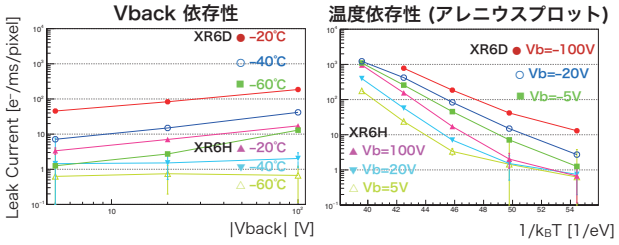


Chip Gain : 39.8 … 2 μV/e⁻
Readout noise : … 47.32 e⁻ (rms)
… 3.81 ADU (rms)
FWHM (@6.4keV) : 296 eV (4.6 %)
※ single events で算出

FWHM (@6.4keV) : 500 eV (7.8 %)
※ single events で算出

5

XRPIX6D,6H リーク電流



考察等はポスターをご覧ください

INTPIX4を用いたX線応力測定装置の小型・高速化

金沢大学 KANAZAWA UNIVERSITY

三井真吾[a]、新井康夫[b]、三好敏喜[b]、西村龍太郎[c]、佐々木敏彦[d]
[a] 金沢大学　先端科学・イノベーション推進機構、石川県金沢市角間町
[b] 高エネルギー加速器研究機構　素粒子原子核研究所、茨城県つくば市大穂1-1
[c] 総合研究大学院大学　高エネルギー加速器科学研究科、茨城県つくば市大穂1-1
[d] 金沢大学　自然科学研究科、石川県金沢市角間町

研究背景

2000年　イギリス
ハットフィールド脱線事故

2013年　アメリカ
スカジット川の橋梁の崩落事故

2012年　笹子トンネル崩落事故

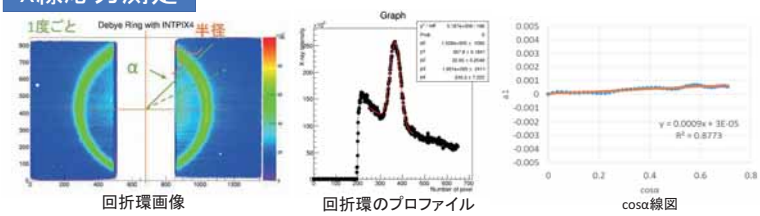
円筒ローラーの研磨焼け

ステンレス鋼管の応力腐食割れ

近年、社会インフラや鉄鋼構造物の老朽化が激しく、レールの破損による脱線事故やトンネルの構造物の落下、橋梁の崩落などの大事故も起こっている。これらの原因の一つと考えられるのが、残留応力による部材の歪みや亀裂による損壊である。鉄鋼材料の強度や疲労度、鉄鋼構造物の寿命予測や損傷部の発見のためにも現場において残留応力を測定することは重要である。鉄鋼構造物だけではなく、金属製品や加工品などの工業製品においても品質管理の質の向上とコストダウンを実現させるため、全数検査が必須となりつつある。製品に対して残留応力を指定する企業も増えてきており、他社製品との差別化や性能、寿命向上のためにも全数検査が重要となっている。

このような社会的要求を満たす装置として、INTPIX4を用いた小型・高速なX線応力測定装置を開発している。

X線応力測定

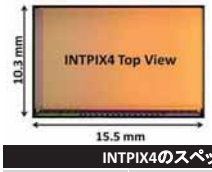


回折環画像　回折環のプロファイル　cosα線図

積分型X線検出器(INTPIX4)2枚を用いて、金属表面で反射して出来た回折環の歪みから応力、半価幅から硬さなどの材料特性を評価する。
1度ごとに回折環の半径を求め、cosα線図にプロットすることで応力を算出する。
角度ごとに並列処理することにより高速解析を行っている。

従来機の測定時間は1～10分程度、INTPIX4で1秒以下のリアルタイム測定を目指す。

INTPIX4

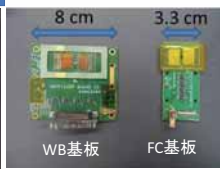


N型FZウエハ
薄型化(500 → 300 μmt)による、
- 長時間露光：20 → 100 msec
- 低電圧：200 → 70 V

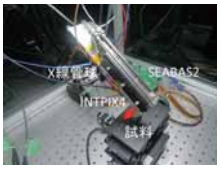
INTPIX4のスペック	
ピクセルサイズ	17 x 17 μm²
ピクセル数	832 x 512 (425984 pixels)
有感領域	14.144 x 8.704 mm²
シャッター	グローバルシャッター
並列読み出し数	13並列
搭載回路	相関二重サンプリング回路

SEABAS2
- 最大45 fps
- マルチプレクサで2枚のINTPIX4を切り替えて読み出している。

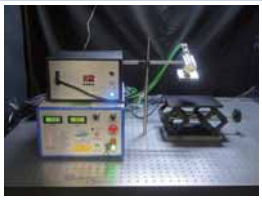
INTPIX4を用いたX線応力測定装置



ワイヤーボンディング基板(WB基板)：80 x 71 mm²
フリップチップボンディング基板(FC基板)：33 x 73 mm²、ϕ5 cmに収まる。
→ 鋼管内部や隅肉溶接部など狭隘部の測定が可能。



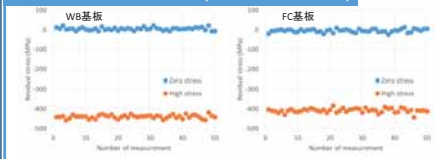
FC基板のセットアップ
- X線管球：Cr、直径3 cm、最大25 kV 5 mA
- カメラ長：約17 mm、X線入射角(ψ_0)：標準35度
- センサー電圧：70 V (完全空乏化 = Crをほぼ100%検出)
- 裏面入射、暗室、室温



X線応力測定装置の概要
- 検出部用電源＋SEABAS2(左上)
- X線用高圧電源(左下)
- 検出部(右上)

試験片および一般材料の測定

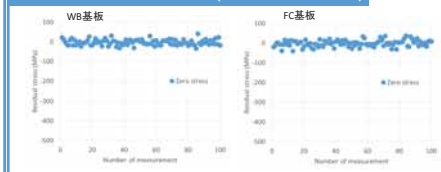
1秒オンライン応力測定 (WB基板、FC基板)



無応力片　(公称値0±14 MPa)	
WB基板：5±7 MPa	FC基板：-9±9 MPa
高応力片　(公称値-443±35 MPa)	
WB基板：-437±9 MPa	FC基板：-409±11 MPa

Cr 20 kV 4 mA、ψ_0 = 35度、露光時間：100 ms x 8枚 = 0.8秒
公称値の範囲内でJISに規定されている±25 MPaを達成

0.1秒オフライン応力測定(WB基板、FC基板)



無応力片　(公称値0±14 MPa)	
WB基板：-2±14 MPa	FC基板：1±16 MPa

Cr 25 kV 5 mA、ψ_0 = 35度、露光時間：70~80 ms x 1枚 = 0.08秒
公称値の範囲内でJISに規定されている±25 MPaを達成

一般材料の応力測定 (WB基板)

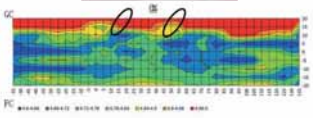
SNCM420(左)およびSNCM815(右)の丸棒試験片

SNCM420	SNCM815
-439±12 MPa	-409±11 MPa

Cr 30 kV 10 mA、ψ_0 = 35度、露光時間：100 ms x 20枚 = 2秒
1点を連続測定
JISに規定されている±25 MPaを達成

傷レールの半価幅測定(WB基板)

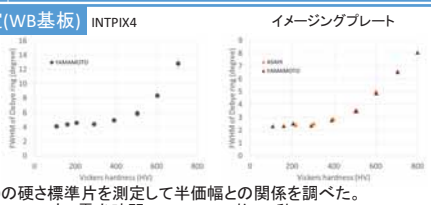
短手方向：±20 mm、長手方向：190 mm
5mm間隔で、合計351点
Cr 30 kV 10 mA、ψ_0 = 30度
露光時間：100 ms x 20枚 = 2秒
XYステージで移動しながら測定を行った。



GC(ゲージコーナー)の半価幅が大きく、
FC(フィールドコーナー)は小さい傾向。
傷部に半価幅の変化

硬さ標準片の半価幅測定(WB基板)

硬さ標準片



HV100～HV800の硬さ標準片を測定して半価幅との関係を調べた。
Cr 30 kV 10 mA、ψ_0 = 0度、露光時間：100 ms x 10枚 = 1秒
従来装置と同様の傾向

まとめ

INTPIX4を用いた小型・高速なX線応力測定装置を開発し、1秒以下で応力・半価幅測定が可能になった。今後、製品化を進めていく。

5-4. INTPIX4 を用いた X 線応力測定装置の小型・高速化

INTPIX4を用いたX線応力測定装置の小型・高速化

金沢大学　博士研究員　三井真吾

研究目的

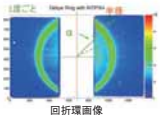
インフラの検査や金属製品の全数検査のためのX線残留応力測定装置を開発する。

2000年、イギリス
ハットフィールド脱線事故

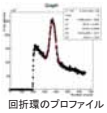
円筒ローラーの研磨焼け

X線応力測定

金属表面で反射して出来た回折環を撮像して、その歪みから応力、半価幅から硬さなどの材料特性を評価する。



回折環画像

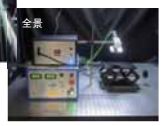


回折環のプロファイル

X線応力測定装置

2枚のINTPIX4をフリップチップ実装
基板サイズ：33 x 73 mm²
検出部がφ5 cmに収まる。

従来機の測定時間1～10分を1秒以下にする。



試験片および一般材料の測定

①1秒オンライン応力測定

無応力片（公称値0±14 MPa）	
WB基板：5±7 MPa	FC基板：9±9 MPa
高応力片（公称値-443±35 MPa）	
WB基板：-437±9 MPa	FC基板：-409±11 MPa

②0.1秒オフライン応力測定

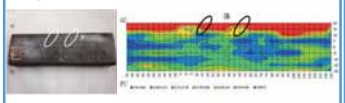
無応力片（公称値0±14 MPa）	
WB基板：-2±14 MPa	FC基板：1±16 MPa

③一般材料の応力測定

SNCM420	SNCM815
-439±12 MPa	-409±11 MPa

いずれの応力測定もJISに規定されている±25 MPaを達成している。

④傷レールの半価幅測定



傷部に半価幅の変化

⑤硬さ標準片の半価幅測定

従来装置と同様の傾向

まとめ

INTPIX4を用いた小型・高速なX線応力測定装置を開発し、1秒以下で応力・半価幅測定が可能になった。今後、製品化を進めていく。

2017/06/28-30
「3次元半導体検出器で切り拓く新たな量子イメージングの展開」
第8回研究会

汎用FPGA基板KC705を用いた計数型SOI検出器用DAQシステムの開発

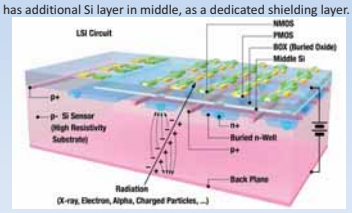
R. Nishimura[1] (ryunishi@post.kek.jp)
Y. Arai[2], T. Miyoshi[2] , S. Kishimoto[3], R. Hashimoto[3], L. Song[4], Y. Lu[4], Q. Ouyang[4]
[1]SOKENDAI , [2]KEK-IPNS , [3]KEK-IMSS, [4]IHEP

Abstract

近年、多くのX線回折実験において、より小型のピクセルを搭載した大面積の計数型ピクセルディテクタが必要とされている。これを実現するにあたっては、大量のピクセルからのデータを処理するため、高速な読み出しシステムの実現が重要となる。我々は現在新型の計数型SOI検出器'CNPIX1'用のDAQシステムの開発を進めている。CNPIX1は 328 x 256 ピクセルの六角形型ピクセルを搭載し、サンプルの構造変化を捉えるため、1 kHz以上のフレームレートの実現を目指している。我々はこのDAQシステムの実現のため、KC705基板を採用することとした。この基板はKintex-7 FPGA、DDR3メモリおよびGigabit Ethernetを搭載しており、CNPIX1とは FPGA メザニンカードI/Oを介して接続される。本ポスターではDAQシステムの開発状況を報告する。

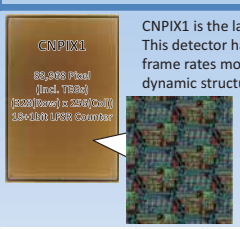
SOI Detector

SOI pixel detectors are being developed by a SOIPIX collaboration led by High Energy Accelerator Research Organization, KEK. They are based on a 0.2 um CMOS fully depleted (FD-) SOI process of Lapis Semiconductor Co., Ltd.
The SOI detector consists of a thick (50–500 um) and high-resistivity (more than 2 kΩ-cm in Floating Zone type wafer) Si substrate for the sensing part, and a thin Si layer for CMOS circuits. Furthermore, the detector which uses double SOI wafer has additional Si layer in middle, as a dedicated shielding layer.

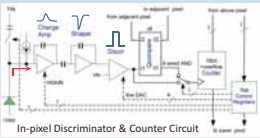


Structure of SOI Detector (Double SOI)

CNPIX1

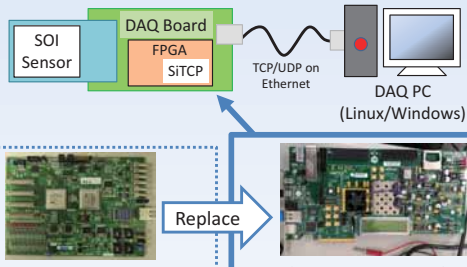


CNPIX1 is the latest photon-counting type SOIPIX detector. This detector has 328 x 256 pixels of hexagonal pixels and frame rates more than 1 kHz is demanded to observe dynamic structure of the samples.


In-pixel Discriminator & Counter Circuit

CNPIX1 Specification	
Pixel shape	Hexagonal
Pixel size	52 um pitch (2,340 um²)
Number of pixels	320 x 256 (81,920) + 8 x 32 x 8TEGs
Counter depth	18 bits (+1 overflow bit)
Number of threshold	1
Care for Charge Sharing	Yes
Counting rate	~ 1 MHz

New DAQ System

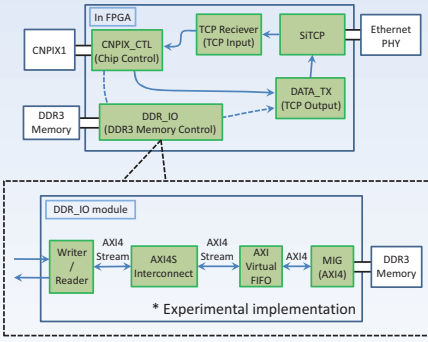


SEABAS 2 (Existing DAQ Board)
- Virtex-5 FPGA (7,200 slices・2,160 Kb BlockRAM)
- Gigabit Ethernet with SiTCP
- NIM IO / 12 bit 16 channels ADC

Replace

KC705 (FPGA Evaluation Board)
- Kintex-7 FPGA (50,950 slices・16,020 Kb BlockRAM)
- DDR3 Memory
- Gigabit Ethernet (can be used with SiTCP)
- FMC IO / Optical IO

Schematic of Firmware implementation



これまではSEABAS 1/2 を SOIディテクタのDAQシステムに用いてきたKC705ベースのDAQシステムにおいてもこれまでの開発資産を継承するため、SiTCPを対PCのI/Oに用いている

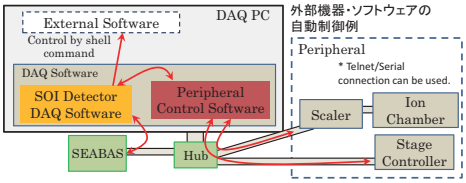
初期版のCNPIX1用DAQシステムではDDR_IOモジュールを用いていないため、フレームレートは~200Hz程度に制限される

DDR_IOモジュールは現在第2版のシステムへの実装に向けて試験中であるが、フレームレートは1kHz以上に向上する見込みである

Structure of New DAQ framework for practical purpose

Motivation of DAQ framework construction

省力化のニーズ
・人力による単純な繰り返しの連続を避けたい
⇨ バッチ処理機能の追加(指定回数の繰り返し処理を可能に)
⇨ 事前・事後の処理のため既存のプログラムとの基本的な連携機能を追加
・複数の外部機器の同時操作を可能にしたい
⇨ ステージ・スケーラ自動制御を追加

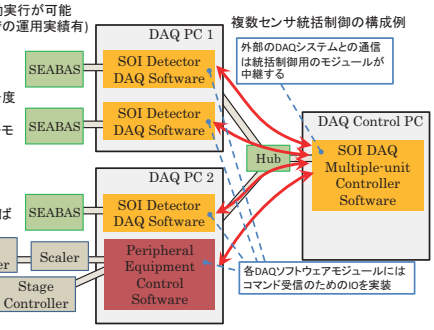


これらの実装を行ったDAQシステムによって、積分型センサによるX線イメージング、計数型TEG試験の自動実行が可能
(3D CT用データ取得、計数型TEG2次元X線ビーム走査試験での運用実績有)

Structure of DAQ framework

- ビーム試験等、複数台のSOI検出器および外部機器を一度に制御したい場合に対応。
- SOI検出器制御ソフトウェア・外部機器制御ソフトウェアをモジュール化
- 各モジュールはTCPプロトコルを介してテキストベース(QString)のコマンドによって制御
- 複数PC・複数OSでのDAQシステムの構築に対応
- 必要に応じてコマンドの読み替えモジュールを用意すれば他のDAQシステムとの連携も可能

⇨ 大規模・多様なDAQシステムの構築・他のDAQシステムへの組み込みに対応

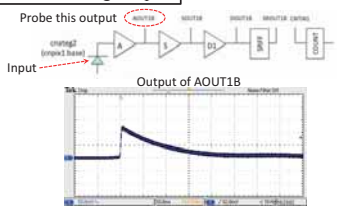


CNPIX1 Test Status

CNPIX1は現在動作試験中であるが、以下に現在の状況を示す

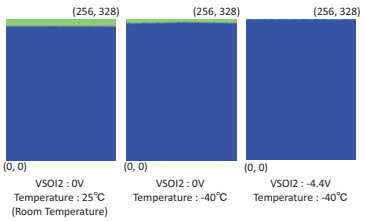
Preamplifier output test with LED light input

In this test, we use TEG on CNPIX1 pixel array. Input LED light to TEG's sensor and check the output of AOUT1B. Sensor's bias voltage is -20V(p-type wafer).



Readout test (after reset process)

Initial version of CNPIX1 has several bugs and some of them are critical for readout. Thus we have no photos of real imaging. However, when we readout after normal reset process, we can see some behavior's change depends on the voltage of middle SOI layer (VSOI2) and temperature.



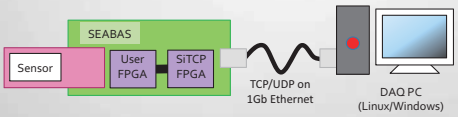
Conclusion

- 現在CNPIX1用DAQシステムの開発を進めている
- CNPIX1用システムではSEABAS 1/2 に代わってKC705 基板を用いることとした
- 初期版DAQシステムにおいては200Hz程度のフレームレートを達成している
- CNPIX1用システムと組み合わせて用いるDAQフレームワークの開発も併せて進めている
- 現在CNPIX1の試験を進めている

汎用FPGA基板KC705を用いた計数型SOI検出器用DAQシステムの開発

○西村 龍太郎 (総合研究大学院大学)
新井 康夫 (KEK IPNS) , 三好 敏喜 (KEK IPNS) ,
岸本 俊二 (KEK IMSS) , 橋本 亮 (KEK IMSS),
Longlong Song (IHEP), Yunpeng Lu (IHEP), Qun Ouyang (IHEP)

SEABASボードがメジャー



皆さんの注文

- より速く
- より簡単に
- より便利に

対応

- より速く―＞並列処理の実装(～600Mbps)
- より簡単に―＞QtベースのGUIを新規構築
- より便利に―＞Windows/Linuxサポート、
  外部機器・ソフトウェアとの連携機能、
  統括制御機能etc

すると・・・

「もっと速くしろ」

＿人人人人＿
＞もう無理＜
￣YYYYYY￣

最大のネックはSEABASの性能

FPGAが古い、
外部メモリがない
etc

KC705なら

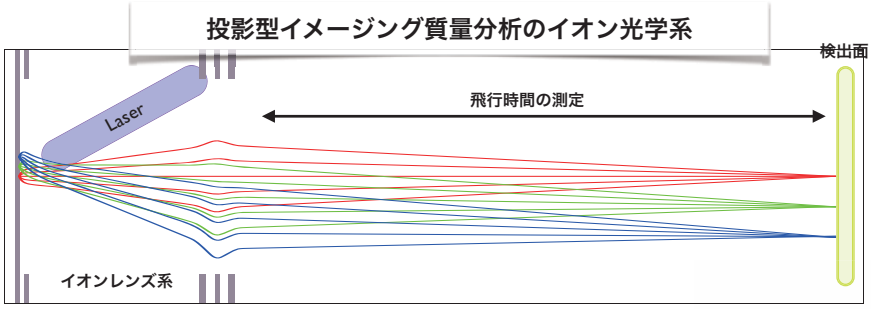
- FPGAが新しい(Kintex-7)
- SiTCPが使える
- 外部メモリもある(DDR3)
- 拡張できる(FMC)

KC705採用第一弾

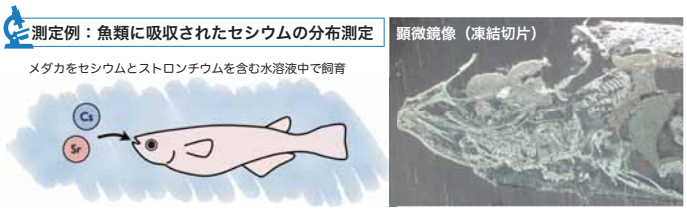
計数型SOI検出器
CNPIX1用DAQ

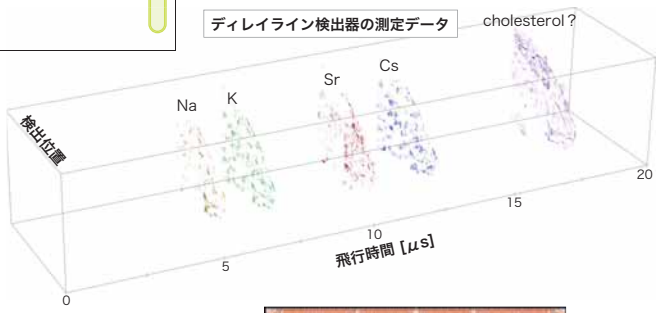
MALPIXを用いたイメージング質量分析

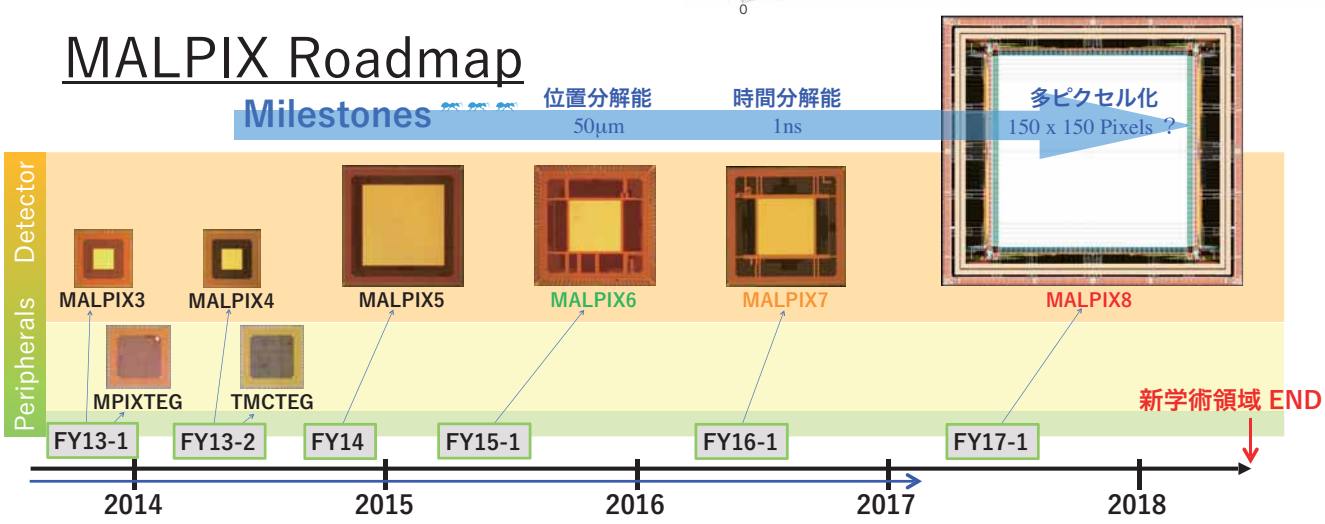
青木 順[1]・間 久直[2]・藤田 陽一[3]・池辺 将之[4]・本堂 敏信[2]・松岡 久典[2]・豊田 岐聡[1]・粟津 邦男[2]・新井 康夫[3]
大阪大学理学研究科[1]・大阪大学工学研究科[2]・高エネルギー加速器研究機構[3]・北海道大学情報科学研究科[4]



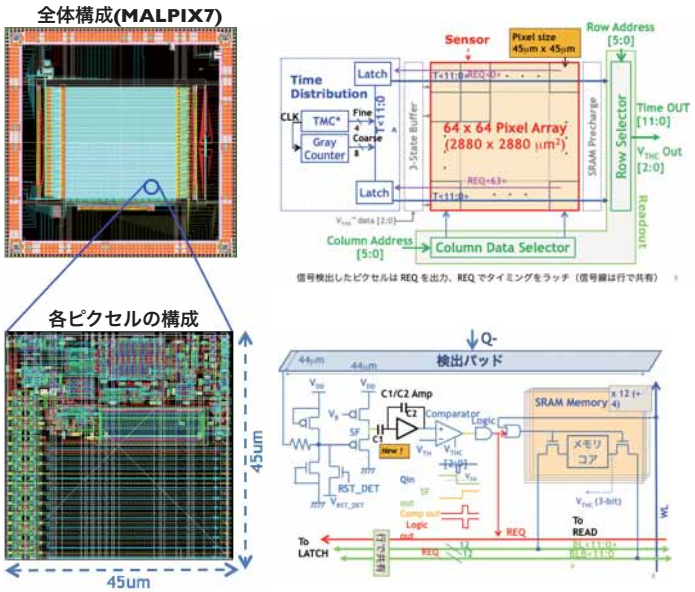
検出面に衝突したイオンの
位置（分解能：50μm）
時間（分解能：1ns）
を同時に検出する必要がある





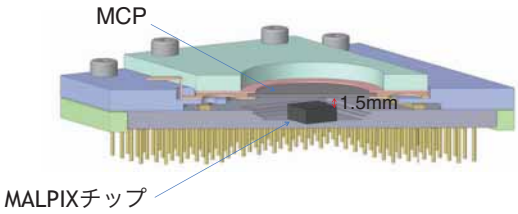


MALPIX：イオンを電極で検出する検出器・処理回路一体のモノリシック IC



MCP一体型パッケージ

MCPとMALPIXを近づけることで像を鮮明化



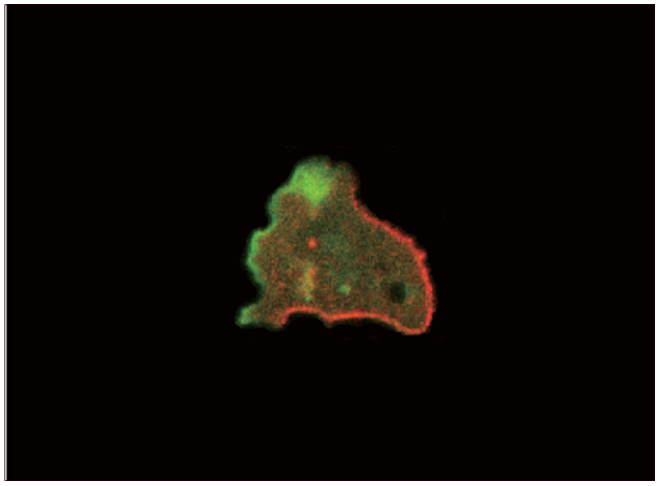
まとめ

MCP を一体化したパッケージを用いることにより
単一イオン（Cs）の観測に成功した（@64um）

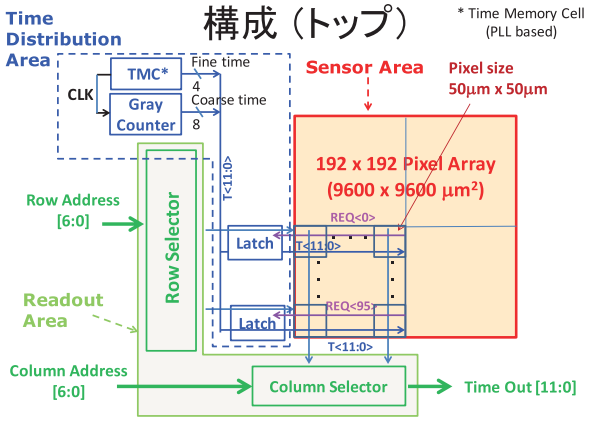
残された課題は
・PLL: 15-17 段切替段におけるビット遅延が大きい
・ゲイン段： VTH ばらつきによるゲインばらつき変動

MALPIXを用いたイメージング質量分析

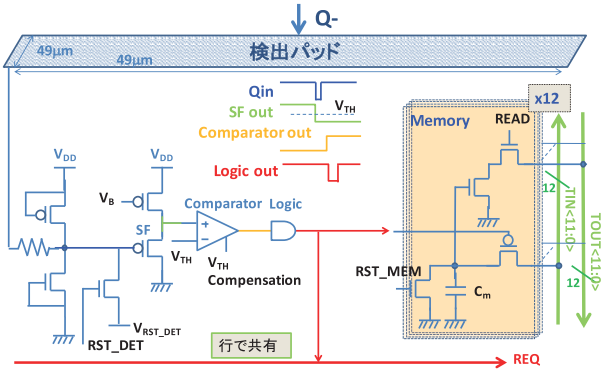
青木 順[1]・間 久直[2]・藤田 陽一[3]・池辺 将之[4]・本堂 敏信[2]・松岡 久典[2]・豊田 岐聡[1]・粟津 邦男[2]・新井 康夫[3]
大阪大学理学研究科[1]・大阪大学工学研究科[2]・高エネルギー加速器研究機構[3]・北海道大学情報科学研究科[4]



構成（トップ）



構成（ピクセル）



第8回SOI新学術領域研究会　　2017年6月29-30日, @宮崎大学

マイクロフォーカスX線源と振幅格子を用いたX線位相イメージング -振幅格子の投影像の短周期化の検討-

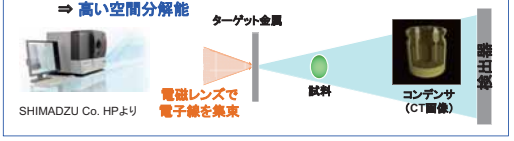
細野凌[1], 塚本大裕[1], 川端智樹[2], 林田清[2], 工藤統吾[3,4], 尾崎恭介[3], 初井宇記[3], 寺西 信一[5], 細井卓治[1], 渡部平司[1], 志村考功[1]
[1]阪大院工, [2]阪大院理, [3]理研, [4]JASRI, [5]兵庫県大高度研

Introduction

X線透視撮影

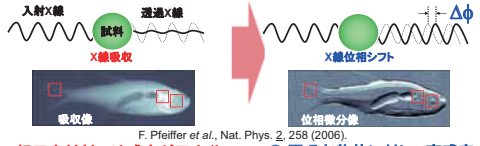
試料内部を非破壊で観察 ⇒ 医療、産業、セキュリティー分野

ex. マイクロフォーカスX線装置：数μmの光源サイズ
⇒ 高い空間分解能



X線吸収イメージング（従来法）
⇒ X線の吸収量の差を検出

X線位相イメージング
⇒ X線の位相変化を検出



F. Pfeiffer *et al.*, Nat. Phys. 2, 258 (2006).

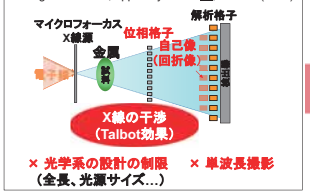
× 軽元素材料では感度が不十分　○ 弱吸収物体に対して高感度

マイクロフォーカスX線源を用いたX線位相イメージング

マイクロフォーカスX線源を用いた位相イメージング法

Talbot干渉計

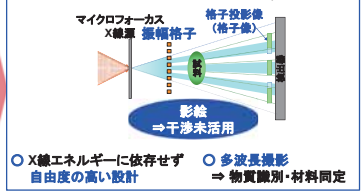
M. Engelhardt *et al.*, Appl. Phys. Lett. 90, 224101 (2007).



× 光学系の設計の制限
（全長、光源サイズ…）
× 単波長撮影

振幅格子を用いた光学系

細野 他, 第63回応用物理学会 春季学術講演会 19p-H137-8.



○ X線エネルギーに依存せず
自由度の高い設計
○ 多波長撮影
⇒ 物質識別・材料同定

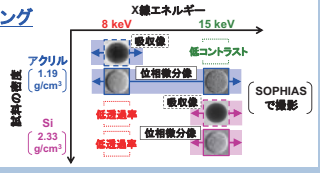
前回の報告

SOIピクセル検出器を用いた エネルギー分解X線位相イメージング

細野 他, 第77回応用物学会秋季講演会 13p-C31-9.

多波長のX線による格子像
＋ ピクセル検出器によるエネルギー分解
＝ 多波長 & 1shot X線吸収・位相イメージング

多波長の吸収・位相情報を1shotで取得
⇒ 試料に適した波長を撮影後に選択・画像化

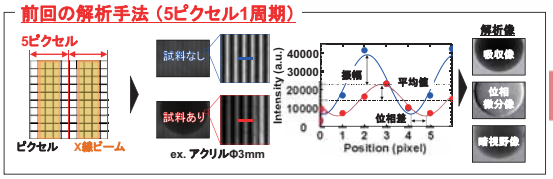


Purpose of this work

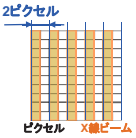
解析像のさらなる 空間分解能の向上

解析像の最終的な
空間分解能
⇓
格子像の1周期長

前回の解析手法（5ピクセル1周期）



本研究（2ピクセル1周期）



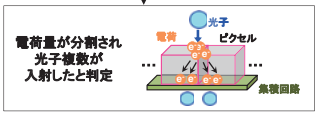
ピクセル検出器の特徴
（イベントセレクション）
⇒ 1周期：5 → 2 ピクセル（短周期化）

高空間分解能な
吸収像・位相微分像・暗視野像
の取得

Experiment & Discussion

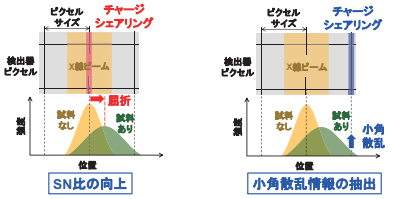
解析方法

イベントセレクションを利用（XRPIXの解析より）
⇒チャージシェアリングが生じた光子を特定



✓ 屈折情報（位相微分像）
：2ピクセルの
カウント比率の変化

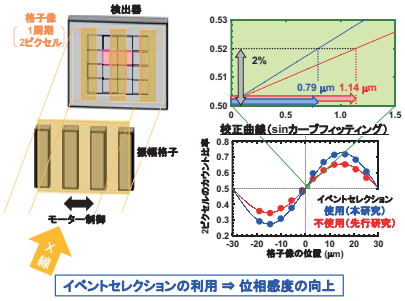
✓ 小角散乱情報（暗視野像）
：小角散乱起因の
チャージシェアリング光子の計測



SN比の向上　　小角散乱情報の抽出

校正直線の取得

格子像の移動量と2ピクセルのカウント比の関係
⇒ 位相微分像の取得

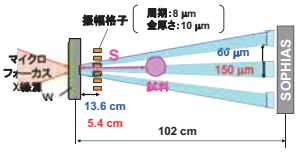


イベントセレクションの利用 ⇒ 位相感度の向上

位相イメージング ~2ピクセル法と5ピクセル法の比較~

細野 他, 第64回応用物学会春季講演会 15p-318-3.

● 光学系（2ピクセル法 / 5ピクセル法）

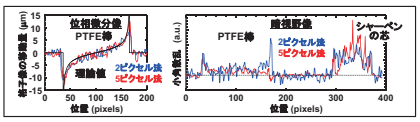


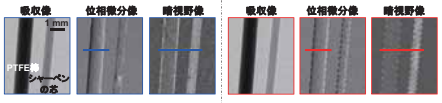
管電圧:40 kV　露光時間:66.4 s
管電流:10 μA　(8.3 ms 8000frm)

試料（光源-試料距離:S）
- PTFE棒 (Φ 1.0 mm)
- シャーペンの芯 (Φ 0.5 mm)
- 小魚

● 理論値との比較（PTFE棒、シャーペンの芯）

S=25 cm (試料拡大率:約4倍)



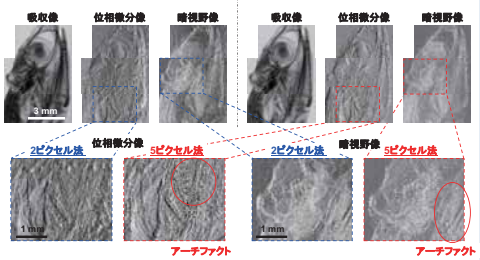


アーチファクトのない
鮮明な像を取得

位相コントラスト像の
エッジでアーチファクト

● 複雑構造を持った試料の観察（小魚）

S=12cm (試料拡大率:約8.5倍)
画像3枚つなぎ合わせ



複雑な構造を持った試料の観察に対しても有効

Summary

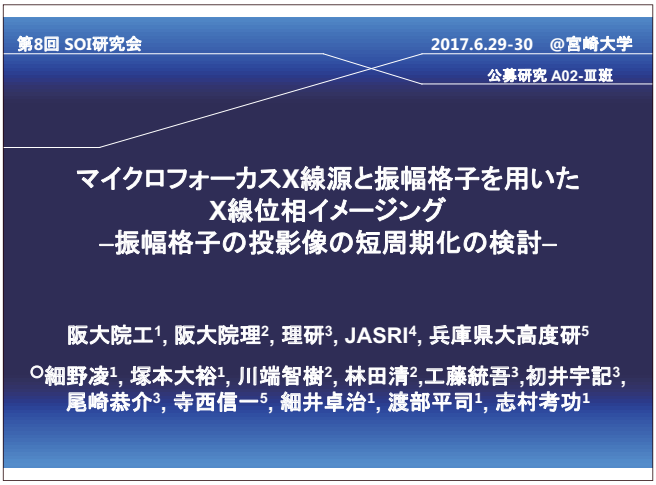
★ 小角散乱情報の抽出

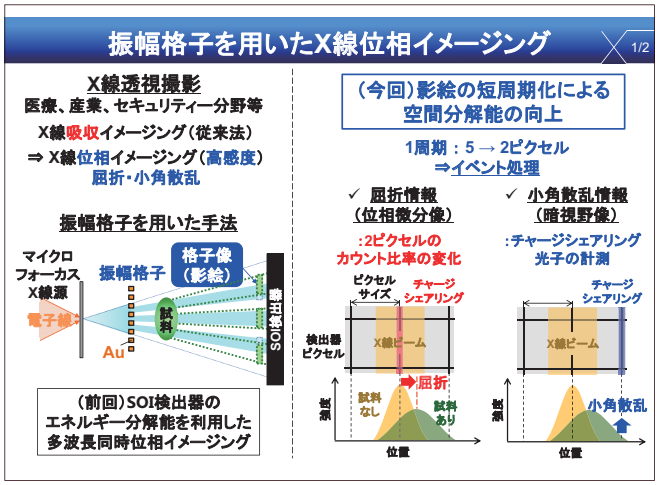
★ 傾きが大きな校正曲線の取得
⇒ SN比が高く
高感度な位相イメージング

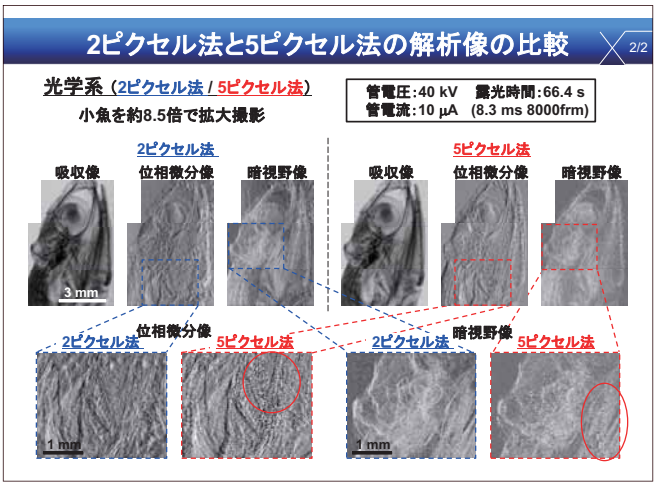
2ピクセルの空間分解能で
吸収・位相微分・暗視野像の
3つの像を取得できることを確認

★ サブピクセル解析を用いた
高分解能位相イメージング

★ 多層膜X線ターゲットを用いた
元素識別X線イメージング


第8回 SOI研究会
2017.6.29-30 @宮崎大学
公募研究 A02-Ⅲ班
マイクロフォーカスX線源と振幅格子を用いた
X線位相イメージング
–振幅格子の投影像の短周期化の検討–
阪大院工[1], 阪大院理[2], 理研[3], JASRI[4], 兵庫県大高度研[5]
○細野凌[1], 塚本大裕[1], 川端智樹[2], 林田清[2],工藤統吾[3],初井宇記[3],
尾崎恭介[3], 寺西信一[5], 細井卓治[1], 渡部平司[1], 志村考功[1]


振幅格子を用いたX線位相イメージング
1/2
X線透視撮影
医療、産業、セキュリティー分野等
X線吸収イメージング（従来法）
⇒ X線位相イメージング（高感度）
屈折・小角散乱
振幅格子を用いた手法
マイクロ
フォーカス
X線源
電子線
振幅格子
格子像
（影絵）
試料
Au
SOI検出器
（前回）SOI検出器の
エネルギー分解能を利用した
多波長同時位相イメージング
（今回）影絵の短周期化による
空間分解能の向上
1周期：5 → 2ピクセル
⇒イベント処理
✓ 屈折情報
（位相微分像）
：2ピクセルの
カウント比率の変化
✓ 小角散乱情報
（暗視野像）
：チャージシェアリング
光子の計測
ピクセル
サイズ
チャージ
シェアリング
検出器
ピクセル
X線ビーム
屈折
試料
なし
試料
あり
強度
位置
小角散乱


2ピクセル法と5ピクセル法の解析像の比較
2/2
光学系（2ピクセル法 / 5ピクセル法）
小魚を約8.5倍で拡大撮影
管電圧:40 kV 露光時間:66.4 s
管電流:10 μA (8.3 ms 8000frm)
2ピクセル法
5ピクセル法
吸収像
位相微分像
暗視野像
3 mm
1 mm

XRPIXの表面・裏面照射によるX線TID効果の測定

西岡祐介, 森浩二, 武田彩希, 武林伸明, 横山聖真, 福田昂平（宮崎大学）, 鶴剛, 田中孝明, 内田裕之, 松村英晃, 立花克裕, 林秀輝, 原田颯大（京都大学）, 新井康夫, 倉知郁生（KEK）, 幸村孝由, 萩野浩一, 小木曽拓, 大野顕司, 根岸康介, 鑓田敬吾（東京理科大学）

abstract

我々は、Silicon On Insulater（SOI）技術を用いることで厚いセンサー層と高速の読み出し回路を一体構造として実現したX線SOI CMOSピクセル検出器「XRPIX」を開発している。XRPIXは、天文衛星搭載を目指しており、放射線耐性は重要な評価項目の一つである。放射線耐性の観点から、この構造では各トランジスタ素子がSiO_2層によりセンサー層と区切られているため、シングルイベント効果には高い耐性を持つ一方、そのSiO_2層が長時間の放射線照射によりチャージアップすることで素子の特性に影響を及ぼすTID（Total Ionizing Dose）効果の評価が、SOI CMOS では重要になる。先行研究からSOI MOSFETを用いて、100krad相当の照射においてもトランジスタ特性は保持されることが確認されており、この吸収線量の値は、XRPIXの軌道上での利用（10krad）に鑑みて十分に大きな値である。一方で、XRPIX はX線撮像分光素子として用いられるので、分光性能特性という観点からTID効果の影響を評価するために、表面・裏面からX線を照射することによるX線TID効果の測定を行った。特に読み出しノイズ、ゲインについて評価した結果、BOX層での吸収線量に依存した読み出しノイズ・ゲインの変化が確認された。読み出しノイズに関しては、暗電流起源と回路起源のノイズに切り分けて評価し、回路起源のノイズの方が支配的であることが分かったため、今後はその実証をしていく。

XRPIXとは

XRPIXとは、SOI技術により、X線検出部のSiセンサー層と読み出し回路部を一体構造とした、X線SOI CMOSピクセル検出器である。図1にSOI CMOSピクセル検出器の断面図を示す。

また、図2にXRPIXシリーズの内、実験に使用したXRPIX2bの外観、表1にXRPIX2bのスペックを示す。

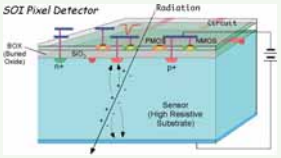


図1　CMOSピクセル検出器の断面図[1]

図2　XRPIX2bの外観

表1　XRPIX2bのスペック

回路層厚	8μm
BOX層厚	0.2μm
Pixel Size	30μm角
Pixel数	152×152 有効Pixelは 144×144

TID効果による影響

天文衛星搭載の検出器を開発する上で、放射線耐性は重要事項の一つである。

XRPIXは、2つのSi層の間に、BOX層と呼ばれるSiO_2からなる絶縁層が存在し、このBOX層で放射線による電離が起こると移動度の違いによりホールがとり残され、正に帯電する。これにより、トランジスタのソース-ドレイン間に電流が流れ、トランジスタ特性が変化してしまう（図3）。この累積的な効果をTID（Total Ionizing Dose）効果という。

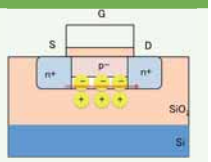


図3　XRPIXにおけるTID効果

先行研究では、SOI MOSFETを使用し、回路部の放射線耐性をI-V特性に注目して評価した結果、最終的に200krad照射後もトランジスタ特性は保たれた（図4）。

今回、我々は撮像分光素子としての観点からこの照射量よりも十分低い10krad（表面照射の場合でカニ星雲を1.5Msec観測した時にBOX層で受ける吸収線量）を目標にX線TID効果の影響を調べた。

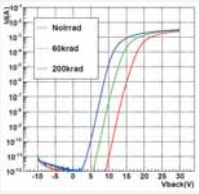


図4　吸収線量による
I-V特性の変化[2]

実験セットアップ

チャンバーに取り付けたX線管（ターゲット:Mo）からMoフィルターを通して単色性を高めたX線をXRPIXの表面・裏面から照射した（図5）。受光面をX線が照射される照射領域（FI）と鉛板で遮蔽した遮蔽領域（BI）に分け、X線の照射量が一定毎に^{241}Am線源を受光面全面に照射して分光性能を評価した。最終的にBOX層換算で30kradまで照射した。

実験条件

- ■温度：約-60°C
- ■VBB：200V
- ■線源：^{241}Am
- ■露光時間：1ms

＊ 読み出しノイズ測定時は、露光時間を0.1, 0.5, 1.0, 2.5ms に変更して取得

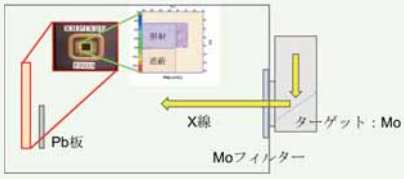


図5　実験セットアップ

結果と考察

読み出しノイズ

表面照射（FI）、裏面照射（BI）毎に照射領域（●）、遮蔽領域（▲）での読み出しノイズ[e-]をBOX層での吸収線量毎に示したグラフを図6、照射領域と遮蔽領域の差分で表したグラフを図7に示す。また、横軸をセンサー層での吸収線量に換算したグラフを図8に示す。読み出しノイズの増加率は、BOX層換算での吸収線量では、FI・BIともに同程度だが、センサー層換算で表すとBIの方が多くの吸収線量が必要となる。

このことから、予想通り、センサー層での吸収線量ではなく、BOX層での吸収線量に依存して読み出しノイズが増加したといえる。よって、BIにすることで放射線耐性をあげることができると言える。

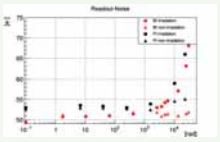


図6　読み出しノイズのBOX層での吸収線量依存性(領域毎)

図7　読み出しノイズのBOX層での吸収線量依存性(領域の差分)

図8　読み出しノイズのセンサー層での吸収線量依存性(領域の差分)

次に、読み出しノイズの成分を以下の方法で切り分けて評した。評価手順として、露光時間毎に求めた読み出しノイズσ[ADU]を2乗した値を一次関数でフィッテングし、**傾き（暗電流起源のノイズ）**と**切片（回路起源のノイズ）**に分けた。図9に吸収線量が0rad, 13krad時の露光時間毎の読み出しノイズを示す。グラフから吸収線量の増加に伴い、両方の起源のノイズが増加することが分かる。

さらに、吸収線量毎に暗電流起源のノイズ（図10）、回路起源のノイズ（図11）での照射領域と遮蔽領域の差分（●）を調べると、どちらも吸収線量の増加に依存してノイズが増加しているが、回路起源のノイズの方が支配的である。この回路起源のノイズが暗電流起源のノイズに比べて大きいのは、GIDL効果が効いているのではないかと考えている。

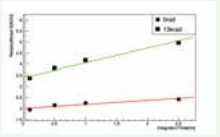


図9　読み出しノイズの
露光時間依存性

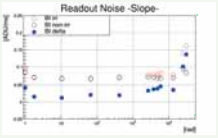


図10　暗電流起源ノイズの
吸収線量依存性

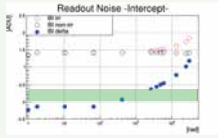


図11　回路起源ノイズの吸
収線量依存性

ゲイン

表面照射（FI）、裏面照射（BI）毎に照射領域（●）、遮蔽領域（▲）でのゲイン[μV/e-]をBOX層での吸収線量毎に示したグラフを図12、照射領域と遮蔽領域の差分で表したグラフを図13に示す。また、横軸をセンサー層での吸収線量に換算したグラフを図14に示す。BOX層換算の吸収線量では、10krad以降に注目するとFI・BIで同程度だが、センサー層換算の吸収線量では、BIはFIに比べて多くの吸収線量が必要となる。

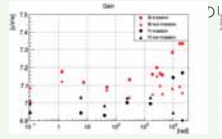


図12　ゲインのBOX層での吸収線量依存性

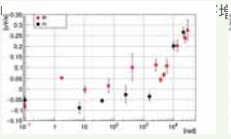


図13　ゲインのBOX層での吸収線量依存性(領域の差分)

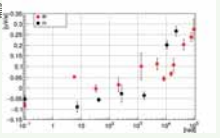


図14　ゲインのセンサー層での吸収線量依存性(領域の差分)

まとめ

- XRPIXにおけるX線TID効果の影響を分光性能に注目して調べるため、素子の表面・裏面にX線管（ターゲット：Mo）でX線をBOX層換算で30kradまで照射した。
- 読み出しノイズは、BOX層、センサー層換算での吸収線量を比較することでBOX層での吸収線量に依存して増加していることが分かった。
- また、読み出しノイズを暗電流起源のノイズ、回路起源のノイズに切り分けて評価することにより、回路起源のノイズの方が支配的であることが分かった。この要因については、GIDL効果が効いているのではないかと考えている。
- ゲインもBOX層、センサー層換算での吸収線量を比較することでBOX層での吸収線量に依存して増加していることが分かった。
- 今回、表面・裏面照射でX線TID効果の測定をすることにより、分光性能の変化はBOX層での吸収線量に依存していることが分かった。今回、用いた素子は低濃度LDD（Lightly Doped Drain）であるため、放射線耐性が高いと考えられる高濃度LDD版の素子でも同様の実験を行う。

参考文献：

1. 新井康夫 et al. 2010, 日本物理学会誌, Vol. 65, No. 9
2. Onuki et al. 2011, Proceedings of science (Vertex 2011), 043

2017/06/29-30　第8回SOI研究会@宮崎大

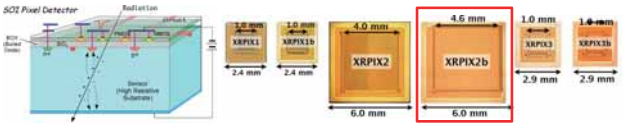
XRPIXの表面・裏面照射による X線TID効果の測定

西岡祐介，森浩二，武田彩希，武林伸明，横山聖真，福田昂平（宮崎大学），鶴剛，田中孝明，内田裕之，松村英晃，立花克裕，林秀輝，原田颯太（京都大学），新井康夫，倉知郁生（KEK），幸村孝由，萩野浩一，小木曽拓，大野顕司，根岸康介，鎌田敬吾（東京理科大学）

X線SOI CMOSピクセル検出器「XRPIX」

X線SOI CMOSピクセル検出器「XRPIX」とは、SOI技術により、X線検出器のセンサー層と読み出し回路を一体構造としたX線CMOSピクセル検出器である。左図に断面図を示す。

XRPIXシリーズの内、XRPIX2bを今回の実験に使用（右図）。

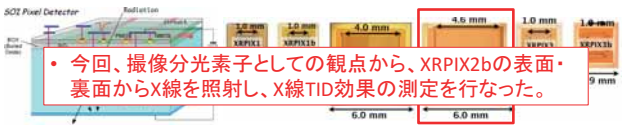


CMOSピクセル検出器の断面　　XRPIXシリーズ

X線SOI CMOSピクセル検出器「XRPIX」

X線SOI CMOSピクセル検出器「XRPIX」とは、SOI技術により、X線検出器のセンサー層と読み出し回路を一体構造としたX線CMOSピクセル検出器である。左図に断面図を示す。

XRPIXシリーズの内、XRPIX2bを今回の実験に使用（右図）。



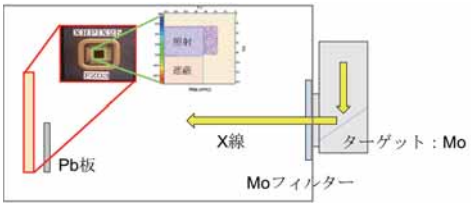
- 今回、撮像分光素子としての観点から、XRPIX2bの表面・裏面からX線を照射し、X線TID効果の測定を行なった。

CMOSピクセル検出器の断面　　XRPIXシリーズ

実験セットアップ

チャンバーに取り付けたX線管（ターゲット：Mo）からMoフィルターを通して単色性を高めたX線をXRPIXの表面と裏面から照射した。受光面はX線が照射される照射領域と鉛板で遮蔽した領域とに分けた。

一定照射量毎に分光性能を調べた。その評価の際は、^{241}Am線源を全面に照射した。

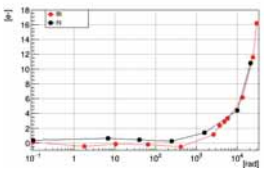


実験セットアップの概念図

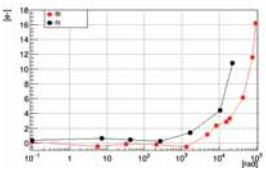
読み出しノイズの吸収線量依存性

表面照射（FI）、裏面照射（BI）、それぞれで照射領域と遮蔽領域の読み出しノイズの差分[e-]の吸収線量依存性を調べた。左図は横軸をBOX層での吸収線量、右図はセンサー層での吸収線量である。

これらのグラフからBOX層での吸収線量に依存して読み出しノイズが増加しているといえる。よって、**裏面照射によって放射線耐性があがる**。



読み出しノイズの吸収線量依存性（BOX層換算）

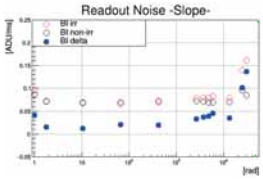


読み出しノイズの吸収線量依存性（センサー層換算）

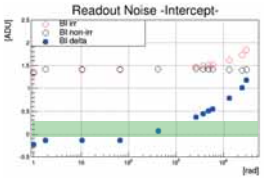
読み出しノイズの吸収線量依存性

また、読み出しノイズの成分を切り分け、暗電流起源のノイズと回路起源のノイズを評価した。

結果、どちらも吸収線量に依存して増加したが、回路成分の方が支配的であった。この要因として、GIDL効果が効いているのではないかと考えている。



暗電流起源のノイズの吸収線量依存性



回路起源のノイズの吸収線量依存性

ご清聴、ありがとうございました

詳しい内容については、ポスターをご覧ください

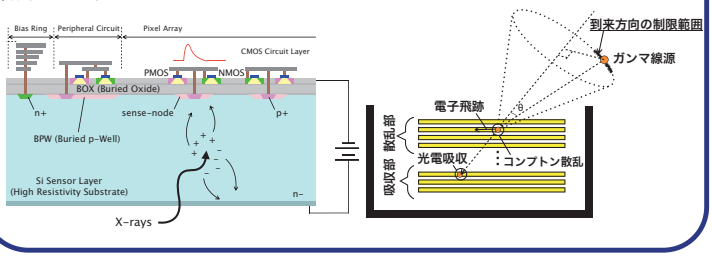
2017年　第8回SOI研究会@宮崎大

多段化X線ピクセル検出器システムの開発

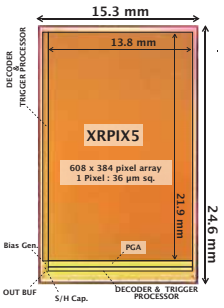
立花克裕, 鶴剛, 田中孝明, 内田裕之, 松村英晃, 林秀輝, 原田颯大 (京大理), 武田彩希 (宮崎大工),
島添健次, 中田直樹, 水町祐貴, 上ノ町水紀 (東大工), 小貫良之 (東大理), 新井康夫 (KEK)

Introduction

我々が開発を進めるX線SOIピクセル検出器「XRPIX」は、各ピクセルにヒットタイミングと位置情報を出力するトリガー機能を実装している。[1]
X線が入射したピクセルのみ選択的に読み出すことで、~10 μsの時間分解能を達成する。我々はこの時間分解能の良さを生かし、24.6 mm x 15.3 mmの大面積素子「XRPIX5b」を積層したシステムを開発している。積層することで実効的なセンサー厚が大きくなり、硬X線領域での検出効率が向上する。さらに、複数の層が同時に反応したイベントを同時に読み出すことでコンプトンカメラとしても利用できる。



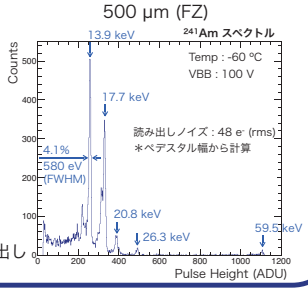
「XRPIX5b」



XRPIXシリーズの大面積素子

- チップサイズ : 24.6 mm x 15.3 mm (有効領域 : 21.9 mm x 15.3 mm)
- ピクセルサイズ : 36 μm角
- ピクセル数 : 608 x 384
- センサ層厚 : 310 μm (CZ)
  500 μm (FZ)

- XRPIX5の読み出し回路のバグ修正版
- XRPIX5の全面での性能については確認済み



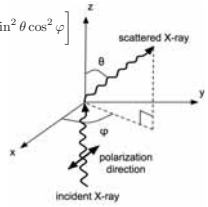
XRPIX5 フレーム読み出し

目指すサイエンス

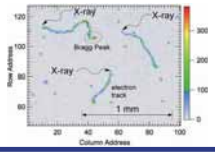
(1)X線偏光観測

Klein-Nishina equation

$$\frac{d\sigma}{d\Omega} = Z\frac{r_e^2}{2}\frac{E^2}{E_0^2}\left[\frac{E_0}{E} + \frac{E}{E_0} - \sin^2\theta\cos^2\varphi\right]$$

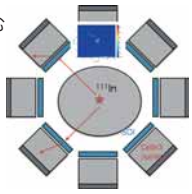


X線が物質中でコンプトン散乱する際、その散乱確率は入射X線の電場ベクトルに垂直な方向で最大となり、平行な方向で最小となる。時間分解能の良いXRPIXを積層することで、前段の素子でコンプトン散乱した散乱X線を後段の素子で吸収する同時イベントの検出が可能となる。散乱点と吸収点の位置関係から散乱方向の異方性を調べることで、X線偏光観測が可能である。
散乱体としてXRPIXを使うことで既存のX線偏光検出器と比較し
- CCDに迫るほどのエネルギー分解能で同時に撮像分光
- 32 μm角のピクセルで散乱方向の位置決定精度がよい
- 電子飛跡追跡も可能、到来方向の制限が可能となる。



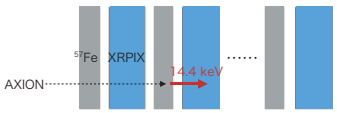
(2)高感度分子イメージング装置

XRPIXを散乱体として、ターゲットを取り囲むように配置する。
核種の崩壊で放出される2光子を同時計測かつ電子飛跡追跡し、　高いSN比を実現。

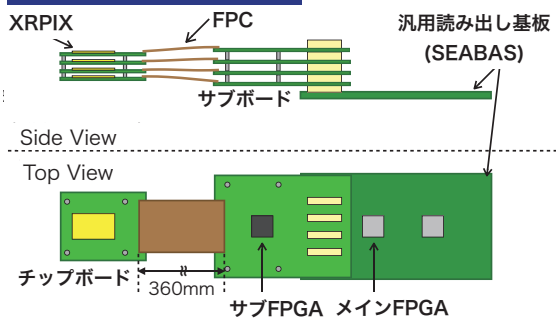


(3)AXION, WIMP探索

^{57}Fe箔とXRPIXを交互に配置。
前面の^{57}Fe箔でAXIONを吸収、脱励起で放出する14.4 keVを検出する。
XRPIXの多段スタック化による感度上昇を目指す。



多段化システム



- 汎用読み出しボード (SEABAS) にコネクタを用いてサブボードを積層。→最大8層
- チップボードとサブボード間はフレキシブル基板 (FPC) で接続。

サブボード (2017/6 納品済)

多段化システム構築のために新たにサブボードとチップボードを設計した。
- 1素子につき対応するサブボードの1つのFPGA (サブFPGA) で制御を行う。
- SEABASのFPGA (メインFPGA) が全素子を統括する。
- ある素子でイベントがあった場合、
  ①素子ID, ②タイミング, ③イベント座標, ④エネルギー をすべて計測できる。
- 複数の層の同時イベントを検出、同時・反同時計測が可能。

読み出しの流れ

①素子からのトリガー情報をメインFPGAに送信。
②メインFPGAが各素子からのイベント情報をもとに読み出すレイヤーを決定し、サブFPGAに指示。
③指示されたサブFPGAがチップからデータを読み出し、メインFPGAに送信。

まとめと今後

- X線SOIピクセル検出器「XRPIX」の多段化システムを開発している。
- 新たにサブボードとチップボードを設計した。1素子につき1つのFPGAで制御し、SEABASのFPGAがそれらを統括する。
- 今秋の稼働を目指し、開発を進める。

Reference

[1] T. G. Tsuru et al., Development and performance of Kyoto's X-ray astronomical SOI pixel (SOIPIX) sensor, Proc. SPIE 9144 (2014) 914412

多段化X線ピクセル検出器システムの開発

立花克裕 (京大理)

鶴剛, 田中孝明, 内田裕之, 松村英晃, 林秀輝, 原田颯大 (京大理),
武田彩希 (宮崎大工), 島添健次, 中田直樹, 水町祐貴,
上ノ町水紀 (東大工), 小貫良之 (東大理), 新井康夫 (KEK)

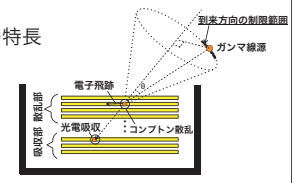
電子飛跡追跡型コンプトンカメラの開発

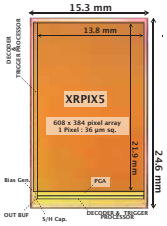
2

X線SOIピクセル検出器「XRPIX」の特長
・CCDに迫るエネルギー分解能
・~10 μsの時間分解能

↓

XRPIXを積層し、
前段でコンプトン散乱したX線を
後段で光電吸収する、
同時イベントを判別, 取得可能。
→X線偏光観測、コンプトンカメラなど

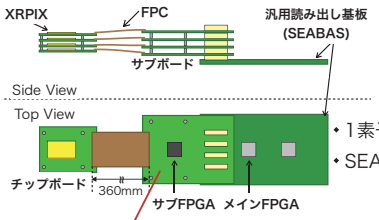




複数のXRPIXを積層し、
同時に駆動させるシステムの開発

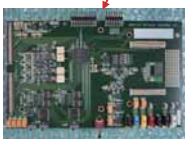
システムの概要

3



新たにサブボードと
チップボードを設計。

・1素子につき1つのFPGAで制御
・SEABASのFPGAが全素子を統括



サブボード (2017/6 納品済)

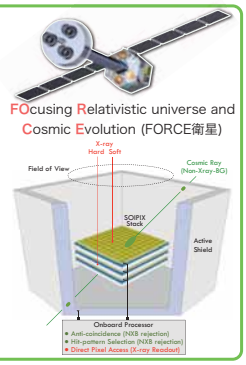
イベントがあった素子の
①素子ID, ②タイミング, ③アドレス,
④エネルギー を全て計測。

裏面照射型 X 線 SOI ピクセル検出器の軟 X 線性能評価

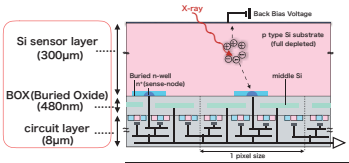
原田颯大、鶴剛、田中孝明、内田裕之、松村英晃、立花克裕、林秀輝 (京大理)、武田彩希、森浩二、西岡祐介、
武林伸明、横山聖真、福田昂平 (宮崎大工)、新井康夫、三好敏喜、倉知郁生 (KEK)、幸村孝由、萩野浩一、根岸康介、
大野顕司、鑓田敬吾 (東理大理工)、川人祥二、香川景一郎、安富啓太、亀濱博紀、Sumeet Shrestha(静大工)

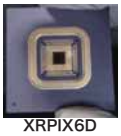
Introduction

我々は、次世代の X 線天文衛星計画「FORCE」に搭載予定である X 線観測用ピクセル検出器「XRPIX」を開発している[1]。各ピクセルにヒットタイミングと位置情報を出力するトリガー機能を搭載することで、X 線が入射したピクセルを選択的に読み出すことができ、10 μs の高時間分解能を実現できる。これにより、高エネルギー粒子起源の非 X 線バックグラウンドを除去する反同時計数処理を採用でき、40 keV までの硬 X 線撮像が可能になる。また、軟 X 線感度の向上のため、不感層の薄い裏面照射型XRPIXを開発し、0.5 keV程度の軟 X 線撮像の実現を目指している。



Device Description of XRPIX6D




XRPIX6D

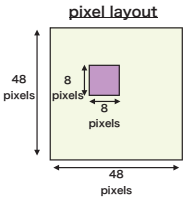
	XRPIX6D
Pixel size	36 μm × 36 μm
Wafer type	Czochralski (P型)
Resistivity	1 kΩ・cm
Back-side process	Laser annealing
Al deposition(遮光用)	0.2 μm

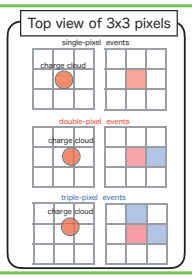
XRPIX の表面側(回路層側)には8 μm 程度の回路が存在するため、軟 X 線を表面側から照射すると、回路層で吸収されてしまう。よって、軟 X 線の検出効率を向上させるためには、不感層の薄い裏面照射型素子の開発が必須である。これまで我々は様々な裏面処理を行った素子の開発を進めてきた。

今回報告する XRPIX6D は裏面にレーザーアニールを施している。

Setup & Analysis

- 恒温槽内で −60℃ に冷やして動作させる
- 密封放射線源(^{57}Co)を用いて素子に放射線を照射する。解析には 6.4 keV(Fe-Kα)、7.1 keV(Fe-Kβ)を用いた。
- データ取得は全ピクセルの内、8x8 ピクセルを選択し取得する (右図のように任意の場所を指定できる)
- データは single-pixel events, double-pixel events 等を区別するために threshold を二つ用意し、解析を行っている
  - Event threshold ・・・ を決定する
  - Split threshold ・・・ を決定する

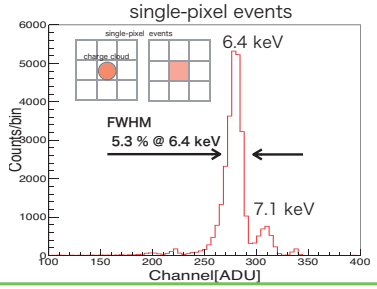




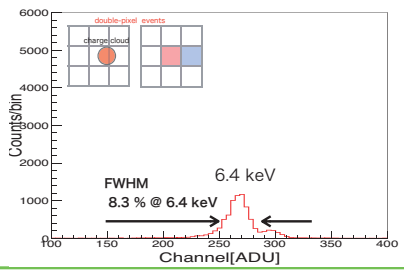
Front illuminated

XRPIX6D の性能を調べるために、^{57}Co を表面照射した

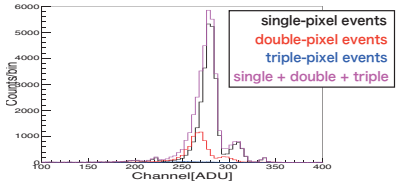
single-pixel events



double-pixel events



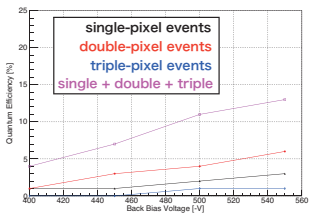
- Back Bias = −400 V, 露光時間 = 1 ms として測定
- 1 ADU = 244 μV(1 V を 4096ch で分割している)
- 6.4 keV(Fe-Kα)と 7.1 keV(Fe-Kβ)のピークがともに見えており、6.4 keV の FWHM を計算すると single-pixel events で 5.3 % @ 6.4 keV となった



Back illuminated

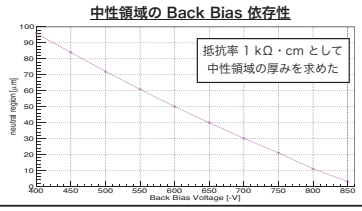
XRPIX6D の性能を調べるために、^{57}Co を裏面照射した

Fe 検出効率のバックバイアス依存性



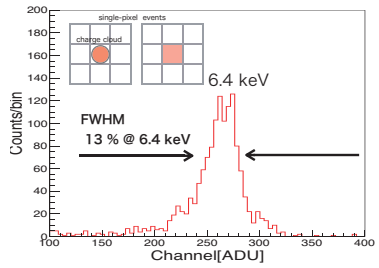
- 空乏層の広がりを調べるために、検出効率を測定した
- 裏面照射では 6.4 keV(Fe-Kα)と 7.1 keV(Fe-Kβ)のピークを分離できていないため検出効率は二つのピークが合わさっているとして計算を行った
- 検出効率を求める際に必要な、XRPIX6D に入射する X 線の Flux は SDD(Silicon Drift Detector)を用いて計測した
- 左図より Back Bias Voltage を大きくしていくと検出効率が上昇し**空乏層が広がっている**ことがわかる
- 電圧を上げるとより空乏化することが予測できるが、−600 V を超えると絶縁破壊が生じてしまう可能性があるため、測定は**完全空乏化していないが −550 V にして行った**

中性領域の Back Bias 依存性

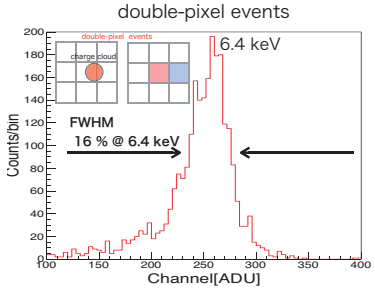


- バックバイアス −550 V 時の Fe の検出効率から裏面の不感層厚を計算
- **不感層厚 72.7±0.5 μm**
  - **← 完全空乏化していないため不感層が厚くなっていると考えられる**
  - **上図より、完全空乏化には −850 V 以上必要**

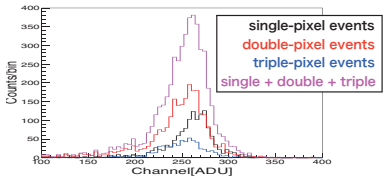
single-pixel events



double-pixel events



- Back Bias = −550 V, 露光時間 = 1 ms として測定
- 6.4 keV のピークに注目すると、double-pixel events のカウント数が多いことがわかる。
  これは裏面近くで低エネルギー X 線によって生じた電子雲が表面の sence node に到達するまでに広がったためだと考えられる。



Summary and Future

- 次世代のX線天文衛星計画「FORCE」に搭載予定である裏面照射型 XRPIX の開発を進めている
- XRPIX6D は Czochralski 法を用いて作成しているので抵抗率が低く、完全空乏化するのが難しい。そのため Floating Zone 法を用いた抵抗率が高い素子を今後作成する。

Reference

[1] T.G. Tsuru, et al., Development and performance of Kyoto's X-ray astronomical SOI pixel (SOIPIX) sensor, Proc.SPIE 9144 (2014) 914412.
[2] 伊藤真音, 京都大学, 2017, 修士論文.

裏面照射型 X 線 SOI ピクセル検出器の軟 X 線性能評価

2017.6.29-30 第8回SOI研究会 @ 宮崎大

原田颯大(京都大学) harada.sodai.78s@st.kyoto-u.ac.jp

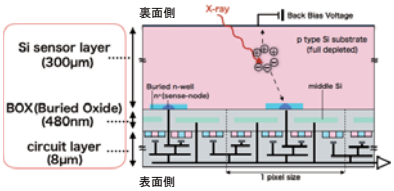
鶴剛、田中孝明、内田裕之、松村英晃、立花克裕、林秀輝 (京大理)、武田彩希、森浩二、西岡祐介、武林伸明、横山聖真、福田昂平 (宮崎大工)、新井康夫、三好敏喜、倉知郁生 (KEK)、幸村孝由、萩野浩一、根岸康介、大野顕司、鑓田敬吾 (東理大理工)、川人祥二、香川景一郎、安富啓太、亀濱博紀、Sumeet Shrestha(静大工)

1

次世代の X 線天文衛星計画「FORCE」に搭載予定である **X 線観測用ピクセル検出器「XRPIX」**を開発している

➡ 観測目標帯域は **0.5** ～ 40 keV

FORCE 衛星



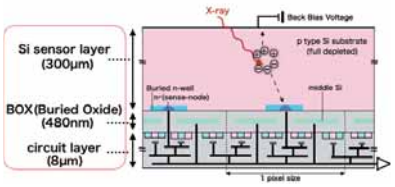
・低エネルギー X 線を観測する

→ 表面照射では回路層で吸収

→**不感層の薄い裏面照射型**素子の開発が必要

2

今回報告するXRPIX6D

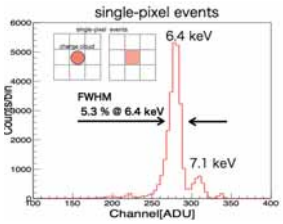


	XRPIX6D
Pixel size	36 μm × 36 μm
Wafer type	Czochralski (P型)
Resistivity	1 kΩ・cm
Back-side process	Laser annealing
Al deposition(遮光用)	0.2 μm

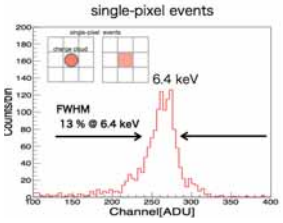
X 線(^{57}Co を使用)を照射し XRPIX6D の性能を調べた
(表面照射と裏面照射)

3

表面照射



裏面照射



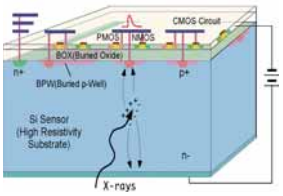
詳しくはポスターをご覧ください

4

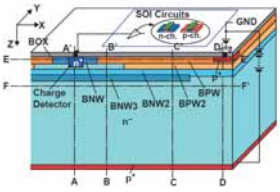
BPSPIX(Back Gate Pinning SOI Pixel)の基本特性評価

中西 駿太, 亀濱 博紀, Sumeet Shereatha, 安富 啓太, 香川 景一郎, 寺西 信一,
武田 彩希, 鶴 剛, 新井 康夫, 川人 祥二

1. Introduction



従来の構造



本研究で用いた画素構造

- BPSPIX:N Type
- BPSPIX:P Type ←今回測定

従来構造の問題点

- 表面の電位固定なし(空乏化)
  ⇒回路部のバックゲート効果
  ⇒暗電流:大
- 電荷検出部の容量が大きい
  ⇒変換ゲイン:小
  ⇒ノイズ:大
- 電荷収集効率が課題

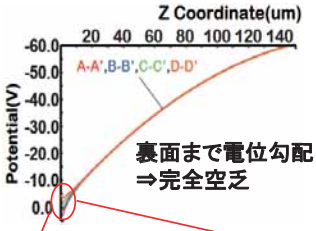
本研究

- BPW層の電位を固定
  ⇒バックゲート効果の抑制
  ⇒暗電流:小
- 電荷検出部の容量が小さい
  ⇒変換ゲイン:大
  ⇒ノイズ:小
- BNW2層等による横方向電界
  ⇒高い電荷収集効率を実現

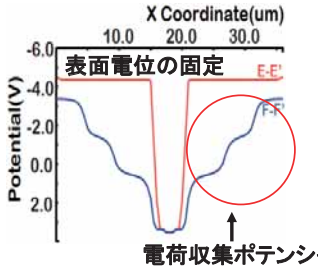
**本研究では、図の画素構造を用いた
p型基板BPSPIXの基本特性評価を行った**

2. Potential Simulation Result

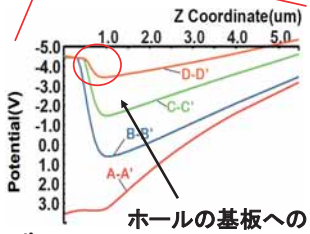
Introductionで示した構造で基板をp型に設定したときの垂直方向および水平方向のポテンシャルシミュレーションの結果



裏面まで電位勾配
⇒完全空乏

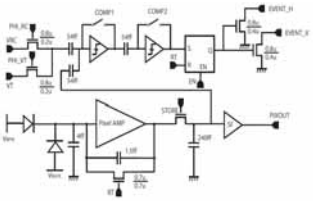


電荷収集ポテンシャル



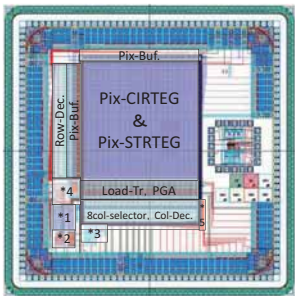
ホールの基板への
注入を抑制

3. Pixel Circuit



- ピクセルアンプ:CSA(Charge Sensitive Amplifier)
  ⇒CSA Gain > 50[dB]
  読み出しノイズ低減
- イベント駆動回路
  ⇒$V_{signal} > V_{Reset} + V_T$
  イベント信号がトリガーされる

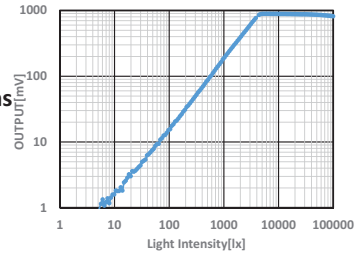
4. Chip Layout



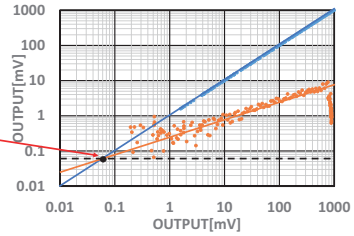
チップサイズ:4.5mm×4.5mm
チップ厚:200μm
ピクセルサイズ:36μm×36μm
ピクセルアレイ:8(H)×8(L)

5. Linearity Measurement

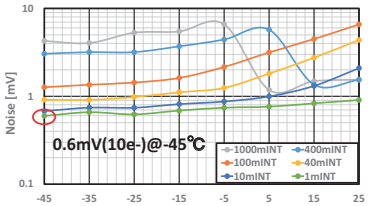
V_{BACK}:-15V
V_{BPW}:-2V
蓄積時間:1ms



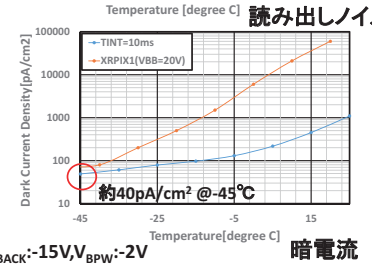
変換ゲイン:
約60μV/e-



6. Readout Noise and Dark Current Measurement



読み出しノイズ

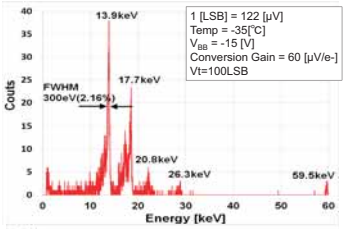


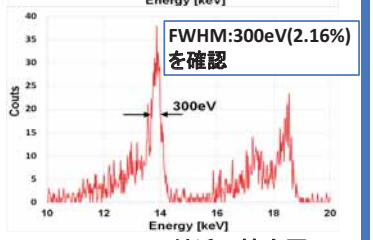
V_{BACK}:-15V,V_{BPW}:-2V

暗電流

7. X-ray Measurement

^{241}Am Spectrum





13.9keV付近の拡大図

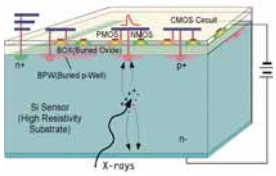
8. Summary

- 2016年度試作のBPSPIXについてリニアリティおよび暗電流の温度特性の評価を行い
  低ノイズで高い変換ゲインを持つことを確認した
- ^{241}AmのX線のスペクトルを測定し、FWHM:300eV(2.16%)を確認した

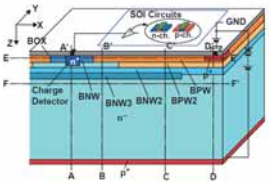
BPSPIX(Backgate Pinning SOI Pixel) の基本特性評価

静岡大学　工学専攻　電気電子工学コース
川人・香川・安富　研究室
中西　駿太

研究背景



従来構造



本研究で用いた構造

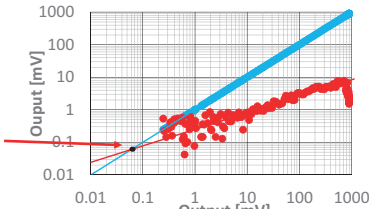
従来構造の問題点
- 表面の電位固定無し
⇒回路部のバックゲート効果
暗電流：大
- 電荷検出部の容量が大きい
⇒変換ゲイン：小
ノイズ：大

本研究
BPW層の電位固定
⇒バックゲート効果の抑制
暗電流：小
- 電荷検出部の容量が小さい
⇒変換ゲイン：大
ノイズ：小

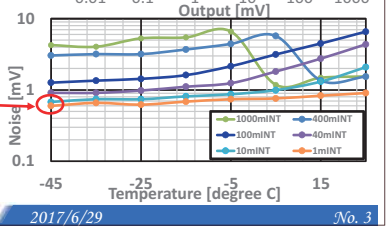
測定結果

V_{BACK}=-15V
V_{BPW}=-2V
蓄積時間：1msec

変換ゲイン:約60μV/e^-



蓄積時間1msecのとき
読み出しノイズ:
0.6mV@-45℃
⇒10e^-@-45℃



電荷積分型SOIピクセル検出器FPIX2のクロストーク評価

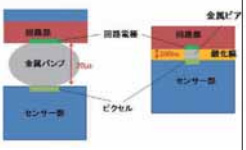
H.YAMAUCHI, K. HARA, S.HONDA, S.ENDO (U Tsukuba), Y. ARAI, T. MIYOSHI, I.KURACHI, S.ONO, M.YAMADA, T,TSUBOYAMA, Y.IKEGAMI, J.Haba(KEK), R.Nishimura(SOKENDAI)

筑波大学 University of Tsukuba

SOIピクセル検出器の高エネルギー実験での応用

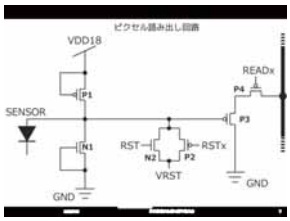
高エネルギー実験では通過粒子の飛跡を再構成することで運動量、を測定し、粒子の崩壊点などを知る。
高い位置・時間分解能を持つSOIピクセル検出器を高エネルギー実験に応用し、より精密な測定から新物理の発見を目指す
※ILCでは位置分解能3um以下が要求されている

ATLAS検出器等のピクセル検出器ではセンサー部と回路を金属バンプにより接合するためピクセル細密化に限界がある。SOIピクセル検出器ではモノリシック型構造のためピクセルの細密化が可能



高精細積分型SOIピクセル検出器 FPIX2

FPIX2 Single
- バルク型、比抵抗 p型 25kΩ・cm以上
- チップサイズ 2.9mm□
- チップ厚 00um
- ピクセルサイズ 8um□
- ピクセル数 128×128

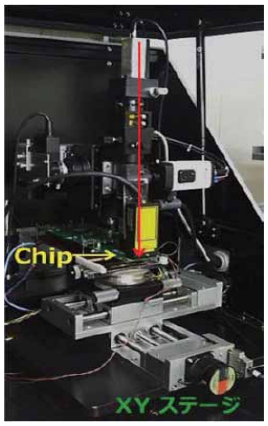


pixel回路内にストレージキャパシタを持たないため細密ピクセル化を実現

チャージシェアリングによるサブミクロンの分解能に挑戦

測定環境

set up



IRレーザーを使用（左図）

波長：1064nm

エネルギー換算 で1.16eV（Si のBand-Gap = 1.12 eV）であり、わずかな確率で電子正孔対を生成

MIP粒子の通過を疑似的に再現

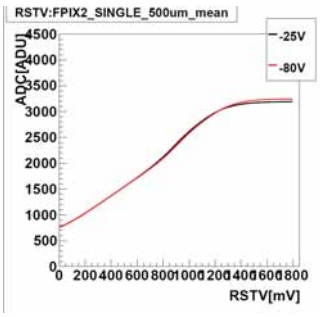
Chip：FPIX2（Single_SOI）
スポットサイズ：5μm 程度
スポット：(col,raw) = (39,43)

測定パラメータ

- Num Of Event ： 200 events
- Scan Time ： 280 ns/pix ， 5 μs/pix
- V_{DET} ： -80V , -25V

ピクセル間クロストークと読み出し時間及び逆バイアス電圧との依存性を確かめたい

RSTV 測定

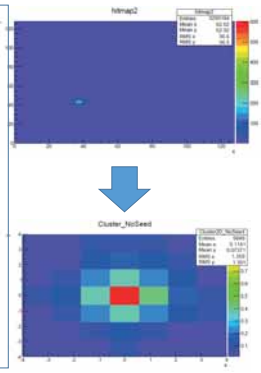


左図は、V_{DET} = -25V と-80V におけるRSTV測定の比較である。

ともに、線形部分でのゲインは 0.4mV/ADC で等しいので、以下の測定では同じRSTVに設定した。ここでは、電子が信号として検出されるの、RSTVを800mVで決定した。

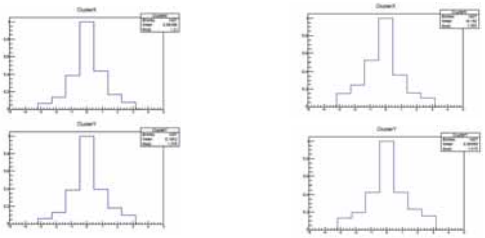
クラスタリング

IRレーザーを入れた際のhit mapを右図に示す。
hit pixel のADC値に対する、周囲のpixel の割合を求めた。（右下図）
また、hit pixel を原点におき、x方向とy方向に射影した。（右上図, 右下図：@V_{DET} = -80V , Scan Time = 280ns）
下にあるように、V_{DET}が-25Vのときは Scan Timeによりクラスターの広がりが見られたが、逆バイアス電圧を大きくすると、クラスターの広がりの抑制が確認できた。

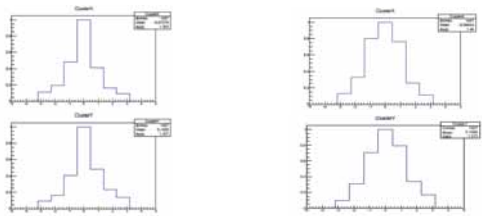


V_{DET} = -80V

Scan Time = 280ns　　Scan Time = 5μs



V_{DET} = -25V



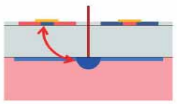
まとめ
SOIピクセル検出器 FPIX2における、ピクセル間クロストークの読み出し時間依存性と、逆バイアス電圧依存性を評価した。
- 今回の測定環境では、レーザーに対してチップが傾いている可能性がある。
- 逆バイアス電圧の大きさや、読み出し時間の長さによりCluster の広がりに変化が見られたことから、クロストークが生じている可能性がある。

今後
上記の測定に加え、より精度の良い測定環境を構築し、FPIX2のクロストーク評価を引き続き行っていく。また、Double_SOI構造を持つFPIX2でのクロストーク評価も行っていく。

電荷積分型 SOIピクセル検出器FPIX2の クロストーク評価

クロストーク

SOIピクセル検出器



検出部分と読み出し回路間：約200nm

高集積化の実現

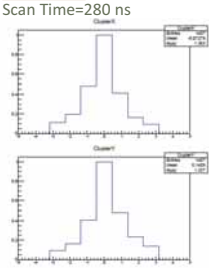
検出部分と読み出し回路間や、隣接ピクセル間で電気的干渉が生じ、位置測定の精度やなどに影響を及ぼす。（上図）

今回は、FPIX2におけるピクセル間クロストークの読み出し時間依存性と逆バイアス電圧依存性を検証した

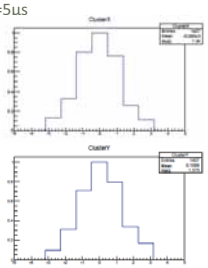
クラスターの広がりの比較

V_{DET} = -25V

Scan Time=280 ns



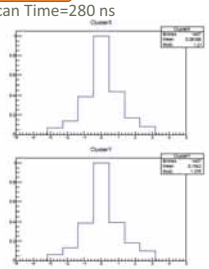
S.T=5μs



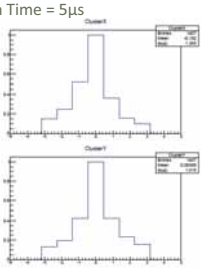
クラスターの広がりの比較

V_{DET} = -80V

Scan Time=280 ns



Scan Time = 5μs



まとめ

逆バイアス電圧の大きさや、読み出し時間の長さによりClusterの広がりに変化が見られた

➡ クロストークが生じている可能性がある

今後は…

- レーザーに対してチップが傾いている可能性を排除できていないので、よい測定環境を構築して評価を引き続き行う。
- Double-SOI構造を持つFPIX2でのクロストークも評価していく

高エネルギービーム試験によるSOIピクセル検出器FPIX2の評価

筑波大学 University of Tsukuba

S.ENDO , K. HARA , S.HONDA (U Tsukuba) , Y. ARAI , T. MIYOSHI , I.KURACHI S.ONO , M.YAMADA , T.TSUBOYAMA , M.TOGAWA , Y.IKEGAMI , J.Haba(KEK) , D. SEKIGAWA(HITACHI)

概要

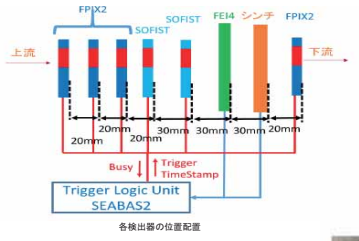
高エネルギー実験での応用を目指してSOI(Silicon On Insulator)技術を用いた高精細なピクセル検出器の開発を行っている． 実用化にはTID(Total Ionizing Dose)効果による回路特性の変動が課題となっていたが2層埋込酸化膜構造を導入し中間シリ コン層に負の電位を与えることで変動が補償されることが確認されている．本稿で扱うFPIXは，各ピクセル回路部の*Strange Capacitance*がないことから，ピクセル角8μmという細密化を実現し，高位置分解能が期待される． 2017年1月に当該検出器を用いて行ったFNALでの高エネルギービーム実験の結果について報告する．

Beam Test at FNAL

Condition & Setup

2017/01/23～02/07 @フェルミ国立科学加速器研究所

120 *GeV Proton Beam* 60秒加速後4秒射出

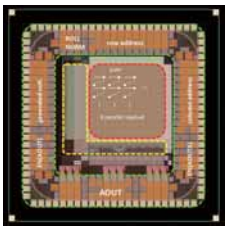


各検出器の位置配置

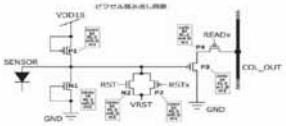
散乱の影響の小さい高エネルギービームを用いて位置分解能及び放射線耐性について調べた．4枚の*FPIX2*の他に*ILC*に向け開発中の*SOFIST*を配置．評価センサー以外の*FPIX2*を*tracker*として用いた．
また，各検出器は共通の治具で固定されている．

*Trigger Logic Unit*から全ての*FPIX2* , *SOFIST*に対して*Time Stamp* , *Trigger*を出力．*ADC*を出力しない*SEBAS2*を1台*MASTER*に用いて，各検出器に*Time Stamp*,*Trigger*を送ると共に，*Busy*信号を受けとることで検出器の同期を行う．

FPIX(Fine PIXel detector)2



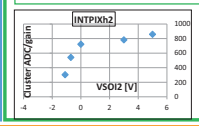
ピクセル内部に*Strage Capacitance*を持たないため，*INTPIX*(*INTegral PIXel detector*)に比べピクセルサイズが小さくなり高い位置分解能が見込める．また，ピクセルの読み出し方法として*Rolling Shutter*法を採用しており，読み出しと前のピクセル行のリセットが同時に行われる．

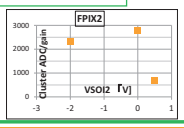


chip size	2.9 mm x 2.9 mm
pixel size	8 μm x 8 μm
# of pixels	128 x 128
active region	1024 μm x 1024 μm
parallel readout	8 (128 x 16 pixels / 1 readout)
readout scheme	global shutter or rolling shutter
SOI2(n:10 Ω · cm)	separate into 3 regions(I/O, Decoder, pixel)
Sensor Si(p>1.0 kΩ · cm)	300 μm thick

***Single Tip*: 500 μm thick**
***Double Tip*: 300 μm thick**

検出層にP型のウェハーを用いていることから，*TID*(*Total Ionizing Dose*)効果の補償のためにSOI2層に負の電位をかけると，直下のバルク表面が負の電位になり，N型ウェハーのINTPIXh2に比べて電荷収集が悪化しないことが分かっている(下図参照)．

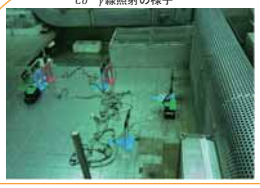




Analysis

Gamma – Ray Irrdiated Sensor

Co^{60}*γ*線照射の様子

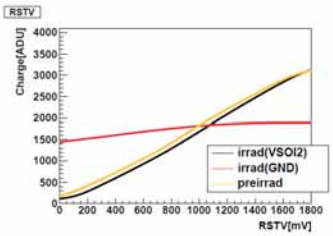


領域ごとに独立に中間シリコン層への電圧をコントロールできるようになったFPIX2のからTID効果に対する耐性を評価するためにγ線照射を行った．100kGy照射チップのMIPに対する応答評価を行った．その際のパラメータは以下の通りである．

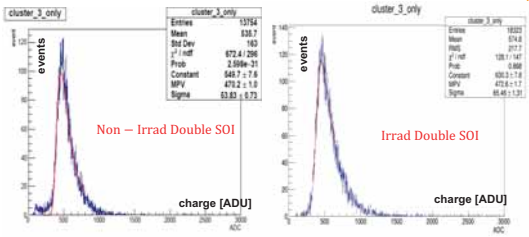
Parameters for FPIX2

- ✓ V_{DET} : −200 V
- ✓ VSOI2(I/O) : −4.0 V
- ✓ VSOI2(Decoder) : −14.0 V
- ✓ VSOI2(Pixel) : −8.0 V
- ✓ RSTV : 1400 mV
- ✓ Scan Time : 400 ns/pixel
- ✓ NumOfEvent : 30,000 events

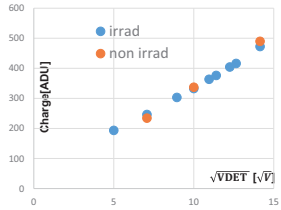
中間シリコン層に電位を印加した場合の回路特性評価としてRSTV応答測定を行った．照射後，信号に対して出力値の変化得られない状態であったが(赤線)，中間シリコン層に電位を与えることで照射前と変わらぬゲインとダイナミックレンジまで回復していることが確認できた(黒線)．また，ビーム粒子に対するMIP応答とし100ADC以上となるピクセルをシードとしてその周囲5 × 5ピクセルについてクラスタリングを行い収集電荷量を求めた． 畳み込み関数でピークを値を求めた結果照射前と同じ値が得られた(右図)．



100kGy照射済 FPIX2 RSTV応答



FPIX2 Double Pulse Height

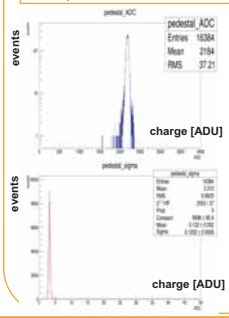


FPIX2 Double HV Scan

収集電荷量について電圧を−200Vまで変化させスキャンを行った．空乏層の厚さは逆バイアス電圧のルートに比例するので、収集電荷量に対しても同様の関係が見られる．照射前のものと比べ，傾きが一致しており照射前後での応答の回復が確認できる(左図)．

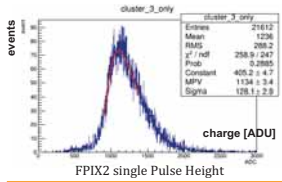
Evaluation Of DUT Sensor

上流から2枚目のセンサーをDUTとした．Pedestalの評価として，ADC値が3sigmaよりも大きなイベントが全イベント数の5%を占めるピクセルをNoisy Pixelとして解析から外した．



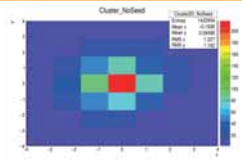
Parameters for FPIX2

- ✓ V_{DET} : −70 V
- ✓ RSTV : 1000 mV
- ✓ Scan Time : 280 ns/pixel
- ✓ NumOfEvent : 30,000 events

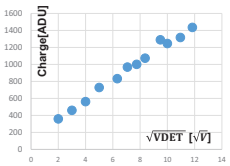


FPIX2 single Pulse Height

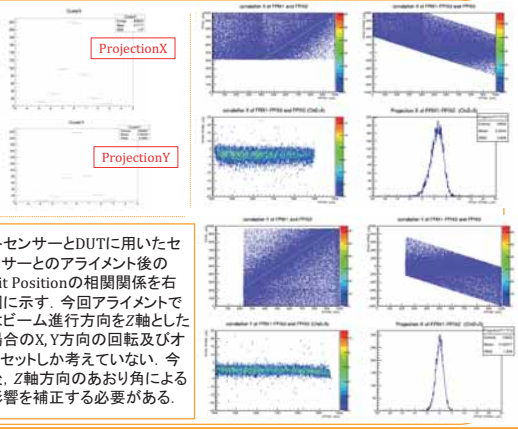
パラメータを上記の通りにし，MIP応答について確認を行った．また,その際のクラスターの広がりから5 × 5でクラスタリングを行った．収集電荷量と逆バイアス電圧との関係を右図に示す．



FPIX2 single HitMap



FPIX2 Single HV Scan



各センサーとDUTに用いたセンサーとのアライメント後のHit Positionの相関関係を右図に示す．今回アライメントではビーム進行方向をZ軸とした場合のX, Y方向の回転及びオフセットしか考えていない．今後，Z軸方向のあおり角による影響を補正する必要がある．

高エネルギービーム試験による SOIピクセル検出器FPIX2の評価

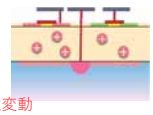
S.ENDO , K. HARA , S.HONDA , D.SEKIGAWA , W.AOYAGI(U Tsukuba) ,
Y. ARAI , T. MIYOSHI , I.KURACHI , S.ONO , M.YAMADA , T.TSUBOYAMA ,
M.TOGAWA , Y.IKEGAMI , J.Haba(KEK) , R.NISHIMURA(U Advanced Studied)

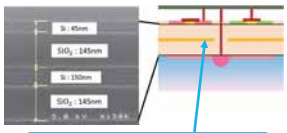
高エネルギー実験に向けた課題と対策

課題 Total Ionizing Dose(TID)効果　対策 Double SOI構造

移動度の低い正孔のみが酸化膜中にトラップされる

酸化膜上のFETの特性変動

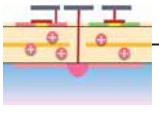




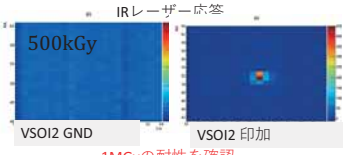
BOX層と Si 層の形成を2度行う

TID効果耐性

SOI2層の電位を制御しTID効果を相殺



IRレーザー応答

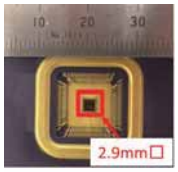


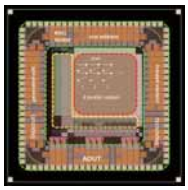
1MGyの耐性を確認

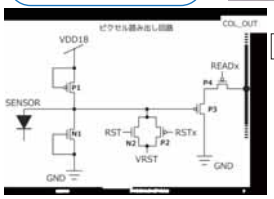
高精細ピクセル検出器FPIX2

FPIX2(Double) Condition

- センサー部 P型
- 比抵抗 1.0kΩ・cm以上
- チップサイズ 2.9mm□
- チップ厚 300um
- ピクセルサイズ 8um□
- ピクセル数 128×128







Features

各ピクセル内の回路は6つのFETにより形成されストレージキャパシタをもたない

- ピクセルの細密化を実現
- Rolling Shutter読み出し

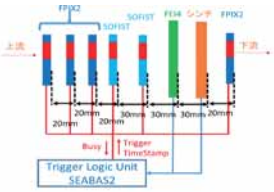
8μm□という細密ピクセルなのでサブミクロンスケールの位置分解能が期待される

Beam Test at FNAL

Condition

2017/01/23～02/03 @フェルミ国立科学加速器研究所
120 GeV Proton 60秒加速後4秒射出

散乱の影響の小さい高エネルギービームを用いて位置分解能及び放射線耐性について調べた.
評価センサー以外の*FPIX2*を*tracker*として用いた.



*Trigger Logic Unit*から全ての*FPIX2* , *SOFIST*に対して*Time Stamp* , *Trigger*を出力. 各検出器に*Time Stamp*,*Trigger*を送ると共に, *Busy*信号を受けとることで検出器の同期を行う.

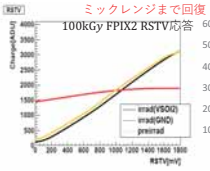
Gamma − Ray Irrdiated Sensor

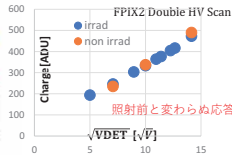
100kGy照射チップの回路部表面及びMIPに対する応答評価を行った.

照射前と変わらぬゲインとダイナミックレンジまで回復

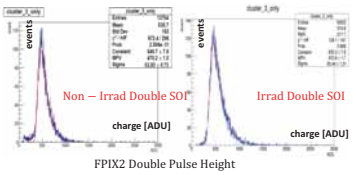
Parameters for FPIX2

- ✓ V_{DET} : −200 V
- ✓ VSOI2(I/O) : −4.0 V
- ✓ VSOI2(Decoder) : −14.0 V
- ✓ VSOI2(Pixel) : −8.0 V
- ✓ RSTV : 1400 mV
- ✓ Scan Time : 400 ns/pixel
- ✓ NumOfEvent : 30,000 events





照射前と変わらぬ応答



FPIX2 Double Pulse Height

ビーム粒子に対するMIP応答とし100ADC以上となるピクセルをシードとしてその周囲5×5ピクセルについてクラスタリング

ポスターではDUTに用いたFPIX2(single)センサーについての評価もあり。。。

サブ秒角のX線天体撮影をめざすMIXIM計画

林田 清、川端智樹、中嶋 大、井上翔太、常深 博（大阪大学理）、細野 凌、志村考功,（大阪大学工）

我々は、光学系を用いない新しいタイプのX 線撮像計、干渉計を提案している。構造は、規則的な周期の格子とX 線分光撮像検出器を組あわせた単純な形式で、天体からやってくる準平行光が格子を透過してつくる像を撮影する。像は格子と同じ周期をもつので、それを解析で重ね合わせることでX 線天体のプロファイルが測定できる。格子が十分な厚みがあればどのような波長のX線も利用できる。これをX線多重像撮像計(Multi Image X-ray Interferometer Module (Mission)：MIXIM)と呼ぶことにする。ただし、回折が効く場合にはそれにより像が広がる。ところが、格子から特定の距離で光子の干渉自己像ができるというタルボ効果を利用すると、回析が効く場合でも格子の像を得ることができる。自己像ができる距離は、格子の周期をdとしてX 線の波長をλすると、 d^2/λの整数倍である。検出器の位置を固定した場合、特定の波長のX 線だけ選別する必要があるが、それが可能であれば単純な構造の干渉計として働く。これをX 線多重像干渉計と呼んでいる。5um ピッチ、開口率0.2の回折格子を使い、0.1nm(12keV) のX 線を対象とすると、第二周期の像ができる距離は50cm、自己像の幅は0.4 秒角に対応する。パラメータ最適化でChandra 衛星を超える角度分解能を小型衛星で実現できる可能性もある。いずれの場合にも、集光はしないのでコリメータが必要で、対象も明るい天体に限られるが、超小型衛星でも成果が見込める。干渉計の場合、自己像のプロファイルを得るためには特定の波長の周囲どのくらいのバンド幅を使用できるかという問題もある。フレネル回析の計算で検討を行い、厳密な自己像ではなく格子幅程度のプロファイルを得ることを目標にすれば、10%程度のバンド幅は利用できる。基礎実験で現状、2秒角相当の分解能を得ている

X線天文衛星の観測装置

視野絞りor望遠鏡	検出器位置検出	視野	角度分解能
コリメータ（ぎんがLAC等）	**無**	**1~10度**	**1~10度**
2枚すだれ(ようこうHXT)	無	~0.5度	~5秒角
1枚すだれ(Kotoku+2003)	1次元	基礎実験	
コーディッドマスク(SwiftBATの例)	2次元	~70度	17分角
スリット(MAXIの例)	2次元	~90度	~0.1度
斜入射反射鏡	**あり**	**0.1~1度**	**0.5秒角～2分角**

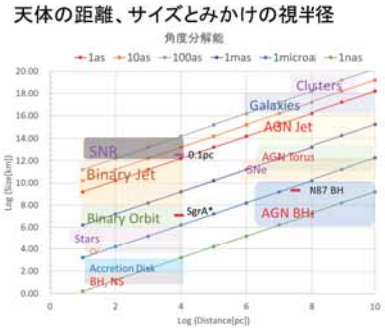
ぎんが 1987-1991

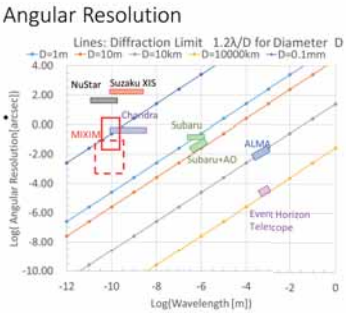
MAXI 2009- ~1m

10m 0.5秒角 5m 2分角 12m 1.3/1.7分角 12m 5秒角

- 高い角度分解能を達成するためにはX線反射望遠鏡搭載の巨大衛星が必要
- Chandra衛星の角度分解能0.5秒角を再現する/超えるのは非常に難しい

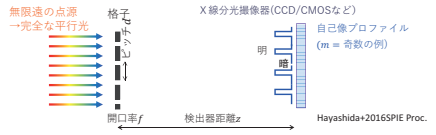
秒角、サブ秒角の天文観測





Multi Image X-ray Interferometer Module

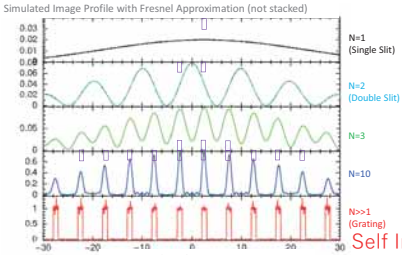
X線多重像干渉計(MIXIM)



- 数～数10ミクロン周期の格子と X 線分光撮像検出器を組み合わせるだけ。
- 格子穴の像は光源の形状を反映している。解析において、**周期dで重ねあわせ**れば精度の高い光源プロファイルが得られる。
- 像幅は$\theta = fd/z = 0.4''\left(\frac{f}{0.2}\right)\left(\frac{d}{5\mu m}\right)/\left(\frac{z}{50cm}\right)$
- 50cmでChandra衛星に匹敵
- 回折が効く場合でも干渉によって特定距離に格子の自己像ができるタルボ条件を満たす波長のX線イベントだけ使用すれば、やはり自己像が得られる。 mを整数として**タルボ距離** $z = m\frac{d^2}{\lambda}$
  5umのピッチの格子、0.1nm(12keV)のX線に対する第二タルボ距離が50cm

タルボ距離における自己像

At Talbot Distance d=5μm f=0.2 z=0.5m λ=0.100nm (m=2)



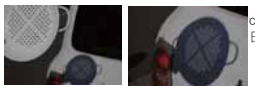
Self Image

角度分解能の皮算用

Hayashida+2016SPIE Proc.

5μmのピッチの格子、0.1nm(12keV)のX線

- 格子と検出器の距離はmを次数として
  - $z = mz_T = md^2/\lambda = 50\mathrm{cm}\left(\frac{m}{2}\right)\left(\frac{d}{5\mu m}\right)^2/\left(\frac{\lambda}{0.1nm}\right)$
- 自己像の幅θは、開口率をfとして
  - $\theta = \frac{fd}{z} = 0.4''\left(\frac{f}{0.2}\right)\left(\frac{d}{5\mu m}\right)/\left(\frac{z}{50cm}\right)$
  - $\theta = \frac{fd}{z} = f\lambda/dm = 0.4''\left(\frac{f}{0.2}\right)\left(\frac{\lambda}{0.1nm}\right)/\left(\frac{d}{5\mu m}\right)\left(\frac{m}{2}\right)$
- 像幅を角度分解能Δθとすると0.4''で、Chandra衛星（焦点距離10m）を超える
  - c.f. ひとみ衛星は100''、2028年打ちあげのATHENAでも5''。
- ブラックホールの分解~10uarcsecは難しいが、m, fを調整することで、数10marcsecも可能。
  - 降着円盤の端、トーラスからの反射、バイナリSMBHなどを(超)小型衛星で実現するのが目標



c.f.
日食のピンホール画像

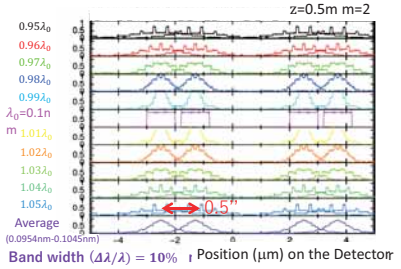
http://blog.goo.ne.jp/hanahanaharu04/e/a8ef27218de37113136a899431094431

バンド幅10%は確保、近接モードであればもっと広い

フレネル近似による計算

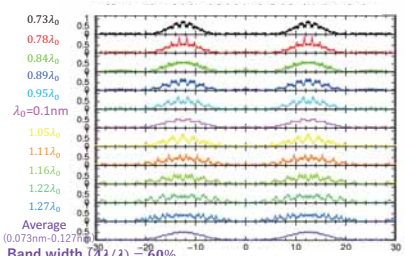
Two X-ray beams incidence from 0.5arcsec offset direction

d=5μm f=0.2 z=0.5m m=2



Band width $(\Delta\lambda/\lambda) = 10\%$

Near Field $z \ll z_T$



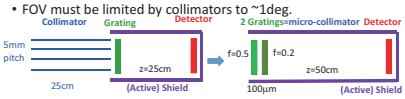
Band width $(\Delta\lambda/\lambda) = 60\%$ maybe more

MIXIM概念デザイン

Hayashida+2016SPIE Proc. and Updates

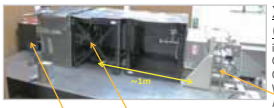
$\boldsymbol{\theta}$:Image Width
$\boldsymbol{d}$:Pitch
$\boldsymbol{f}$:Open. Frac.
$\boldsymbol{z}$:Distance
$\mathbf{m}$:Talbot Order

- $z = md^2/\lambda = 50\mathrm{cm}\left(\frac{m}{2}\right)\left(\frac{d}{5\mu m}\right)^2/\left(\frac{\lambda}{0.1nm}\right)$
- $\theta = \frac{fd}{z} = f\lambda/dm = 0.4''\left(\frac{f}{0.2}\right)\left(\frac{\lambda}{0.1nm}\right)/\left(\frac{d}{5\mu m}\right)\left(\frac{m}{2}\right)$
  - Positional Resolution of Pixel Detector is essential.
- Energy Range 5-20keV
  - Grating transmission η_{gra} at open (Si filled) part, and Detector efficiency η_{det} limits the range.
- Effective Area $A_{eff} = A_{geo}\cdot\eta_{gra}\cdot\eta_{det}\cdot f\cdot\Delta\lambda/\lambda$
- FOV must be limited by collimators to ~1deg.



- Background
  - (1D) Imaging capability reduce the CXB and NXB factor of f.
  - Rough estimate CXB=0.2 mCrab, NXB=4mCrab Very preliminary

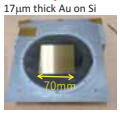
マイクロフォーカスX線源による基礎実験



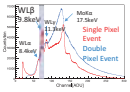
X-ray SOIPIX (XRPIX2b)
inside Vacuum Chamber
Cooled -40degC
Window=0.2mm Thick Al

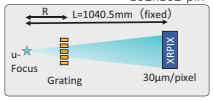
microFocusX-ray
60kV, 100μA, Target=W
Source Size=3~5μm

X-ray Grating
Pitch d=4.8μm
Open frac. f=0.5
17μm thick Au on Si

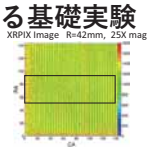


XRPIX2b(Tsuru+2014)
pixel size
30μm
152x152 pix





XRPIX Image R=42mm, 25X mag



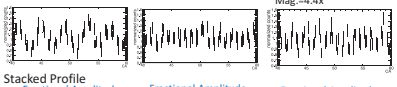
※Only Double Events (split along CA direction) are employed

Talbot Distance for a Spherical Wave

$$z_T = \frac{L}{2}\left(1-\sqrt{1-\frac{4md^2}{\lambda L}}\right)$$

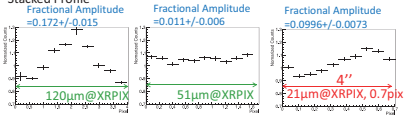
Projected Profile (One Part)

R=42mm, Mag. =25x R=102mm,Mag.=10x R=235mm（correspond to Talbot Condition）, Mag.=4.4x



Stacked Profile

Fractional Amplitude =0.172+/-0.015 Fractional Amplitude =0.011+/-0.006 Fractional Amplitude =0.0996+/-0.0073



- micro-Focus source size of 3-5um is not small enough to be regarded as a point source as illustrated in the Stacked profile.

MIXIM超小型、小型、中型衛星

Mission Size	Sampler	Short	Tall	Grande
Distance z	0.5m	0.5m	2m	10m
Pitch d	25μm	5μm	10μm	10μm
Open. Frac. f	0.2	0.2	0.2	0.1(1Dor2D)
Talbot Order m for 0.1nm X-ray	(0.1)	2	2	10
θ	2''	0.4''	0.2''	0.02''
$\Delta\lambda/\lambda$	1	0.2	0.2	0.2
No. of X+Y unit (A_{geo}=10cm²/unit assumed)	1+1	4+4	25+25	500(for2D) 100+100(for1D)
η_{det} at 10keV (200um Si assuemd)	0.78	0.78	0.78	0.78
Effective Area (@10keV)	3cm²	2.5cm²	16cm²	7cm²(2D) 31cm²(1D)

1Crab source 1c/s/cm²/5-20keV 1mCrabx50ksx3cm² ~150c/day

偏光測定optionも検討中

参考文献

Hayashida et al. 2016, SPIE proc. 9905, 990557

MIXIM

サブ秒角のX線天体撮像を目指した多重像X線干渉計

Multi Image X-ray Interferometer Module (Mission)

2017.06.29

林田 清、川端智樹、
中嶋 大、久留飛寛之、井上翔太、常深 博(阪大理)、
志村考功, 細野 凌(阪大工)

X線天文衛星の観測装置

視野絞りor望遠鏡(例)	検出器位置検出	視野	角度分解能
コリメータ(ぎんがLAC等)	無	1~10度	1~10度
2枚すだれ (ようこうHXT)	無	~0.5度	>5秒角
1枚すだれ(Kotoku+2003)	1次元	基礎実験	
コーディッドマスク(SwiftBAT)	2次元	~70度	17分角
スリット(MAXI)	2次元	~90度	~0.1度
斜入射反射鏡	あり	0.1~1度	0.5秒角~2分角

ぎんが 1987-1991

MAXI 2009- ~1m

10m 0.5秒角 Chandra 1999-

5m 2分角 すざく 2005-2015

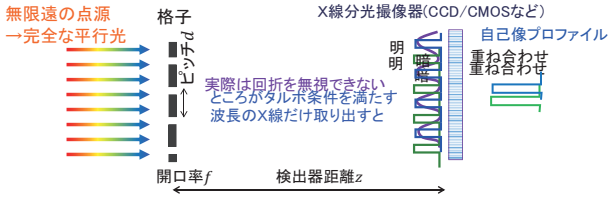
5.6/12m 1.3/1.7分角 ひとみ 2016

12m 5秒角 Athena 2028?-

- 高い角度分解能を達成するためにはX線反射望遠鏡搭載の巨大衛星が必要
- Chandra衛星の角度分解能0.5秒角を再現する/超えるのは非常に難しい

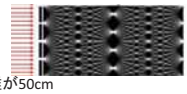
Multi Image X-ray Interferometer Module (MIXIM)

Hayashida+2016



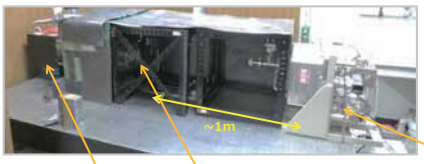
- 数～数10ミクロン周期の格子とX線分光撮像検出器を組み合わせるだけ。
- 格子穴の像は光源の形状を反映している。解析において、**周期dで重ねあわせ**れば精度の高い光源プロファイルが得られる。
- 像幅は$\theta = fd/z = 0.4'' \left(\frac{f}{0.2}\right)\left(\frac{d}{5\mu m}\right)/\left(\frac{z}{50cm}\right)$
- **50cmでChandra衛星に匹敵**

タルボ効果: 干渉によって特定距離に格子の自己像ができる
mを整数として**タルボ距離** $z = m\frac{d^2}{\lambda}$



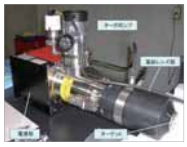
5umのピッチの格子、0.1nm(12keV)のX線に対する2次タルボ距離が50cm

Lab. Experiment with Spherical Wave

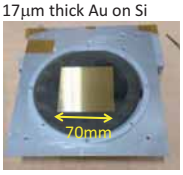


X-ray CMOS (XRPIX2b)
inside Vacuum Chamber
Cooled -40degC
Window=0.2mm Thick Al

microFocusX-ray
60kV, 100μA, Target=W
Source Size=3~5μm



X-ray Grating
Pitch d=4.8μm
Open frac. f=0.5
17μm thick Au on Si



XRPIX2b (Tsuru+2014)
pixel size 30μm
152x152 pix

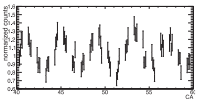
X線干渉縞検出

Talbot Distance for a Spherical Wave

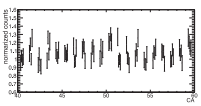
$$z_T = \frac{L}{2}\left(1 - \sqrt{1 - \frac{4md^2}{\lambda L}}\right)$$

Projected Profile (Double Pixel, Charge Sharing)

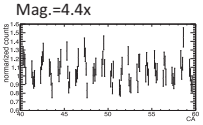
R=42mm, Mag. =25x



R=102mm,Mag.=10x

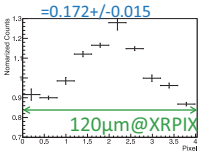


R=235mm(correspond to **Talbot Condition**), Mag.=4.4x

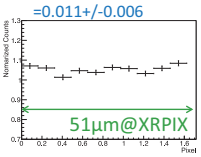


Stacked Profile

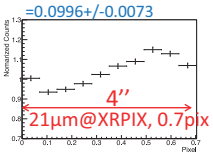
Fractional Amplitude =0.172+/-0.015



Fractional Amplitude =0.011+/-0.006



Fractional Amplitude =0.0996+/-0.0073



- micro-Focus source size of 3-5um is not small enough to be regarded as a point source as illustrated in the Stacked profile.

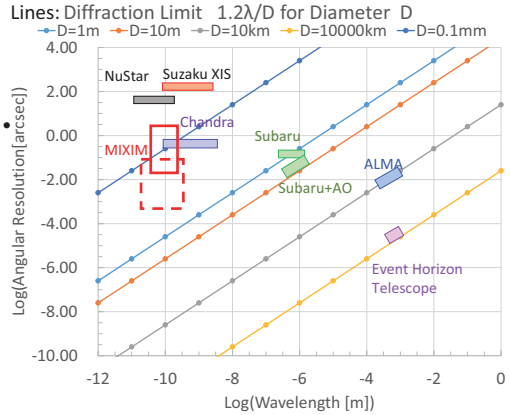
MIXIM options

Mission Size	Sampler	Short	Tall	Grande
Distance z	0.5m	0.5m	2m	10m
Pitch d	25μm	5μm	10μm	10μm
Open. Frac. f	0.2	0.2	0.2	0.1(1Dor2D)
Talbot Order m for 0.1nm X-ray	(0.1)	2	2	10
θ	2''	0.4''	0.2''	0.02''
$\Delta\lambda/\lambda$	1	0.2	0.2	0.2
No. of X+Y unit (A_{geo}=10cm²/unit assumed)	1+1	4+4	25+25	500(for2D) 100+100(for1D)
η_{det} at 10keV (200um Si assuemd)	0.78	0.78	0.78	0.78
Effective Area (@10keV)	3cm²	2.5cm²	16cm²	7cm²(2D) 31cm²(1D)

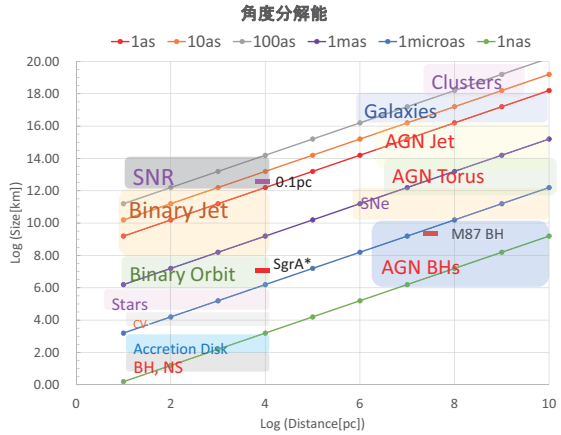
1Crab source 1c/s/cm²/5-20keV 1mCrabx50ksx3cm² ~150c/day

Angular Resolution

Lines: Diffraction Limit 1.2λ/D for Diameter D



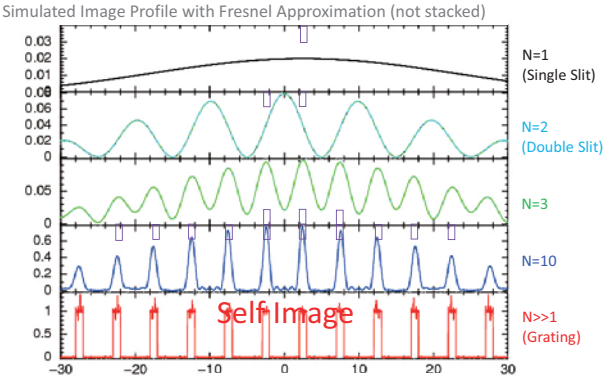
天体の距離、サイズとみかけの視半径



At Talbot Distance

d=5μm f=0.2
z=0.5m **λ=0.100nm (m=2)**

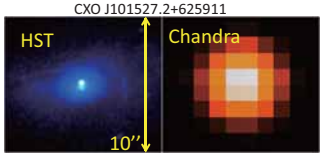
Simulated Image Profile with Fresnel Approximation (not stacked)



Targets : e.g. Structure of Relatively Bright Point-like Sources, i.e., (SM)BH and NS

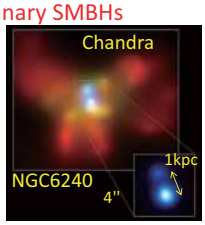
Recoiled SMBH candidates

CXO J101527.2+625911



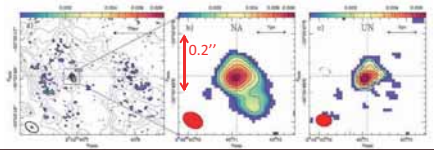
(X-ray: NASA/CXC/NRAO/D.-C.Kim; Optical: NASA/STScI)

Binary SMBHs



NASA/CXC/MPE/S.Komossa et al.

Torus Type2 and 1 AGNs

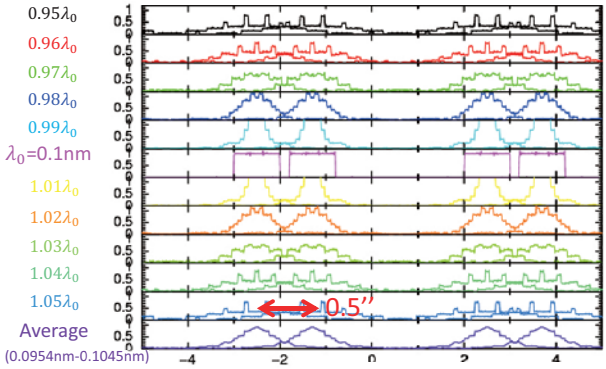


NGC1068
ALMA image

Garcia-Burillo+2016

Another X-ray beam incidence from 0.5arcsec offset direction

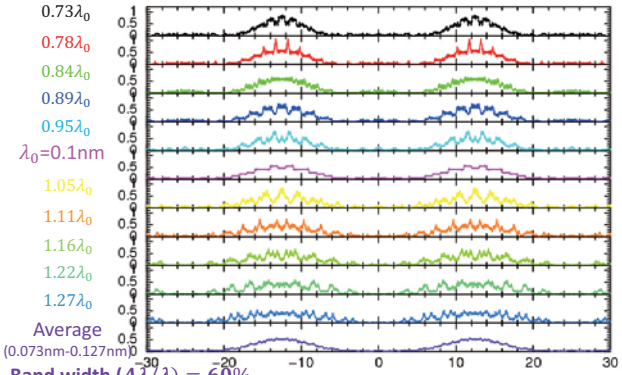
d=5μm f=0.2
z=0.5m m=2



Band width ($\Delta\lambda/\lambda$) = 10% **m=2** Position (μm) on the Detector

Near Field $z \ll z_T$

d=25μm, f=0.2, λ_0=0.1nm
z=0.5m <<$z_T(m=1)$ =6.25m



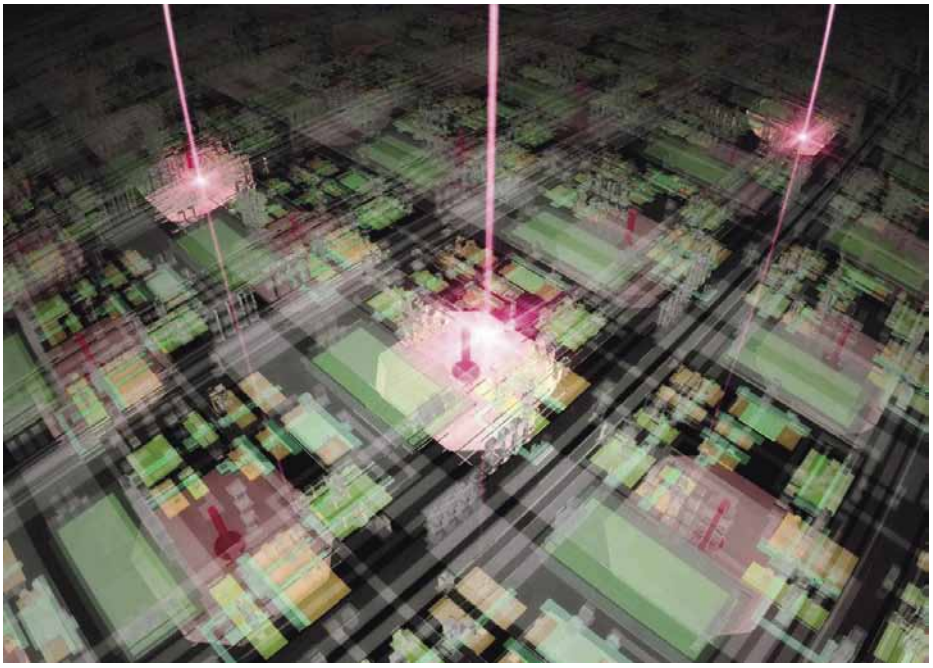
Band width ($\Delta\lambda/\lambda$) = 60%
maybe more

Position (μm) on the Detector

Multi-Pinhole(Slit) Camera is the baseline

http://blog.goo.ne.jp/hanahanaharu04/e/a8ef27218dee3713136a89943109a431

STACK
these multiple
images in the
analysis



文部科学省科研費
新学術領域研究（平成25年度~平成29年度）
「３次元半導体検出器で切り拓く新たな量子イメージングの展開」
http://soipix.jp/
〒305-0801　茨城県つくば市大穂1-1
高エネルギー加速器研究機構　素粒子原子核研究所
先端計測開発棟　SOIPIX グループ
2017年8月発行